

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256838

(P2012-256838A)

(43) 公開日 平成24年12月27日(2012.12.27)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|----------------------|-------------|
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 6 1 7 S | 4 M 1 0 4 |
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 6 1 8 B | 5 F 1 1 0 |
| HO 1 L 21/28 (2006.01) | HO 1 L 29/78 6 1 7 T | |
| HO 1 L 21/283 (2006.01) | HO 1 L 29/78 6 1 7 N | |
| | HO 1 L 21/28 3 0 1 B | |

審査請求 未請求 請求項の数 7 O L (全 52 頁) 最終頁に続く

(21) 出願番号 特願2012-19471 (P2012-19471)
 (22) 出願日 平成24年2月1日(2012.2.1)
 (31) 優先権主張番号 特願2011-21042 (P2011-21042)
 (32) 優先日 平成23年2月2日(2011.2.2)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2011-108901 (P2011-108901)
 (32) 優先日 平成23年5月14日(2011.5.14)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 郷戸 宏充
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小林 聡
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 津吹 将志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

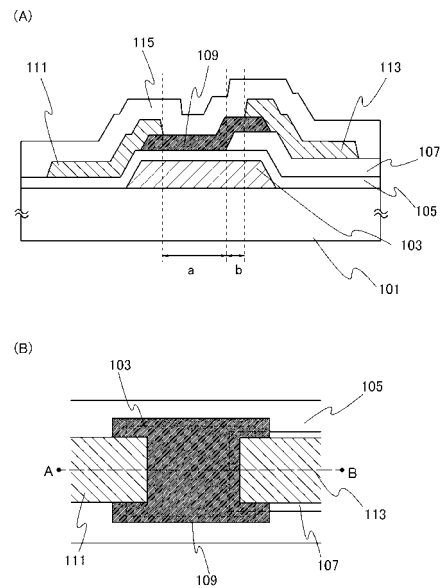
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】大電力の制御を行う、高耐圧の半導体装置を提供する。

【解決手段】ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の、ゲート電極と重畳する酸化物半導体層と、酸化物半導体層と接し、端部をゲート電極と重畳するソース電極及びドレイン電極と、を有し、ゲート電極と酸化物半導体層が重畳する領域において、ゲート絶縁層は、ドレイン電極と端部を重畳する第1の領域と、前記第1の領域と隣接する第2の領域と、を有し、第1の領域の静電容量は第2の領域の静電容量より小さいトランジスタを提供すること。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極と、
 前記ゲート電極上のゲート絶縁層と、
 前記ゲート絶縁層上の、前記ゲート電極と重畳する酸化物半導体層と、
 前記酸化物半導体層と接する第 1 の電極と、
 前記第 1 の電極と間隙をもって設けられ、前記酸化物半導体層と接する第 2 の電極と、
 を有し、
 前記ゲート絶縁層は、前記第 1 の電極と重畳する第 1 の領域と、
 前記第 2 の電極と重畳する第 2 の領域と、
 前記第 1 の領域と前記第 2 の領域に挟まれ、前記第 1 の領域と接し、前記第 2 の領域とは間隙を有する、第 3 の領域と、
 前記第 3 の領域と前記第 2 の領域に挟まれた第 4 の領域と、を有し、
 前記第 3 の領域の静電容量は前記第 4 の領域の静電容量よりも小さくなるように設けられている半導体装置。

10

【請求項 2】

ゲート電極と、
 前記ゲート電極上のゲート絶縁層と、
 前記ゲート絶縁層上の、前記ゲート電極と重畳する酸化物半導体層と、
 前記酸化物半導体層と接する、第 1 の電極と、
 前記第 1 の電極と間隙をもって設けられ、前記酸化物半導体層と接する第 2 の電極と、
 を有し、
 前記ゲート絶縁層は、前記第 1 の電極と重畳する第 1 の領域と、
 前記第 2 の電極と重畳する第 2 の領域と、
 前記第 1 の領域と前記第 2 の領域に挟まれ、前記第 1 の領域と接し、前記第 2 の領域とは間隙を有する第 3 の領域と、
 前記第 3 の領域と前記第 2 の領域に挟まれ、前記第 2 の領域と接し、前記第 3 の領域とは間隙を有する第 4 の領域と、
 前記第 3 の領域と前記第 4 の領域に挟まれた第 5 の領域と、を有し、
 前記第 3 の領域及び前記第 4 の領域の静電容量は前記第 5 の領域の静電容量よりも小さくなるように設けられている半導体装置。

20

30

【請求項 3】

請求項 1 に記載の半導体装置において、
 前記ゲート絶縁層の前記第 3 の領域、前記第 4 の領域は比誘電率が等しい材料からなり、
 前記第 3 の領域は、前記第 4 の領域よりも膜厚が大きい半導体装置。

【請求項 4】

請求項 2 に記載の半導体装置において、
 前記ゲート絶縁層の前記第 3 の領域、前記第 4 の領域、前記第 5 の領域は比誘電率が等しい材料からなり、
 前記第 3 の領域及び前記第 4 の領域は、前記第 5 の領域よりも膜厚が大きい半導体装置。

40

【請求項 5】

第 1 のゲート電極と、
 前記第 1 のゲート電極上の第 1 のゲート絶縁層と、
 前記第 1 のゲート絶縁層上の、前記第 1 のゲート電極と重畳する酸化物半導体層と、
 前記酸化物半導体層と接し、前記第 1 のゲート電極と重畳しない第 1 の電極と、
 前記第 1 の電極と間隙をもって設けられ、前記酸化物半導体層と接する第 2 の電極と、
 を有し、
 前記酸化物半導体層は、前記第 1 の電極と接する第 1 の領域と、前記第 2 の電極と接す

50

る第2の領域とに挟まれ、かつ、前記第1のゲート電極と重畳しない領域において、前記第1のゲート絶縁層よりも静電容量の小さい第2のゲート絶縁層を介して第2のゲート電極と重畳する半導体装置。

【請求項6】

第1のゲート電極と、
前記第1のゲート電極上の第1のゲート絶縁層と、
前記第1のゲート絶縁層上の、前記第1のゲート電極と重畳する酸化物半導体層と、
前記酸化物半導体層と接し、前記第1のゲート電極と重畳しない第1の電極及び第2の電極と、を有し、

前記酸化物半導体層は、前記第1の電極と接する第1の領域と、前記第2の電極と接する第2の領域に挟まれ、かつ、前記第1のゲート電極と重畳しない領域において、前記第1のゲート絶縁層よりも静電容量の小さい第2のゲート絶縁層を介して第2のゲート電極と重畳する半導体装置。

10

【請求項7】

請求項5または請求項6に記載の半導体装置において、
前記第2のゲート絶縁層は前記第1のゲート絶縁層と比誘電率が等しい材料からなり、
前記第2のゲート絶縁層の膜厚は前記第1のゲート絶縁層の膜厚よりも大きい半導体装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

酸化物半導体を用いた半導体装置に関する。

【0002】

なお、本明細書中において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路、電子部品、及び電子機器は全て半導体装置である。

【背景技術】

【0003】

高耐圧で、大電流を制御するためのパワーデバイスと呼ばれる半導体装置では、現状、半導体材料として、主にシリコンが用いられている。しかし、シリコンを用いたトランジスタでは、その物理的な特性が理論値の限界にきていると言われており、さらなる高耐圧と大電流の制御が可能なパワーデバイスを実現するためには、特性の向上が可能な新たな半導体材料が求められている。高耐圧、高変換効率、高速スイッチングなどの諸特性を向上させる可能性がある半導体材料として、酸化物半導体が注目されている。

30

【0004】

酸化物半導体は、シリコンよりもバンドギャップが広く、真性キャリア密度が低い。また、酸化物半導体はスパッタリング法や湿式法（印刷法など）により作製可能であり、量産性に優れるといった利点がある。また、酸化物半導体の成膜温度は300～500（ガラス転移温度以下、最大でも700程度）と低く、安価で入手しやすいガラス基板への成膜が可能であるため、酸化物半導体を半導体層に用いたトランジスタが既に知られている（特許文献1）。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許出願公開第2007/0072439明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

一般的に電界効果トランジスタではソースドレイン間の電圧を上げていくと、ドレイン近傍に高電界が発生することが知られている。なお、本明細書において、ドレイン近傍とは

50

酸化物半導体層とゲート電極が重畳する領域のうち、チャンネル長方向の断面において、ドレイン電極の端部と重畳し、ドレイン電極とゲート電極の電位差によって、特に他の領域より著しく電界が大きい領域のことである。なお、ドレイン近傍は、ドレイン電極と重畳する領域は含まない。

【0007】

ドレイン近傍の高電界で加速された電子は大きな運動エネルギーを持つ。ほとんどの電子は格子散乱によって運動エネルギーを失うが、いくつかの電子は散乱せずに加速され続け、運動エネルギーを増大させる。

【0008】

加速され続けた電子がバンドギャップ以上の運動エネルギーを持ったまま他の電子・正孔対に衝突すると、衝突された電子はエネルギーを得て伝導帯へ励起され、電気伝導に寄与する。そして、衝突された電子が新たな衝突の引き金となり、トランジスタの中で衝突が次々に繰り返される。この一連の過程によって、トランジスタの電流が急激に増大し、ジュール熱による局所的な発熱が発生し、トランジスタを破壊する。

10

【0009】

例えば、酸化物半導体と同程度のバンドギャップを有する炭化珪素(SiC(4H))の破壊電界強度は3MV/cmであることが知られている。炭化珪素を半導体層に用いたトランジスタに3MV/cm以上の高電界が印加されると、破壊を起こして、トランジスタとして機能しなくなることがある。

【0010】

そのため、酸化物半導体は量産性に優れ、プロセス温度が低いといった利点を備えているが、大電力の制御を行うトランジスタに用いる場合には、破壊に対する耐性を高めるための新しい構造を提供することが求められている。

20

【0011】

したがって、大電力の制御を行う、高耐圧のトランジスタを提供することを目的の一とする。また、該トランジスタを用いた半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0012】

上記目的を達成するため、酸化物半導体を半導体層に用いたトランジスタにおいて、ドレイン近傍のチャンネル形成領域を高抵抗化する構成に着目した。ここで、チャンネル形成領域とは、酸化物半導体層において、ゲート電極と重畳し、ソース電極及びドレイン電極の間隙の領域のことである。チャンネル形成領域はゲート電圧が印加されることにより、キャリアが誘起され、ゲート電圧が一定値(閾値)以上になると、誘起されたキャリアによってソース電極及びドレイン電極間に電流が流れる。

30

【0013】

特にソース電極とドレイン電極の間に高い電圧が印加された場合、ドレイン近傍のチャンネル形成領域に高電界が生じ、トランジスタがドレイン近傍のチャンネル形成領域から破壊されることがある。

【0014】

そこで、ドレイン近傍のチャンネル形成領域を高抵抗化することによって、ドレイン電極に高電圧が印加されても、ドレイン近傍に生じる高電界を緩和して、トランジスタの破壊を防ぐ構成に想到した。

40

【0015】

具体的には、酸化物半導体を半導体層に用いたトランジスタにおいて、ゲート絶縁層の静電容量が大きい領域では、該ゲート絶縁層と重畳するチャンネル形成領域の移動度が高くなり、反対に、ゲート絶縁層の静電容量の小さい領域では、該ゲート絶縁層と重畳するチャンネル形成領域の移動度が低くなる現象を利用して、チャンネル形成領域に高抵抗化された領域を形成する。

【0016】

酸化物半導体は、キャリアの密度が下がると、移動度が小さくなる性質を有する。そのた

50

め、ゲート絶縁層の静電容量が低下し、誘起されるキャリア（電荷量）が減ると、酸化物半導体の移動度が低下し高抵抗化する。反対に、チャンネル形成領域と重畳するゲート絶縁層の静電容量が大きくなると、誘起されるキャリアの量（電荷量）が増え、移動度が大きくなり低抵抗となる。

【0017】

これらを利用して、高電界がかかるドレイン近傍のゲート絶縁層の静電容量を小さくすることによって、ドレイン近傍のチャンネル形成領域に高抵抗な領域を作製し、高電界を緩和することを可能にした。その結果、高電界によって電子が加速されて、バンドギャップ以上のエネルギーを持つ電子が流れることでトランジスタが発熱し、熱によって半導体層が破壊され、トランジスタの破壊に至る現象を防ぐことができる。

10

【0018】

また、ドレイン近傍以外のゲート絶縁層の静電容量は大きくしておくことで、チャンネル形成領域のドレイン近傍以外の部分においては移動度を低下させずに、トランジスタの破壊耐性を高めることができる。

【0019】

したがって、本発明の一態様は、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の、ゲート電極と重畳する酸化物半導体層と、酸化物半導体層と接する第1の電極と、第1の電極と間隙をもって設けられ、酸化物半導体層と接する第2の電極と、を有し、ゲート絶縁層は、第1の電極と重畳する第1の領域と、第2の電極と重畳する第2の領域と、第1の領域と第2の領域に挟まれ、第1の領域と接する、第3の領域と、第3の領域と第2の領域に挟まれた第4の領域と、を有し、第3の領域の静電容量は第4の領域の静電容量よりも小さくなるように設けられている半導体装置である。

20

【0020】

ドレイン電極として機能する第1の電極の近傍のゲート絶縁層の静電容量を小さくすることで、ドレイン近傍のチャンネル形成領域が高抵抗化される。したがって、酸化物半導体層において、ドレイン近傍に生じる電界が小さくなり、ドレイン電極に高電圧を印加しても破壊の起こらない、高耐圧のトランジスタを提供することができる。

【0021】

また、ドレイン近傍のゲート絶縁層の静電容量と比較して、ドレイン近傍以外のゲート絶縁層の静電容量は大きくすることで、トランジスタ全体としての移動度の低下を抑制し、大電流の制御を行うことができ、かつ、高抵抗な半導体装置を提供することができる。

30

【0022】

また、本発明の一態様は、該トランジスタのゲート絶縁層の第1の領域、第2の領域は比誘電率が等しい材料からなり、第1の領域は、第2の領域よりも膜厚が大きいトランジスタである。

【0023】

比誘電率の等しい材料でゲート絶縁層を構成すると、膜厚の変化に応じて静電容量が変化する。そのため、ゲート絶縁層の第1の領域及び第2の領域を比誘電率の等しい材料で形成することで、膜厚を調整することのみによって、各領域間の静電容量を変化させることができ、ドーピング等のプロセスが不要になるため、容易に高耐圧のトランジスタを提供することができる。

40

【0024】

また、本発明の一態様は、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の、ゲート電極と重畳する酸化物半導体層と、酸化物半導体層と接する、第1の電極と、第1の電極と間隙をもって設けられ、酸化物半導体層と接する第2の電極と、を有し、ゲート絶縁層は、第1の電極と重畳する第1の領域と、第2の電極と重畳する第2の領域と、第1の領域と第2の領域に挟まれ、第1の領域と接し、第2の領域とは間隙を有する第3の領域と、第3の領域と第2の領域に挟まれ、第2の領域と接し、第3の領域とは間隙を有する第4の領域と、第3の領域と第4の領域に挟まれた第5の領域と、を有し、第3の領域及び第4の領域の静電容量は第5の静電容量よりも小さくなるように設けられて

50

いるトランジスタである。

【0025】

トランジスタの第1の電極及び第2の電極のうち、いずれがソース電極及びドレイン電極として機能するのかはトランジスタの構造や動作条件によって互いに入れ替わる。そこで、第1の電極近傍及び第2の電極近傍のどちらにも、ゲート絶縁層の静電容量が小さい領域を設けることで、高電界のかかる領域を高抵抗化することができ、ソース電極及びドレイン電極が入れ替わる動作条件においても、トランジスタの破壊を防ぐことができる。

【0026】

また、本発明の一態様は、該トランジスタのゲート絶縁層の第1の領域、第2の領域、第3の領域は比誘電率が等しい材料からなり、第1の領域及び第2の領域は、第3の領域よりも膜厚が大きいトランジスタである。

10

【0027】

比誘電率の等しい材料でゲート絶縁層を構成すると、膜厚の変化に応じて静電容量が変化する。そのため、ゲート絶縁層の第1の領域、第2の領域及び第3の領域を比誘電率の等しい材料で形成することで、各領域の膜厚を調整することのみによって、各領域間の静電容量を変化させることができ、ドーピング等のプロセスが不要となるため、容易に高耐圧のトランジスタを提供することができる。

【0028】

また、本発明の一態様は、第1のゲート電極と、第1のゲート電極上の第1のゲート絶縁層と、第1のゲート絶縁層上の、第1のゲート電極と重畳する酸化物半導体層と、酸化物半導体層と接し、第1のゲート電極と重畳しない第1の電極と、第1の電極と間隙をもって設けられ、酸化物半導体層と接する第2の電極と、を有し、酸化物半導体層は、第1の電極と接する第1の領域と、第2の領域と接する第2の領域とに挟まれ、かつ、第1のゲート電極と重畳しない領域において、第1のゲート絶縁層よりも静電容量の小さい第2のゲート絶縁層を介して第2のゲート電極と重畳するトランジスタである。

20

【0029】

上記トランジスタは、酸化物半導体層を挟んで、静電容量の異なる第1のゲート絶縁層及び第2のゲート絶縁層を設け、各ゲート絶縁層を介して2つのゲート電極を設ける。酸化物半導体層において、第1の電極と第2の電極にはさまれたチャネル形成領域のうち、第1のゲート電極と重畳する領域においては、第1のゲート電極に印加された電圧によってキャリアが誘起され、第1のゲート電極と重畳しない領域においては、静電容量の小さな第2のゲート絶縁層側に設けた第2のゲート電極によってチャネルが誘起される。また、第1の電極と第1のゲート電極は重畳しないように設けられているため、第1の電極の付近においては必ず、第2のゲート電極によってキャリアが誘起される。

30

【0030】

つまり、第1の電極の近傍においては、静電容量の小さな第2のゲート絶縁層側に設けた第2のゲート電極によってキャリアが誘起されるため、高電圧が印加される領域の近傍は高抵抗化され、高電圧によって高電界が生じることがなく、耐圧性の高いトランジスタとなる。

【0031】

また、第1の電極近傍以外のチャネル形成領域では、静電容量の大きな第1のゲート絶縁層側に設けた第1のゲート電極がキャリアを誘起するため、大電力の制御を行うのに十分な移動度を有する。このような構成により、大電流の制御が可能な、高耐圧のトランジスタを提供することができる。

40

【0032】

また、本発明の一態様は、第1のゲート電極と、第1のゲート電極上の第1のゲート絶縁層と、第1のゲート絶縁層上の、第1のゲート電極と重畳する酸化物半導体層と、酸化物半導体層と接し、第1のゲート電極と重畳しない第1の電極及び第2の電極と、を有し、酸化物半導体層は、第1の電極と接する第1の領域と、第2の電極と接する第2の領域に挟まれ、かつ、第1のゲート電極と重畳しない領域において、第1のゲート絶縁層よりも

50

静電容量の小さい第2のゲート絶縁層を介して第2のゲート電極と重畳するトランジスタである。

【0033】

トランジスタの第1の電極及び第2の電極のうち、いずれがソース電極及びドレイン電極として機能するのはトランジスタの構造や動作条件によって互いに入れ替わる。そこで、第1の電極近傍及び第2の電極近傍のチャンネル形成領域のどちらも第1のゲート電極とは間隙をもって設け、重畳させないことによって、第1の電極の近傍及び第2の電極の近傍のどちらも高抵抗化することができる。したがって、ソース電極及びドレイン電極が入れ替わる動作条件においても、高電界のかかる領域を高抵抗化することができ、トランジスタの破壊を防ぐことができる。

10

【0034】

また、本発明の一態様は、上記トランジスタにおいて、第2のゲート絶縁層は第1のゲート絶縁層と比誘電率が等しい材料からなり、第2のゲート絶縁層の膜厚は第1のゲート絶縁層の膜厚よりも大きいトランジスタである。

【0035】

第1のゲート絶縁層と、第1のゲート絶縁層の膜厚よりも大きい第2のゲート絶縁層を備えると、第1のゲート絶縁層と第2のゲート絶縁層に比誘電率が等しい材料を用いて、大電流の制御が可能な、高耐圧なトランジスタを提供することができる。

【0036】

また、本発明の一態様は、該トランジスタを用いた半導体装置である。

20

【0037】

なお、本明細書中において、第1、第2として付される序数詞は区別のために便宜上利用するものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0038】

なお、本明細書において、ゲートとは、ゲート電極及びゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいい、例えば表示装置における走査線もゲート配線に含まれる。

【0039】

ソースとは、ソース領域、ソース電極、及びソース配線の一部または全部のことをいう。なお、ソース領域とは、ソース電極と重畳する領域のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいい、例えば表示装置における信号線がソース電極に電氣的に接続される場合にはソース配線に信号線も含まれる。

30

【0040】

ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、ドレイン電極と重畳する領域のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいい、例えば表示装置における信号線がドレイン電極に電氣的に接続される場合にはドレイン配線に信号線も含まれる。

40

【発明の効果】

【0041】

本発明によって、大電力の制御を行う、高耐圧のトランジスタを提供することができる。また、該トランジスタを用いた半導体装置を提供することができる。

【図面の簡単な説明】

【0042】

【図1】本発明の一態様のトランジスタの構成を示した図。

【図2】本発明の一態様のトランジスタの作製方法を示した図。

【図3】本発明の一態様のトランジスタの作製方法を示した図。

50

【図 4】本発明の一態様のトランジスタの構成を示した図。

【図 5】本発明の一態様の半導体装置を示した図。

【図 6】本発明の一態様の半導体装置を示した図。

【図 7】本発明の半導体装置を用いた電子機器を示した図。

【図 8】実施例の実験結果について示した図。

【図 9】本発明のトランジスタについての計算結果を説明する図。

【図 10】本発明のトランジスタについての計算結果を説明する図。

【図 11】本発明の一態様のトランジスタの構成を示した図。

【図 12】酸化物半導体の一例。

【図 13】酸化物半導体の一例。

【図 14】酸化物半導体の一例。

【図 15】ゲート電圧と電界効果移動度の関係。

【図 16】ゲート電圧とドレイン電流の関係。

【図 17】ゲート電圧とドレイン電流の関係。

【図 18】ゲート電圧とドレイン電流の関係。

【図 19】トランジスタの特性。

【図 20】トランジスタの特性。

【図 21】トランジスタの特性。

【図 22】トランジスタのオフ電流の温度依存性。

【発明を実施するための形態】

【0043】

以下に本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0044】

(実施の形態 1)

本実施の形態では、本発明の一態様のトランジスタの構成及び作製方法の一例について図 1 乃至図 3、及び図 11 を用いて説明する。なお、本実施の形態では、トランジスタの第 1 の電極をドレイン電極、第 2 の電極をソース電極として説明する。

【0045】

図 1 は本発明の一態様のトランジスタの構成を示した図である。図 1 (B) は本発明の一態様のトランジスタの上面図を示した図であり、図 1 (A) は図 1 (B) に示したトランジスタの A - B 断面における断面図である。図 1 に示すトランジスタはドレイン近傍に第 1 のゲート絶縁層に加えて、第 2 のゲート絶縁層を積層し、ゲート絶縁層の膜厚を大きくすることによって、ドレイン近傍のゲート絶縁層の静電容量を小さくし、該ドレイン近傍のゲート絶縁層と重畳するチャネル形成領域を高抵抗化した構成である。

【0046】

なお、本実施の形態では、半導体層に対してゲート電極が下側(基板側)にある、ボトムゲート構造のトランジスタを用いて説明を行うが、本発明の一態様のトランジスタの構成は特に限定されず、半導体層に対してゲート電極が上側(基板と反対側)にあるトップゲート構造を用いてもよい。また、本実施の形態のトランジスタは、半導体層とソース電極及びドレイン電極が上側(基板と反対側)で接するトップコンタクト構造としたが、半導体層とソース電極及びドレイン電極が下側(基板側)で接するボトムコンタクト構造を用いてもよい。

【0047】

図 1 に示すトランジスタは、絶縁表面を有する基板 101 上に、島状のゲート電極 103 と、ゲート電極 103 を覆うように形成された第 1 のゲート絶縁層 105 と、第 1 のゲート絶縁層 105 上で、一部がゲート電極 103 と重畳するように設けられた第 2 のゲート絶縁層 107 と、第 1 のゲート絶縁層 105 及び第 2 のゲート絶縁層 107 上の、ゲート

10

20

30

40

50

電極 103 と重畳する酸化物半導体層 109 と、酸化物半導体層 109 及び第 1 のゲート絶縁層 105 上の、端部をゲート電極 103 と重畳するように設けられたソース電極 111 と、酸化物半導体層 109 及び第 2 のゲート絶縁層 107 上の、端部をゲート電極 103 と重畳するように設けられたドレイン電極 113 と、第 1 のゲート絶縁層 105、第 2 のゲート絶縁層 107、酸化物半導体層 109、ソース電極 111 及びドレイン電極 113、を覆う絶縁層 115 と、を有する。酸化物半導体層 109 は、ゲート電極 103 と重畳し、ソース電極 111 及びドレイン電極 113 の間隙 (図 1 (A) の領域 a 及び領域 b) において、チャンネルが形成されるチャンネル形成領域を有する。

【 0048 】

チャンネル形成領域において、第 2 のゲート絶縁層 107 と重畳する領域 (図 1 (A) に示す領域 b) は、チャンネル形成領域の他の領域 (図 1 (A) に示す領域 a) と比べて抵抗率が高い高抵抗領域である。これは、領域 b において、第 1 のゲート絶縁層 105 及び第 2 のゲート絶縁層 107 が積層されているため、酸化物半導体層 109 とゲート電極 103 との距離が長くなり、実質的にゲート絶縁層の膜厚が大きくなって、静電容量が小さくなったためである。ゲート絶縁層の静電容量が小さくなると、重畳するチャンネル形成領域に誘起されるキャリアの電荷量が少なくなって、移動度が低下し、抵抗率が高くなる。

10

【 0049 】

領域 b の端部の一方はドレイン電極の端部と重畳し、端部の他方はドレイン電極とソース電極の間隙に重畳する。領域 b において、第 1 のゲート絶縁層 105 と第 2 のゲート絶縁層 107 が積層されていることで、静電容量が小さくなる。したがって、領域 b のチャンネル形成領域は高抵抗化された高抵抗領域となる。高抵抗領域がドレイン電極と端部を重畳するため、ドレイン電極に高電圧を印加しても、抵抗率が高いドレイン近傍では、急な電位の変化が起こらず、高電界が生じない。したがって、本実施の形態のトランジスタは、ドレイン電極に高電圧が印加されても高電界が生じないため、破壊が起こりにくく、高い破壊耐性を有する。

20

【 0050 】

また、酸化物半導体層において、第 2 のゲート絶縁層 107 と重畳しない領域 (領域 a) はゲート絶縁層の膜厚が小さい。領域 a は、一方の端部を領域 b と接し、他方の端部をソース電極の端部と重畳する。領域 a におけるチャンネル形成領域は、重畳するゲート絶縁層の膜厚が小さいため、移動度が高く、抵抗率の低い低抵抗領域である。そのため、本実施の形態のトランジスタは、ドレイン近傍以外の部分のチャンネル形成領域では大電流を制御するのに十分な移動度を備えている。

30

【 0051 】

続いて、図 1 に示したトランジスタの作製方法について、図 2 乃至図 3 を用いて説明する。

【 0052 】

まず、絶縁表面を有する基板 101 上に導電膜を形成したのち、第 1 のフォトリソグラフィ工程により、ゲート電極 103 を形成する。(図 2 (A) 参照)。

【 0053 】

なお、本実施の形態で例示するトランジスタの作成工程のいずれのフォトリソグラフィ工程においても、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成すると、フォトマスクを使用しないため、製造コストを低減できる。

40

【 0054 】

基板 101 は水素原子を含む不純物 (例えば、水蒸気、水素ガス、及び水素イオン) に対するバリア性を有するものが好ましく、大きな制限はないが、後の工程で加熱処理を行う場合は少なくともその温度に耐えうる耐熱性を有している必要がある。

【 0055 】

例えば、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、サファイア基板、セラミック基板等を用いることができる。また、ステンレスを

50

含む金属基板又は半導体基板の表面に絶縁膜を形成したものをを用いてもよい。プラスチックなどの可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作成工程における処理温度に耐えうる基板であれば用いることが可能である。なお、基板101の表面を、CMP法などの研磨により平坦化しておいてもよい。

【0056】

本実施の形態では、基板101としてガラス基板を用いる。

【0057】

なお、下地となる絶縁層を基板101とゲート電極103との間に設けてもよい。当該絶縁層には、基板101からの不純物元素（例えば、Li、Na等のアルカリ金属、及びCa等のアルカリ土類金属など）の拡散を防止する機能がある、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、窒化酸化アルミニウム膜などから選ばれた一又は複数の膜による積層構造により形成することができる。

10

【0058】

続いて、ゲート電極103を形成する。ゲート電極103の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、マグネシウム等の金属材料又はこれらを主成分とする合金材料もしくは導電性酸化物を用いて、単層で又は積層して形成することができる。

20

【0059】

なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、ゲート電極103として、アルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせるとよい。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

【0060】

また、ゲート電極103に銅を用いる場合は、下地となる層にCu Mg Al合金を設け、その上に銅を形成する構成が好ましい。Cu Mg Al合金を設けることで、酸化膜などの下地と銅の密着性が高まる効果を奏する。

【0061】

また、ゲート電極103に、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化珪素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

30

【0062】

また、ゲート電極103と、後に形成される第1のゲート絶縁層105との間に第1のゲート絶縁層105に接する材料層として、窒素を含むIn Ga Zn O膜や、窒素を含むIn Sn O膜や、窒素を含むIn Ga O膜や、金属窒化膜（InN、ZnNなど）を設けてもよい。これらの膜は5 eV、好ましくは5.5 eV以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリ・オフのスイッチング素子を実現できる。

40

【0063】

例えば、窒素を含むIn Ga Zn O膜を用いる場合、少なくとも酸化物半導体より高い窒素濃度、具体的には7原子%以上のIn Ga Zn O膜を用いる。

【0064】

次いで、図2(B)に示すように、ゲート電極103上に第1のゲート絶縁層105を形成する。第1のゲート絶縁層105は、プラズマCVD法又はスパッタリング法等を用いて形成することができる。また第1のゲート絶縁層105は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニ

50

ウム膜、窒化酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜、酸化タンタル膜、又は酸化ガリウム膜などから選ばれた一または複数の膜により単層、又は積層して形成することができる。第1のゲート絶縁層の膜厚は30nm以上300nm以下、特に30nm以上100nm以下が好ましい。

【0065】

続いて、第1のゲート絶縁層105上に第2のゲート絶縁層107を形成する(図2(C)参照)。第2のゲート絶縁層107は第1のゲート絶縁層105上に、第1のゲート絶縁層105の作製方法と同様の方法を用いて絶縁層を成膜した後、エッチング法やフォトリソグラフィ等の方法を用いて所望の形状に加工することによって形成することができる。

10

【0066】

第2のゲート絶縁層107の材料は第1のゲート絶縁層105に用いた材料と同一の材料でも、異なる材料でも構わない。ただし、第1のゲート絶縁層と第2のゲート絶縁層を積層することによって、第1のゲート絶縁層及び第2のゲート絶縁層が積層された領域における静電容量が、第1のゲート絶縁層のみの領域の静電容量よりも小さくなるように、材料及び膜厚を適宜選択する必要がある。

【0067】

本実施の形態において、第2のゲート絶縁層は、第1のゲート絶縁層に対して、静電容量が0.1倍以上10倍以下、特に0.2倍以上1倍以下となることが好ましい。例えば、第1のゲート絶縁層と第2のゲート絶縁層に等しい材料を用いて作製した場合、第1のゲート絶縁層の膜厚を30nmとした場合、第2のゲート絶縁層は3nm以上300nm以下、特に30nm以上150nmが好ましい。

20

【0068】

第1のゲート絶縁層105及び第2のゲート絶縁層107が同一の材料である場合、第1のゲート絶縁層となる膜と第2のゲート絶縁層となる膜を別々に2回成膜する必要はなく、第1のゲート絶縁層及び第2のゲート絶縁層となる膜を一度に成膜した後、エッチングやフォトリソグラフィ等の方法を用いて、所望の形状(例えば図2(C)に示すような、第1のゲート絶縁層及び第2のゲート絶縁層が積層され、膜厚の大きな領域を有する形状)とすることによって作製してもよい。

【0069】

本実施の形態では、第1のゲート絶縁層105と第2のゲート絶縁層107に等しい材料を用いて作製する。

30

【0070】

また、第2のゲート絶縁層107は、図1(B)に示すように、上面から見て、ドレイン電極113を囲むように形成されていることがよい。ドレイン電極を囲むように高抵抗領域を形成することによって、ドレイン電極のチャンネル形成領域と接する面のみだけでなく、チャンネル形成領域と直交する面の近傍も高抵抗化できる。

【0071】

トランジスタの電流は、ソース電極とドレイン電極の対向している2つの面の間を、チャンネル形成領域を通して流れる電流だけではなく、ソース電極とドレイン電極が対向していない面から、チャンネル形成領域の脇を通して流れる電流もわずかではあるが存在する。また、ドレイン電極から生じる高電界は同心円状に広がっているため、チャンネル形成領域以外の部分にも影響を及ぼす。そのため、第2のゲート絶縁層を、ドレイン電極を囲むように設けることによって、これらの電流や、電界の変化からトランジスタの破壊を防止することができる。

40

【0072】

また、チャンネル形成領域において、高抵抗領域のチャンネル長方向の長さは、低抵抗領域のチャンネル長方向の長さの3分の1以下が好ましい。高抵抗領域が長くなると、トランジスタの移動度の低下が大きく大電流の制御を行うのに不適である。したがって、第2のゲート絶縁層のチャンネル長方向の長さは、チャンネル長の75%以下とすることが好ましい。

50

【0073】

なお、第1のゲート絶縁層において、ドレイン近傍のチャネル形成領域と重畳するゲート絶縁層の静電容量が小さくなるのであれば、第2のゲート絶縁層は設けなくともよい。ドレイン近傍のゲート絶縁層の静電容量を小さくする方法としては、ドレイン近傍のゲート絶縁層に比誘電率の低い材料（low k材料）を用いる方法や、ドレイン近傍のゲート絶縁層の静電容量が下がるように、ゲート絶縁層にドーピングを行うといった方法がある。しかし、このような方法を用いると、同時にゲート絶縁層からのリーク電流も増大する可能性があるため、第2のゲート絶縁層を設けて、ゲート絶縁層の比誘電率や膜厚を調整することによって制御する方が好ましい。

【0074】

本実施の形態の酸化物半導体は、不純物を除去された酸化物半導体（高純度化された酸化物半導体）を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため、高純度化された酸化物半導体に接する第1のゲート絶縁層105及び第2のゲート絶縁層107は高品質が要求される。

【0075】

例えば、 μ 波（例えば周波数2.45GHz）を用いた高密度プラズマCVDを用いると、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好にすることができる。

【0076】

もちろん、ゲート絶縁層として、良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法などの他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であってもよい。いずれにしても、ゲート絶縁層としての膜質が良好であることはもちろんのこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであればよい。

【0077】

なお、酸化物半導体に水素が拡散すると半導体特性が損なわれるので、酸化物半導体と接する第1のゲート絶縁層105及び第2のゲート絶縁層107には水素、水酸基及び水分が含まれないことが望ましい。第1のゲート絶縁層105及び第2のゲート絶縁層107、酸化物半導体層109に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜108の成膜の前処理として、スパッタリング装置の予備加熱室で、ゲート電極103及び第1のゲート絶縁層105が形成された基板101または第2のゲート絶縁層107までが形成された基板101を予備加熱し、基板101に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は100以上400以下、好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、絶縁層115の成膜前に、ソース電極111及びドレイン電極113まで形成した基板101にも同様に行ってもよい。

【0078】

次いで、第1のゲート絶縁層105及び第2のゲート絶縁層107上に、膜厚2nm以上200nm以下、好ましくは、5nm以上30nm以下の酸化物半導体膜108を形成する（図2（D）参照）。

【0079】

本実施の形態の半導体層に用いる酸化物半導体は、n型不純物として働く水素が除去され、酸化物半導体の主成分以外の不純物を極力含まないようにした酸化物半導体である。

【0080】

なお、酸化物半導体中では、キャリアが極めて少なく、キャリア密度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$

10

20

30

40

50

³ 未満となる。また、このようにキャリアが少ないことで、オフ状態における電流（オフ電流）は十分に小さくなる。

【0081】

具体的には、上述の酸化物半導体を具備するトランジスタでは、オフ状態でのソース電極とドレイン電極のチャンネル幅 $1\ \mu\text{m}$ あたりのリーク電流密度（オフ電流密度）は、ソース電極とドレイン電極間の電圧が $3.5\ \text{eV}$ 、使用時の温度条件下（例えば、 25°C ）において、 $100\ \text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\ \text{A}/\mu\text{m}$) 以下、もしくは $10\ \text{zA}/\mu\text{m}$ ($1 \times 10^{-20}\ \text{A}/\mu\text{m}$) 以下、さらには、 $1\ \text{zA}/\mu\text{m}$ ($1 \times 10^{-21}\ \text{A}/\mu\text{m}$) 以下とすることができる。

【0082】

また、高純度化された酸化物半導体層を備えるトランジスタは、オン電流の温度依存性がほとんど見られず、高温状態においてもオフ電流は非常に小さいままである。

【0083】

酸化物半導体膜 108 は、酸化物半導体をターゲットとして用い、スパッタリング法により成膜する。スパッタリング法により成膜する場合は、AC スパッタ装置、DC スパッタ装置、または RF スパッタ装置のいずれか一のスパッタ装置を用いる。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。また、酸化物半導体膜 108 は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタリング法により形成することができる。

【0084】

なお、酸化物半導体膜 108 をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第 1 のゲート絶縁層 105 及び第 2 のゲート絶縁層 107 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、アルゴン雰囲気下で基板に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0085】

酸化物半導体膜 108 に用いる酸化物半導体としては、少なくとも、In、Ga、Sn、及び Zn から選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属の酸化物である In-Ga-Zn-O 系酸化物半導体、In-Sn-Zn-O 系酸化物半導体、In-Al-Zn-O 系酸化物半導体、Sn-Ga-Zn-O 系酸化物半導体、Al-Ga-Zn-O 系酸化物半導体、Sn-Al-Zn-O 系酸化物半導体や、二元系金属の酸化物である In-Zn-O 系酸化物半導体、Sn-Zn-O 系酸化物半導体、Al-Zn-O 系酸化物半導体、Zn-Mg-O 系酸化物半導体、Sn-Mg-O 系酸化物半導体、In-Mg-O 系酸化物半導体、In-Ga-O 系酸化物半導体や、一元系金属の酸化物である In-O 系酸化物半導体、Sn-O 系酸化物半導体、Zn-O 系酸化物半導体などを用いることができる。

【0086】

ここで、例えば、In-Ga-Zn-O 系酸化物半導体とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物膜、という意味であり、その組成比はとくに問わない。また、In と Ga と Zn 以外の元素を含んでもよい。また、上記酸化物半導体に酸化珪素を含ませてもよい。

【0087】

また、酸化物半導体膜 108 には、化学式 $\text{InM}\text{O}_3(\text{ZnO})_m$ ($m > 0$ 、且つ m は自然数ではない) で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn 及び Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co 等がある。

【0088】

酸化物半導体膜 108 は、非単結晶であり、且つ酸化物半導体膜全体が非晶質状態（アモ

10

20

30

40

50

ルファス状態)ではない。酸化物半導体膜全体が非晶質状態(アモルファス状態)ではないため、電気特性が不安定な非晶質の形成が抑制される。

【0089】

酸化物半導体膜108に用いる酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくはIn、及びGaを含有する酸化物半導体である。本実施の形態では、酸化物半導体としてIn-Ga-Zn-O系酸化物半導体を用いてスパッタリング法により成膜する。この段階での断面図が図2(D)に相当する。

【0090】

また、酸化物半導体膜は上記の酸化物半導体膜に窒素を添加して用いることもできる。窒素を意図的に含ませた酸化物半導体層は、窒素を意図的に含ませていない酸化物半導体層に比べてエネルギーギャップが小さく、キャリアを流しやすい。

10

【0091】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In:Zn=50:1\sim 1:2$ (モル数比に換算すると $In_2O_3:ZnO=25:1\sim 1:4$)、好ましくは $In:Zn=20:1\sim 1:1$ (モル数比に換算すると $In_2O_3:ZnO=1:2\sim 10:1$)、さらに好ましくは $In:Zn=1.5:1\sim 15:1$ (モル数比に換算すると $In_2O_3:ZnO=3:4\sim 15:2$)とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $In:Zn:O=X:Y:Z$ のとき、 $Z>1.5X+Y$ とする。

【0092】

また、酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。また、ターゲットの純度は99.9%以上が好ましく、特にNa、Li等のアルカリ金属及びCa等のアルカリ土類金属などの不純物は低減されているものが好ましい。

20

【0093】

また、酸化物半導体膜108は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素混合雰囲気下においてスパッタリング法により形成することができる。酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物等の不純物が除去された高純度ガスを用いることが好ましい。具体的には、露点-60以下の高純度ガスが好ましい。

30

【0094】

また、スパッタガスを加熱した状態で成膜室に導入してもよい。加熱されたガスを用いると、酸化物半導体膜108に含まれる不純物の濃度を低減できる。

【0095】

窒素を意図的に含ませた酸化物半導体を用いる場合は、窒素を意図的に含ませた酸化物半導体を、酸化物半導体を含むターゲットと窒素を添加したスパッタガスを用いて成膜すればよい。具体的にはIn-Ga-Zn-O系酸化物ターゲットと、窒素ガス、窒素を添加した希ガス(アルゴンガス等)または窒素を添加した酸素等をスパッタガスに用いればよい。

40

【0096】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100以上600以下、好ましくは150以上450以下、より好ましくは200以上400以下とする。特に、250以上320以下の範囲が脱水化に好適である。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板101上に酸化物半導体膜108を成膜する。

【0097】

成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ

50

、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0098】

また、成膜室を高温で加熱することにより、吸着水をチャンバー内から完全に排除できる。

【0099】

また、スパッタリング装置の処理室のリークレートを $1 \times 10^{-10} Pa \cdot m^3 / 秒$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として吸着型の真空ポンプを用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

10

【0100】

成膜条件の一例としては、基板とターゲットの間との距離を $100 mm$ 、圧力 $0.6 Pa$ 、直流 (DC) 電源 $0.5 kW$ 、酸素 (酸素流量比率 100%) 雰囲気下の条件が適用される。

【0101】

なお、酸化物半導体中に含まれる、Li、Na等のアルカリ金属、及びCa等のアルカリ土類金属などの不純物は低減されていることが好ましい。具体的には、SIMSにより検出されるLiが $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下、Naが $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下、Kは $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下であることが好ましい。

20

【0102】

アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがいい。特にアルカリ金属のうち、Naは酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、 Na^+ となる。また、酸化物半導体内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化 (例えば、ノーマリオン化 (しきい値の負へのシフト)、移動度の低下等) をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{19} cm^{-3}$ 以下、特に $5 \times 10^{18} cm^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

30

【0103】

次いで、酸化物半導体膜をフォトリソグラフィ工程により、島状の酸化物半導体層に加工する。

【0104】

また、ゲート絶縁層にコンタクトホールを形成する場合、この工程は酸化物半導体膜の加工時に同時に行うことができる。

40

【0105】

なお、ここでの酸化物半導体のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N (関東化学社製) を用いてもよい。

【0106】

また、ドライエッチングに用いるエッチングガスとしては、塩素を含むガス (塩素系ガス、例えば塩素 (Cl_2)、三塩化硼素 (BCl_3)、四塩化珪素 ($SiCl_4$)、四塩化炭素 (CCl_4) など) が好ましい。また、フッ素を含むガス (フッ素系ガス、例えば四フッ化炭素 (CF_4)、六フッ化硫黄 (SF_6)、三フッ化窒素 (NF_3)、トリフルオ

50

ロメタン (CHF_3) など)、臭化水素 (HBr)、酸素 (O_2)、これらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを添加したガス、等を用いることができる。

【0107】

ドライエッチング法としては、平行平板型 RIE (Reactive Ion Etching) 法や、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件 (コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等) を適宜調節する。

【0108】

次いで、酸化物半導体層に加熱処理を行う。この加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。加熱処理の温度は、250 以上750 以下、または400 以上基板の歪み点未満とする。例えば、500、3分間以上6分間以下で行ってもよい。加熱処理にRTA (Rapid Thermal Anneal) 法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪み点を超える温度でも処理することができる。

【0109】

ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下、450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぐ。

【0110】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えばGRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハイドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスにはアルゴンなどの希ガス、または窒素等の加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0111】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0112】

なお、加熱処理においては、窒素またはヘリウム、ネオン、アルゴン、等の希ガスに、水、水素等が含まれないことが好ましい。または、加熱処理装置に導入する窒素またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上好ましくは7N (99.99999%) 以上 (即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下) とすることが好ましい。

【0113】

また、加熱処理で酸化物半導体膜を加熱した後、同じ炉に高純度の酸素ガス、高純度の N_2O ガス、または超乾燥エア (CRDS (キャビティリングダウンレーザー分光法) 方式の露点計を用いて測定した場合の水分量が20ppm (露点換算で-55) 以下、好ましくは1ppm以下、好ましくは10ppb以下の空気) を導入してもよい。酸素ガス、 N_2O ガスに、水、水素等が含まれないことが好ましい。または、加熱処理装置に導入する酸素ガス、 N_2O ガスの純度を6N以上好ましくは7N以上 (即ち、酸素ガスまたは N_2O ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下) とすることが好ましい。酸素ガス又は N_2O ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸

10

20

30

40

50

素を供給することができる。

【0114】

また、酸化物半導体膜の加熱処理は、島状の酸化物半導体層109に加工する前の酸化物半導体膜108に行うこともできる。その場合には、加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0115】

なお、加熱処理は、上記以外にも酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、或いは、ソース電極層及びドレイン電極上に絶縁層を形成した後のいずれで行ってもよい。

【0116】

また、ガラス転移点温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体層を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体層の成膜以降であれば、いつでも行うことができる。

【0117】

また、酸化物半導体層をc軸配向した結晶構造を有する層とすることができる。なお、c軸配向した酸化物半導体層については、実施の形態6で詳細を述べる。

【0118】

酸化物半導体層をc軸配向した結晶構造を有する層とする方法としては、酸化物半導体層を成膜する際に、酸化物半導体がc軸に配向する温度に基板を加熱しながら成膜を行えばよい。このような成膜方法を用いることにより、プロセスを長くすることなく、c軸配向した結晶構造を設けることができる。基板を加熱する温度は、他の成膜条件や成膜装置の構造に合わせて適宜設定すればよいが、スパッタリング装置で成膜する際の基板温度を、例えば150 以上450 以下の温度に、好ましくは250 以上として成膜すればよい。

【0119】

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3nm以上15nm以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450 以上850 以下、好ましくは550 以上750 以下の第1の加熱処理を行い、表面を含む領域に結晶領域(板状結晶を含む)を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450 以上850 以下、好ましくは600 以上700 以下の第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。

【0120】

次いで、図3(A)に示すように、第1のゲート絶縁層105、第2のゲート絶縁層107及び酸化物半導体層109上に、ソース電極及びドレイン電極となる電極(これと同じ層で形成される配線を含む)となる導電膜110を形成する。ソース電極、及びドレイン電極に用いる導電膜として、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする合金、または金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、Al、Cuなどの金属膜は、耐熱性や腐食性の問題を回避するために、下側又は上側の一方または双方にTi、Mo、W、Cr、Ta、Nd、Sc、Yなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としてもよい。

10

20

30

40

50

【0121】

また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタンの膜を積層する2層構造、チタン膜とそのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する3層構造などが挙げられる。

【0122】

また、導電膜は、導電性の金属酸化物で形成してもよい。導電性の金属酸化物としては、酸化インジウム、酸化スズ、酸化亜鉛、インジウムスズ酸化物、インジウム亜鉛酸化物または該金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

10

【0123】

なお、導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0124】

続いて、第3のフォトリソグラフィ工程により、導電膜上にレジストマスクを形成し、図3(B)に示すように、選択的にエッチングを行ってソース電極111、ドレイン電極113を形成した後、レジストマスクを除去する。

【0125】

なお、ソース電極及びドレイン電極はゲート電極と端部を重畳しても良いし、ソース電極及びドレイン電極とゲート電極の端部を重畳させず、酸化物半導体層がゲート電極、ドレイン電極、及びソース電極のいずれとも重畳しない領域、所謂オフセット領域を設けてもよい。

20

【0126】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層109上で、ソース電極の下端部とドレイン電極の下端部との間隔によって、後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25 \text{ nm}$ 未満の露光を行う場合には、数 $\text{nm} \sim$ 数 10 nm と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを 10 nm 以上 1000 nm 以下とすることが可能であり、トランジスタの動作速度を高速化できる。

30

【0127】

なお、導電膜のエッチングの際に、酸化物半導体層109がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層109を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層109は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0128】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層109には、InGaZnO系酸化物半導体を用いたので、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。エッチャントとして、アンモニア過水を用いることにより選択的に導電膜をエッチングすることができる。

40

【0129】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層115を形成する(図3(C)参照)。

【0130】

50

絶縁層 115 は、水分や、水素、酸素などの不純物を極力含まないことが望ましく、単層の絶縁層であってもよいし、積層された複数の絶縁層で構成されていてもよい。また絶縁層 115 は、少なくとも 1 nm 以上の膜厚とし、スパッタリング法など、絶縁層 115 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層 115 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化（N 型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁層 115 はできるだけ、水素を含まないように、成膜方法に水素を用いないことが重要である。

【0131】

また、絶縁層 115 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化アルミニウム膜、または酸化ガリウム膜などを用いることができる。バリア性の高い絶縁膜を用いることで、島状の酸化物半導体層内、ゲート絶縁層内、或いは、島状の酸化物半導体層と、他の絶縁層の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。

10

【0132】

たとえば、スパッタリング法で形成された膜厚 200 nm の酸化ガリウム膜上に、スパッタリング法で形成された膜厚 100 nm の酸化アルミニウム膜を積層させた構造を有する絶縁膜を形成してもよい。成膜時の基板温度は、室温以上 300 以下とすればよい。また、絶縁膜は酸素を多く含有していることが好ましく、化学量論比を超える程度、好ましくは、化学量論比の 1 倍より大きく 2 倍未満の酸素を含有していることが好ましい。このように絶縁膜が過剰な酸素を有することにより、島状の酸化物半導体膜の界面に酸素を供給し、酸素の欠損を低減することができる。

20

【0133】

本実施の形態では、絶縁層 115 として膜厚 200 nm の酸化シリコン膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコンを形成することができる。酸化物半導体層に接して形成する絶縁層 115 は、水分や、水素イオンや、水酸基などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

30

【0134】

酸化物半導体膜 108 の成膜時と同様に、絶縁層 115 の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層 115 に含まれる不純物の濃度を低減できる。また、絶縁層 115 の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

40

【0135】

絶縁層 115 を成膜する際に用いるスパッタガスは、水素、水、水酸基または水素化物などの不純物が除去された高純度ガスを用いることが好ましい。具体的には、露点 60 以下の高純度ガスが好ましい。

【0136】

なお、絶縁層 115 を形成した後に、加熱処理をしてもよい。加熱処理は、窒素、超乾燥空気、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下で有ることが望

50

ましい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、高温短時間のRTA処理を行ってもよい。酸素を含む絶縁層115が設けられた後に加熱処理が施されることによって、加熱処理により、島状の酸化物半導体層に酸素欠損が発生していたとしても、絶縁層115から島状の酸化物半導体層に酸素が供与される。そして、島状の酸化物半導体層に酸素が供与されることで、島状の酸化物半導体層において、ドナーとなる酸素欠損を低減し、化学量論比を満たすことが可能である。島状の酸化物半導体層には、化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、島状の酸化物半導体層をi型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、絶縁層115の形成後であれば特に限定されず、他の工程の加熱処理と兼ねることで、工程数を増やさずに行うことができる。

10

【0137】

また、窒素雰囲気下で加熱処理を施すことで、酸化物半導体に酸素を添加し、島状の酸化物半導体層中においてドナーとなる酸素欠損を低減させてもよい。加熱処理の温度は、例えば100以上350未満、好ましくは150以上250未満で行う。上記窒素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0138】

本実施の形態では、不活性ガス雰囲気下、または酸素ガス雰囲気下で加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

【0139】

以上の工程でトランジスタが形成される(図3(C)参照)。

【0140】

なお、絶縁層115に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基または水素化物などの不純物を酸化物シリコン膜に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

30

【0141】

また、絶縁層115に酸素を過剰に含む酸化シリコン膜を用いると、絶縁層115形成後の加熱処理によって絶縁層115中の酸素が酸化物半導体層109に移動し、酸化物半導体層109の酸素濃度を向上させ、高純度化する効果を奏する。

【0142】

また、図3(D)に示すように、絶縁層115上にさらに保護絶縁層117を積層してもよい。保護絶縁層は、例えばRFスパッタリング法を用いて窒化シリコン膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層117の成膜方法として好ましい。保護絶縁層117は水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜、例えば、窒化シリコン膜、窒化アルミニウム膜などを用いる。また、窒化シリコン膜、及び窒化アルミニウム膜は、水素イオン、又は水素分子のバリア膜として特に有効であり、絶縁層115上に設けることが好ましい。本実施の形態では、窒化シリコン膜を用いて保護絶縁層117を形成する。

40

【0143】

本実施の形態では、絶縁層115まで形成された基板101を100~400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層115と同様に、処理室内の残留水分を除去しつつ保護絶縁層117を成膜することが好ましい。

【0144】

50

保護絶縁層 117 の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から 100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返し行ってもよい。

【0145】

また、酸素ドーブ処理を酸化物半導体膜 108、第 1 のゲート絶縁層 105 及び / 又は第 2 のゲート絶縁層 107 に施してもよい。「酸素ドーブ」とは、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）をバルクに添加することを言う。なお、当該「バルク」の用語は、酸素を、薄膜表面のみでなく薄膜内部に添加することを明確にする主旨で用いている。また、「酸素ドーブ」には、プラズマ化した酸素をバルクに添加する「酸素プラズマドーブ」が含まれる。

10

【0146】

酸素プラズマドーブ処理は、誘導結合プラズマ（ICP：Inductively Coupled Plasma）方式を用いてプラズマ化した酸素を添加する方法であっても、周波数が 1 GHz 以上の μ 波（例えば周波数 2.45 GHz）を用いてプラズマ化した酸素を添加する方法であってもよい。

【0147】

さらに、図示しないが、保護絶縁層 117 上に平坦化のための平坦化絶縁層を設けることができる。平坦化絶縁層としてはポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料（low k 材料）、シロキサン樹脂材料、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させてもよい。平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG 法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）、印刷法（スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いる事ができる。

20

【0148】

本実施の形態で例示するトランジスタは、高純度化された酸化物半導体層にチャネル形成領域を有し、オフ状態における電流（オフ電流）は十分に小さい。

【0149】

以上、ドレイン近傍に第 2 のゲート絶縁層 107 を設けるトランジスタについて示したが、本実施の形態のトランジスタは、図 11 に示すように、ソース近傍及びドレイン近傍のゲート絶縁層の膜厚を大きくして、ソース電極及びドレイン電極と接するチャネル形成領域の抵抗率を大きくした構成とすることもできる。図 11（B）はソース近傍及びドレイン近傍のゲート絶縁層の膜厚を大きくしたトランジスタの上面図を示し、図 11（A）は図 11（B）の C - D 断面の断面図である。

30

【0150】

図 11 に示すトランジスタは、絶縁表面を有する基板 101 上に、島状のゲート電極 103 と、ゲート電極 103 を覆うように形成された第 1 のゲート絶縁層 105 と、第 1 のゲート絶縁層 105 上で、一部がゲート電極 103 と重畳するように設けられた第 2 のゲート絶縁層 107 a 及び第 2 のゲート絶縁層 107 b と、第 1 のゲート絶縁層 105、第 2 のゲート絶縁層 107 a 及び第 2 のゲート絶縁層 107 b 上に、ゲート電極と重畳する酸化物半導体層 109 と、酸化物半導体層 109 及び第 2 のゲート絶縁層 107 a 上に、端部をゲート電極 103 と重畳するように設けられたソース電極 111 と、酸化物半導体層 109 及び第 2 のゲート絶縁層 107 b 上に、端部をゲート電極 103 と重畳するように設けられたドレイン電極 113 と、第 2 のゲート絶縁層 107 a、第 2 のゲート絶縁層 107 b、酸化物半導体層 109、ソース電極 111 及びドレイン電極 113 を覆うように絶縁層 115 と、を有する。酸化物半導体層 109 において、ゲート電極 103 と重畳する領域の、ソース電極 111 及びドレイン電極 113 の間隙がチャネル形成領域となる。

40

【0151】

50

図 1 1 に示すトランジスタは、第 2 のゲート絶縁層 1 0 7 a 及び第 2 のゲート絶縁層 1 0 7 b と重畳するチャンネル形成領域 (図 1 1 に示す領域 b) は、チャンネル形成領域の他の領域 (図 1 1 に示す領域 a) と比べて、重畳するゲート絶縁層の膜厚が大きいいため、領域 b は領域 a よりも抵抗率の高い高抵抗領域となる。

【 0 1 5 2 】

本実施の形態ではトランジスタの第 1 の電極をドレイン電極、第 2 の電極をソース電極として説明しているが、トランジスタの第 1 の電極及び第 2 の電極のいずれがソース電極及びドレイン電極として機能するかは、トランジスタの構造や動作条件によって互いに入れ替わる。そこで、図 1 1 に示すように、第 2 のゲート絶縁層 1 0 7 a 及び第 2 のゲート絶縁層 1 0 7 b を設け、ソース近傍及びドレイン近傍のチャンネル形成領域に高抵抗領域を設けることで、第 1 の電極及び第 2 の電極のいずれがソース電極及びドレイン電極となっても、高電界を緩和することができ、トランジスタの破壊を防ぐことができる。

10

【 0 1 5 3 】

以上のように、本実施の形態のトランジスタは、ドレイン近傍、またはソース近傍及びドレイン近傍のチャンネル形成領域に重畳するゲート絶縁層の静電容量を小さくして、チャンネル形成領域に高抵抗領域を設けることによって、ドレイン電極に高電圧が印加されても、ドレイン近傍に高電界が生じることを防止できる、高耐圧のトランジスタを提供できる。

【 0 1 5 4 】

さらに、本実施の形態のトランジスタはドレイン近傍、またはソース近傍及びドレイン近傍以外の領域では、ゲート絶縁層の膜厚を小さいままとしているため、移動度の低下がない。そのため、大電流を制御するのに十分な移動度を確保したまま、トランジスタの破壊耐性を高めることができる。

20

【 0 1 5 5 】

したがって、本実施の形態のトランジスタは、大電力の制御を行う、高耐圧のトランジスタを提供することができる。

【 0 1 5 6 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 1 5 7 】

(実施の形態 2)

本実施の形態では、実施の形態 1 とは異なる、本発明の一態様のトランジスタについて示す。図 4 は本実施の形態のトランジスタを示した図である。なお、本実施の形態では、トランジスタの第 1 の電極をドレイン電極、第 2 の電極をソース電極として説明する。

30

【 0 1 5 8 】

本発明の一態様のトランジスタは図 4 (A) に示すように、基板 4 0 1 と、基板 4 0 1 上に形成された島状の第 1 のゲート電極 4 0 3 と、第 1 のゲート電極 4 0 3 を覆うように設けられた第 1 のゲート絶縁層 4 0 5 と、第 1 のゲート絶縁層 4 0 5 上に、第 1 のゲート電極 4 0 3 と重畳し、第 1 のゲート電極 4 0 3 よりもチャンネル長方向の長さが長い酸化半導体層 4 0 7 と、酸化半導体層 4 0 7 と端部を重畳する一対のソース電極 4 0 9 及びドレイン電極 4 1 1 と、酸化半導体層 4 0 7、ソース電極 4 0 9 及びドレイン電極 4 1 1 を覆う第 2 のゲート絶縁層 4 1 3 と、第 2 のゲート絶縁層 4 1 3 上で、酸化半導体層 4 0 7 と重畳し、ソース電極 4 0 9 及びドレイン電極 4 1 1 と端部を重畳する第 2 のゲート電極 4 1 5 と、を有するトランジスタである。第 1 のゲート電極 4 0 3 または第 2 のゲート電極 4 1 5 の少なくとも一方と重畳する酸化半導体層 4 0 7 であって、ソース電極 4 0 9 及びドレイン電極 4 1 1 の間隙にチャンネル形成領域が形成される。

40

【 0 1 5 9 】

ソース電極及びドレイン電極は、第 1 のゲート電極とは重畳せず、ソース電極及びドレイン電極と第 1 のゲート電極との間にはそれぞれ間隙が設けられている。間隙においては、酸化半導体層と第 2 のゲート電極が重畳している。

【 0 1 6 0 】

50

第2のゲート絶縁層413の静電容量は第1のゲート絶縁層405の静電容量よりも小さい。そのため、チャンネル形成領域の第1のゲート電極403及び第2のゲート電極415のどちらとも重畳している領域(図4(A)に示す領域a)において、主にキャリアを誘起するのは、静電容量の大きい第1のゲート絶縁層405を介して設けられた、第1のゲート電極403である。

【0161】

第1のゲート電極403は静電容量の大きい第1のゲート絶縁層を介してチャンネル形成領域と重畳しているため、領域aのチャンネル形成領域は移動度が高く、抵抗率の低い低抵抗領域となる。

【0162】

また、図4(A)に示すチャンネル形成領域において、ソース近傍及びドレイン近傍の領域(図中の領域b)は、第2のゲート電極415と重畳し、第1のゲート電極403とは重畳していない。そのため、領域bにおいてキャリアを誘起するのは、第2のゲート電極415である。

【0163】

領域bにおいて、第2のゲート電極415は、静電容量の小さい第2のゲート絶縁層413を介してチャンネル形成領域と重畳しているため、領域bのチャンネル形成領域は、移動度が低く、抵抗率の高い高抵抗領域となる。

【0164】

本実施の形態のトランジスタは、チャンネル形成領域のソース近傍及びドレイン近傍が抵抗率の高い高抵抗領域となるため、ドレイン電極に高電圧を印加しても、ドレイン近傍の電界が急激に変化することはない。したがって、トランジスタは高い電圧が印加されても破壊が起こりにくく、高い破壊耐性を有する。

【0165】

また、チャンネル形成領域のソース近傍及びドレイン近傍以外の低抵抗領域は、移動度の低下がないため、大電流の制御を行うのに十分な移動度を備えたまま、トランジスタの破壊耐性を高めることができる。

【0166】

したがって、本実施の形態のトランジスタは、大電力の制御を行う、高耐圧のトランジスタを提供することができる。

【0167】

本実施の形態のトランジスタは、実施の形態1で示したトランジスタと同様の材料や、作製方法を用いて作製できる。

【0168】

ただし、第2のゲート絶縁層413の静電容量は、第1のゲート絶縁層405の静電容量よりも小さくなるように作製する必要がある。本実施の形態のトランジスタにおいて、第2のゲート絶縁層の静電容量は第1のゲート絶縁層の静電容量に対して、0.1倍以上1倍未満、特に0.15倍以上0.5倍未満となるのが好ましい。ゲート絶縁層の静電容量は、ゲート絶縁層に用いた材料の固有の比誘電率、ゲート絶縁層の膜厚等によって決定されるため、これらの項目を適宜設定して、第2のゲート絶縁層413の静電容量が第1のゲート絶縁層405の静電容量よりも小さくなるようにすればよい。

【0169】

本実施の形態で示したトランジスタは、第1のゲート絶縁層405及び第2のゲート絶縁層413に同一の材料を用いた。同一の材料を用いると、第1のゲート絶縁層405及び第2のゲート絶縁層413は比誘電率が等しいため、第1のゲート絶縁層の膜厚を第2のゲート絶縁層の膜厚よりも小さくなるように設定することで、第2のゲート絶縁層の静電容量を第1のゲート絶縁層の静電容量よりも小さくできる。

【0170】

第2のゲート絶縁層の静電容量を第1のゲート絶縁層よりも小さくする方法は上記に限らず、例えば、第2のゲート絶縁層に比誘電率の小さな材料を用いる方法や、第2のゲート

10

20

30

40

50

絶縁層の静電容量が小さくなるようにドーピングを施す方法等を適宜用いて、第2のゲート絶縁層の静電容量が第1のゲート絶縁層の静電容量よりも小さくなるように、適宜設定すればよい。

【0171】

本実施の形態では、第1のゲート電極と、ソース電極及びドレイン電極との両方の間に、間隙を設けたが、本発明のトランジスタは両側に間隙を設ける必要はなく、どちらか一方に設ければよい。

【0172】

また、本実施の形態のトランジスタは、図4(B)に示すように、チャンネル形成領域において、第1のゲート電極403及び第2のゲート電極415のどちらとも重畳しない領域（オフセット領域、図4(B)に示す領域c）を設けてもよい。オフセット領域は、重畳するゲート電極がないため、領域a及び領域bよりもさらに移動度が低く、抵抗率の高い領域となる。チャンネル形成領域において、領域a及び領域bよりも抵抗率の高い領域cを設けることで、チャンネル形成領域からドレイン電極への電位の変化がさらに緩やかになり、ドレイン近傍に生じる高電界を緩和することができる。

10

【0173】

オフセット領域は、ドレイン近傍のみに設けてもよいし、ソース近傍及びドレイン近傍に設けてもよい。また、ドレイン近傍のオフセット領域のチャンネル長方向の長さをソース近傍のオフセット領域のチャンネル長方向の長さよりも大きくしてもよい。ただし、オフセット領域が大きすぎると、ソース電極及びドレイン電極間に電流が流れなくなる可能性があるため、オフセット領域のチャンネル長方向の長さは、チャンネル長の大きさに対して10%以下とするのが好ましい。

20

【0174】

以上のように、本実施の形態で示したトランジスタは、ソース近傍及びドレイン近傍において、静電容量の小さい第2のゲート絶縁層を介して設けた第2のゲート電極によってキャリアを誘起させることで、ソース近傍及びドレイン近傍のチャンネル形成領域を高抵抗化している。そのため、ドレイン電極に高電圧が印加されても、強電界が生じず、破壊耐性の高いトランジスタを提供することができる。

【0175】

また、チャンネル形成領域のソース近傍及びドレイン近傍以外の部分においては、静電容量の大きい第1のゲート絶縁層を介して設けたゲート電極によってキャリアを誘起しているため、大電流を制御するのに十分な移動度を備えたトランジスタを提供することができる。

30

【0176】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0177】

（実施の形態3）

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置について示す。例えば、電圧変動が大きい電圧から安定した値の電源電圧を生成する場合、または複数の異なる値の電源電圧が必要となる場合などに、ある値の直流電圧を別の値の直流電圧に変換する回路（直流変換回路または、DC-DCコンバータともいう）へと用いることができる。上記実施の形態で示したトランジスタは、破壊耐性を向上させたトランジスタであるため、該トランジスタを適用することで、信頼性の高い直流変換回路を構成することができる。

40

【0178】

さらに、該トランジスタを適用した直流変換回路は、他の様々な蓄電装置と組み合わせて電源回路を構成することができる。本実施の形態では、上記実施の形態で示したトランジスタを用いた電源回路について説明する。

【0179】

50

本実施の形態の電源回路の構成の一例について図5を用いて説明する。図5は本実施の形態の電源回路の構成の一例を示すブロック図である。

【0180】

図5に示す電源回路は、蓄電装置601と直流変換回路602と、を有する。

【0181】

蓄電装置601は、電力を供給する機能を有する。蓄電装置としては、例えば光電変換装置、リチウムイオン二次電池、リチウムイオンキャパシタ、電気二重層キャパシタ、及びレドックスキャパシタのいずれか一つまたは複数などを用いることができる。例えば、リチウムイオン二次電池及びリチウムイオンキャパシタを併用することにより、高速充放電が可能であり、かつ長時間電源を供給することが可能な蓄電装置にすることができる。なお、リチウムイオン二次電池に限定されず、蓄電装置601として他のアルカリ金属イオンまたはアルカリ土類金属イオンなどを可動イオンとして用いた二次電池を用いてもよい。また、リチウムイオンキャパシタに限定されず、蓄電装置601として、他のアルカリ金属イオンまたはアルカリ土類金属イオンなどを可動イオンとして用いたキャパシタを用いてもよい。

10

【0182】

直流変換回路602として、例えば、図6に示すような回路を用いることができる。図6(A)に示す直流変換回路301は、トランジスタ302、コイル303、ダイオード304、コンデンサ305、直流電源306を有する昇圧回路である。

【0183】

コイル303の一方の端子は、直流電源306の陽極に電氣的に接続されている。コイル303の他方の端子はトランジスタ302のソース或いはドレインの一方と電氣的に接続されている。トランジスタ302のソース或いはドレインの他方は直流電源306の陰極及び、コンデンサ305の一方の端子と電氣的に接続されている。コンデンサ305の他方の端子は、ダイオード304の出力端子及び出力端子OUTに電氣的に接続されている。なお、直流電源306の陰極、トランジスタ302のソース或いはドレインの他方、及びコンデンサ305の一方の端子は接地されている。

20

【0184】

トランジスタ302はスイッチング素子として機能する。またトランジスタ302のゲートは、直流変換回路301の制御回路に接続されている。直流変換回路301の制御回路からの信号により、トランジスタ302はオン状態あるいはオフ状態となる。

30

【0185】

スイッチング素子であるトランジスタ302がオン状態のとき、コイル303に流れ込む電流により、コイル303には励磁エネルギーが蓄えられる。

【0186】

トランジスタ302がオフ状態になると、コイル303に蓄えられた励磁エネルギーが放出される。コイル303から放出される励磁エネルギーに起因する電圧V2が、電圧V1に上積みされる。これにより直流変換回路301は昇圧回路として機能する。

【0187】

トランジスタ302がオン状態の時間が長く、コイル303に蓄えたエネルギーが大きいほど、大電力を取り出すことができる。

40

【0188】

図6(B)に示す直流変換回路311は、トランジスタ312、コイル313、ダイオード314、コンデンサ315を有する降圧回路である。

【0189】

トランジスタ312のソースあるいはドレインの一方は、直流電源316の陽極に電氣的に接続されている。トランジスタ312のソースあるいはドレインの他方は、ダイオード314の出力端子及びコイル313の一方の端子と電氣的に接続されている。ダイオード314の入力端子は、直流電源316の陰極及びコンデンサ315の一方の端子に電氣的に接続されている。ダイオードの出力端子は、トランジスタ312のソースあるいはドレ

50

インの他方及びコイル 3 1 3 の一方の端子と電氣的に接続されている。コイル 3 1 3 の一方の端子は、トランジスタ 3 1 2 のソース或いはドレインの他方及びダイオード 3 1 4 の出力端子に電氣的に接続されている。コイル 3 1 3 の他方の端子は、コンデンサ 3 1 5 の他方の端子及び出力端子 O U T に電氣的に接続されている。なお、直流電源 3 1 6 の陰極、ダイオード 3 1 4 の入力端子、及びコンデンサ 3 1 5 の一方の端子は接地されている。

【 0 1 9 0 】

トランジスタ 3 1 2 はスイッチング素子として機能する。またトランジスタ 3 1 2 のゲートは、直流変換回路 3 1 1 の制御回路に接続されている。直流変換回路 3 1 1 の制御回路からの信号により、トランジスタ 3 1 2 はオン状態あるいはオフ状態となる。

【 0 1 9 1 】

スイッチング素子であるトランジスタ 3 1 2 がオン状態のとき、入力から出力に流れる降圧回路の電流により、コイル 3 1 3 には励磁エネルギーが蓄えられる。

【 0 1 9 2 】

トランジスタ 3 1 2 がオフ状態になると、コイル 3 1 3 は電流を保とうとして起電力を発生させ、ダイオード 3 1 4 をオン状態にする。ダイオード 3 1 4 を通じて電流が流れることによって、電圧 V 2 が低下する。電圧 V 1 より電圧 V 2 が低下するため、直流変換回路 3 1 1 は降圧回路として機能する。なお本実施の形態において、トランジスタ 3 1 2 として例えば電界効果トランジスタを用いることができる。

【 0 1 9 3 】

また本実施の形態において、コイル 3 0 3 とコイル 3 1 3 として、基板上にコイル状に形成した配線を用いることができる。

【 0 1 9 4 】

また本実施の形態において、ダイオード 3 0 4 とダイオード 3 1 4 として、例えばショットキーバリアダイオードを用いることができる。

【 0 1 9 5 】

また、本実施の形態において、コンデンサ 3 0 5 とコンデンサ 3 1 5 として、例えば第 1 の電極と、第 2 の電極と、誘電体と、を有する構成のコンデンサを用いることができる。

【 0 1 9 6 】

なお、本実施の形態において、トランジスタ 3 0 2 またはトランジスタ 3 1 2 として例えば、実施の形態 1、2 で示したトランジスタを使用することができる。

【 0 1 9 7 】

本発明の一態様に示したトランジスタは、半導体層に酸化物半導体を用いているため、高耐圧で、大電流の制御が可能であるという特性を有する。そのため、本実施の形態で示した電圧変換回路に用いることによって、大電流を駆動できる回路を作製できる。

【 0 1 9 8 】

図 5 に示すように、本実施の形態の電源回路の一例は、蓄電装置及び直流変換回路を有し、蓄電装置により供給された電力を直流変換回路により昇圧または降圧することにより、電源を供給する装置の仕様に適した値の電源電圧を生成するものである。また、本実施の形態の電源回路において、直流変換回路の一部として、上記実施の形態で示したトランジスタを用いることにより、電源回路の信頼性を向上させることができる。

【 0 1 9 9 】

なお、本実施の形態は他の実施の形態と適宜組み合わせることができる。

【 0 2 0 0 】

(実施の形態 4)

本実施の形態は、上記実施の形態 3 に示す電源回路を適用することができる電子機器の一例について図 7 を用いて説明する。

【 0 2 0 1 】

図 7 (A) は、ノート型のパーソナルコンピュータであり、本体 3 0 0 1、筐体 3 0 0 2、表示部 3 0 0 3、キーボード 3 0 0 4 などによって構成されている。なお、図 7 (A) に示すノート型のパーソナルコンピュータに供給する電源電圧を生成するために上記実施

10

20

30

40

50

の形態3の電源回路を適用することができる。

【0202】

図7(B)は、携帯電話であり、筐体2800及び筐体2801の二つの筐体で構成されている。筐体2801には、表示パネル2802、スピーカー2803、マイクロフォン2804、ポインティングデバイス2806、カメラ用レンズ2807、外部接続端子2808などを備えている。また、筐体2801には、携帯型情報端末の充電を行う太陽電池セル2810、外部メモリスロット2811などを備えている。また、アンテナは筐体2801内部に内蔵されている。

【0203】

また、表示パネル2802はタッチパネルを備えており、図7(B)には映像表示されている複数の操作キー2805を点線で示している。なお、図7(B)に示す携帯電話は、太陽電池セル2810と、太陽電池セル2810から出力される電圧を各回路に必要な電圧に変換する直流変換回路と、を用いて構成される電源回路を実装している。

10

【0204】

以上のように実施の形態3における電源回路は、様々な電子機器に適用することができ、また、信頼性の高い電子機器を提供することができる。

【0205】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0206】

(実施の形態5)

本実施の形態では、本発明の一態様に用いることができる酸化物半導体について説明する。

20

【0207】

酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)とを含むことが好ましい。特にInとZnを含むことが好ましい。

【0208】

また、インジウム(In)あるいは亜鉛(Zn)を用いた酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、又はランタノイドから選ばれた一種又は複数種を有することが好ましい。

30

【0209】

ランタノイドとして、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)がある。

【0210】

例えば、 $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ あるいは $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。

【0211】

あるいは、 $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ あるいは $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いても良い。

40

【0212】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0213】

50

酸化物半導体は単結晶でも、非単結晶でもよい。

【0214】

非単結晶の場合、非晶質でも、多結晶でもよい。また、非晶質中に結晶性を有する部分を含む構造でもよい。なお、アモルファスは欠陥が多いため、非アモルファスが好ましい。

【0215】

本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせる実施することができる。

【0216】

(実施の形態6)

本実施の形態では、実施の形態5に示した酸化物半導体が有する好ましい結晶状態について示す。

【0217】

結晶性部分と非結晶性部分とを有し、結晶性部分の配向がc軸配向に揃っている結晶を含む酸化物半導体であるCAAC-OS(C Axis Aligned Crystal Oxide Semiconductor)膜について説明する。

【0218】

CAAC-OS膜は新規な酸化物半導体である。

【0219】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0220】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0221】

なお、CAAC-OS膜において、膜中における結晶部の分布はでなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し、表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物元素を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0222】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことで形成される。

【0223】

CAAC-OS膜を用いることで、可視光や紫外光の照射によるトランジスタの電気特性

10

20

30

40

50

の変動が低減されるため、信頼性の高いトランジスタを得ることができる。

【0224】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0225】

図12乃至図14を用いて、CAACに含まれる結晶構造の一例について説明する。

【0226】

なお、図12乃至図14において、上方向がc軸方向であり、c軸方向と直交する面がab面である。

【0227】

本実施の形態において、上半分、下半分とは、ab面を境にした場合の上半分、下半分をいう。

10

【0228】

図12(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子(以下4配位のO)と、を有する構造Aを示す。

【0229】

ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。

【0230】

構造Aは、八面体構造をとるが、簡単のため平面構造で示している。

【0231】

なお、構造Aは上半分および下半分にはそれぞれ3個ずつ4配位のOがある。構造Aに示す小グループは電荷が0である。

20

【0232】

図12(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、近接の2個の4配位のOと、を有する構造Bを示す。

【0233】

3配位のOは、いずれもab面に存在する。構造Bの上半分および下半分にはそれぞれ1個ずつ4配位のOがある。

【0234】

また、Inも5配位をとるため、構造Bをとりうる。構造Bの小グループは電荷が0である。

30

【0235】

図12(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造Cを示す。

【0236】

構造Cの上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。構造Cの小グループは電荷が0である。

【0237】

図12(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造Dを示す。

40

【0238】

構造Dの上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。

【0239】

構造Dの小グループは電荷が+1となる。

【0240】

図12(E)に、2個のZnを構造Eを示す。

【0241】

構造Eの上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。構造Eの小グループは電荷が-1となる。

【0242】

50

本実施の形態では複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0243】

ここで、これらの小グループ同士が結合する規則について説明する。

【0244】

I_n の上半分の3個のOは下方向に3個の近接 I_n を有し、下半分の3個のOは上方向に3個の近接 I_n を有する。

【0245】

G_a の上半分の1個のOは下方向に1個の近接 G_a を有し、下半分の1個のOは上方向に1個の近接 G_a を有する。

10

【0246】

Z_n の上半分の1個のOは下方向に1個の近接 Z_n を有し、下半分の3個のOは上方向に3個の近接 Z_n を有する。

【0247】

この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。

【0248】

Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。

20

【0249】

従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。

【0250】

その理由を以下に示す。例えば、6配位の金属原子（ I_n または S_n ）が上半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子（ G_a または I_n ）の上半分の4配位のO、5配位の金属原子（ G_a または I_n ）の下半分の4配位のOまたは4配位の金属原子（ Z_n ）の上半分の4配位のOのいずれかと結合することになる。

30

【0251】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。

【0252】

また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0253】

図13(A)に、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループAのモデル図を示す。

【0254】

図13(B)に、3つの中グループで構成される大グループBを示す。

40

【0255】

なお、図13(C)は、図13(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0256】

中グループAでは、3配位のOは省略し、4配位のOは個数のみである。

【0257】

例えば、 S_n の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。

【0258】

50

同様に、中グループ A において、 I_n の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。

【0259】

また、中グループ A において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Z_n と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Z_n とを示している。

【0260】

中グループ A において、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある S_n が、4 配位の O が 1 個ずつ上半分および下半分にある I_n と結合する。

10

【0261】

その I_n が、上半分に 3 個の 4 配位の O がある Z_n と結合する。

【0262】

その Z_n の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある I_n と結合する。

【0263】

その I_n が、上半分に 1 個の 4 配位の O がある Z_n 2 個からなる小グループと結合する。

【0264】

この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある S_n と結合している構成である。

20

【0265】

この中グループが複数結合して大グループを構成する。

【0266】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当当たりの電荷はそれぞれ -0.667、-0.5 と考えることができる。

【0267】

例えば、 I_n (6 配位または 5 配位)、 Z_n (4 配位)、 S_n (5 配位または 6 配位) の電荷は、それぞれ +3、+2、+4 である。従って、 S_n を含む小グループは電荷が +1 となる。

30

【0268】

そのため、 S_n を含む層構造を形成するためには、電荷 +1 を打ち消す電荷 -1 が必要となる。

【0269】

電荷 -1 をとる構造として、構造 E に示すように、2 個の Z_n を含む小グループが挙げられる。

【0270】

例えば、 S_n を含む小グループが 1 個に対し、2 個の Z_n を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

【0271】

具体的には、大グループ B が繰り返されることで、 $I_n - S_n - Z_n - O$ 系の結晶 ($I_n{}_2 S_n Z_n{}_3 O_8$) を得ることができる。

40

【0272】

得られる $I_n - S_n - Z_n - O$ 系の層構造は、 $I_n{}_2 S_n Z_n{}_2 O_7 (Z_n O)_m$ (m は 0 または自然数。) とする組成式で表すことができる。

【0273】

$I_n - S_n - Z_n - O$ 系の結晶は、 m の数が大きいと結晶性が向上するため、好ましい。

【0274】

$I_n - S_n - Z_n - O$ 系以外の酸化物半導体を用いた場合も同様である。

50

【0275】

例えば、図14(A)に、In-Ga-Zn-O系の層構造を構成する中グループLのモデル図を示す。

【0276】

中グループLにおいて、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合する。

【0277】

そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合する。

【0278】

そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合する。

【0279】

この中グループが複数結合して大グループを構成する。

【0280】

図14(B)に3つの中グループで構成される大グループMを示す。

【0281】

なお、図14(C)は、図14(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0282】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。

【0283】

そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0284】

また、In-Ga-Zn-O系の層構造を構成する中グループは、中グループLに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせて実施することができる。

【0285】

(実施の形態7)

本実施の形態では、本発明の一態様に用いる酸化物半導体の移動度について、計算式を用いて詳細に説明する。

【0286】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。

【0287】

移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0288】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、式1のように表される。

【0289】

10

20

30

40

【数 1】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (1)$$

【0290】

E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。

【0291】

また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、式2のように表される。

【0292】

【数 2】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (2)$$

【0293】

e は電気素量、N はチャンネル内の単位面積当たりの平均欠陥密度、 μ は半導体の誘電率、n は単位面積当たりのチャンネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、t はチャンネルの厚さである。

【0294】

なお、厚さ30nm以下の半導体層であれば、チャンネルの厚さは半導体層の厚さと同じとして差し支えない。

【0295】

線形領域におけるドレイン電流 I_d は、式3のように表される。

【0296】

【数 3】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (3)$$

【0297】

ここで、L はチャンネル長、W はチャンネル幅であり、ここでは、 $L = W = 10 \mu m$ である。

【0298】

また、 V_d はドレイン電圧である。

【0299】

式3の両辺を V_g で割り、更に両辺の対数を取ると、式4のように表される。

【0300】

【数 4】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (4)$$

【0301】

式4の右辺は V_g の関数である。

【0302】

上式のからわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ とする直線の傾きから欠陥密度 N が求められる。

【0303】

すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。

【0304】

酸化物半導体としては、インジウム (In)、スズ (Sn)、亜鉛 (Zn) の比率が、

10

20

30

40

50

$I n : S n : Z n = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0305】

このようにして求めた欠陥密度等をもとに $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ が導出される。

【0306】

欠陥のある $I n - S n - Z n$ 酸化物で測定される移動度は $35 \text{ cm}^2 / \text{Vs}$ 程度である。

【0307】

しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。

【0308】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、式5のように表される。

【0309】

【数5】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (5)$$

【0310】

D はゲート方向の電界、 B 、 G は定数である。 B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ (界面散乱が及ぶ深さ) である。

【0311】

D が増加する (すなわち、ゲート電圧が高くなる) と式5の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0312】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 の計算結果を図15に示す。

【0313】

なお、計算にはシノプシス社製のソフトである *Sentaurus Device* を使用した。

【0314】

計算において、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。

【0315】

これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0316】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。

【0317】

また、ゲート絶縁膜の厚さは100nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10 μm 、ドレイン電圧 V_d は0.1Vである。

【0318】

計算結果で示されるように、ゲート電圧1V強で移動度 $100 \text{ cm}^2 / \text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。

【0319】

なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (A

10

20

30

40

50

t o m i c L a y e r F l a t n e s s) が望ましい。

【0320】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した。

【0321】

なお、計算に用いたトランジスタは酸化物半導体層に一对のn型半導体領域にチャネル形成領域が挟まれたものを用いた。

【0322】

一对のn型半導体領域の抵抗率は $2 \times 10^{-3} \text{ cm}$ として計算した。

【0323】

また、チャネル長を 33 nm 、チャネル幅を 40 nm として計算した。

【0324】

また、ゲート電極の側壁にサイドウォールを有する。

【0325】

サイドウォールと重なる半導体領域をオフセット領域として計算した。

【0326】

計算にはシノプシス社製のソフト、S e n t a u r u s D e v i c e を使用した。

【0327】

図16は、トランジスタのドレイン電流 (I_d 、実線) および移動度 (μ 、点線) のゲート電圧 (V_g 、ゲートとソースの電位差) 依存性の計算結果である。

【0328】

ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を $+1 \text{ V}$ とし、移動度 μ はドレイン電圧を $+0.1 \text{ V}$ として計算したものである。

【0329】

図16(A)はゲート絶縁膜の厚さを 15 nm として計算したものである。

【0330】

図16(B)はゲート絶縁膜の厚さを 10 nm と計算したものである。

【0331】

図16(C)はゲート絶縁膜の厚さを 5 nm と計算したものである。

【0332】

ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。

【0333】

一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。

【0334】

図17は、オフセット長 (サイドウォール長) L_{off} を 5 nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。

【0335】

ドレイン電流 I_d は、ドレイン電圧を $+1 \text{ V}$ とし、移動度 μ はドレイン電圧を $+0.1 \text{ V}$ として計算したものである。

【0336】

図17(A)はゲート絶縁膜の厚さを 15 nm として計算したものである。

【0337】

図17(B)はゲート絶縁膜の厚さを 10 nm と計算したものである。

【0338】

図17(C)はゲート絶縁膜の厚さを 5 nm と計算したものである。

【0339】

図17は、オフセット長 (サイドウォール長) L_{off} を 15 nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧依存性を示す。

10

20

30

40

50

【0340】

ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。

【0341】

図18(A)はゲート絶縁膜の厚さを15 nmと計算したものである。

【0342】

図18(B)はゲート絶縁膜の厚さを10 nmと計算したものである。

【0343】

図18(C)はゲート絶縁膜の厚さを5 nmと計算したものである。

【0344】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0345】

なお、移動度 μ のピークは、図16では $80 \text{ cm}^2 / \text{Vs}$ 程度であるが、図17では $60 \text{ cm}^2 / \text{Vs}$ 程度、図18では $40 \text{ cm}^2 / \text{Vs}$ と、オフセット長 L_{off} が増加するほど低下する。

【0346】

また、オフ電流も同様な傾向がある。

【0347】

一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。

【0348】

また、いずれもゲート電圧1 V前後で、ドレイン電流はメモリ素子等で必要とされる $10 \mu\text{A}$ を超えることが示された。本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせて実施することができる。

【実施例1】

【0349】

本実施例では、ボトムゲート構造のトランジスタのゲート絶縁層の膜厚及びチャネル形成領域の長さ(チャネル長 L)を変化させ、各トランジスタの移動度の変化を測定した。また、測定結果をもとに、ゲート絶縁層の膜厚の変化による、電界の変化について計算した。

【0350】

まず、本実施例で用いたトランジスタの作製方法を以下に示す。

【0351】

はじめに、ガラス基板上に下地膜として、窒化酸化シリコン膜をCVD法を用いて100 nmの厚さで作製する。

【0352】

次に、ゲート電極としてスパッタリング法により厚さ150 nmのタングステン膜を形成した。ここでタングステン膜を選択的にエッチングすることにより、ゲート電極を形成した。

【0353】

次に、ゲート電極上にゲート絶縁層としてプラズマCVD法で比誘電率4.1の酸化シリコン膜を形成した。ゲート絶縁層の厚さは、30 nm、50 nm、100 nm、200 nmの4種類を作製した。

【0354】

続いて、ゲート絶縁層上に、In-Ga-Zn-O系金属の酸化物ターゲット($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比])を用いて、基板とターゲットの間との距離を60 mm、圧力0.4 Pa、直流(DC)電源0.5 kW、アルゴン及び酸素(アルゴン:酸素 = 30 sccm : 15 sccm)混合雰囲気下、200 でスパッタリング法による成膜を行い、厚さ30 nmの酸化物半導体膜を形成した。ここで、酸化物半

10

20

30

40

50

導体膜を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0355】

そして、オープンを用いて窒素雰囲気下、450 で1時間の熱処理を行った。

【0356】

次に、酸化物半導体層上にソース電極及びドレイン電極としてスパッタリング法により、厚さ150nmのチタン膜を形成した。ここで、ソース電極及びドレイン電極を選択的にエッチングし、トランジスタのチャネル幅Wが50 μ mとなるようにした。なお、トランジスタのチャネル長Lは2 μ m、4 μ m、10 μ m、20 μ m、50 μ m、100 μ m、200 μ mの7種類のものを作製した。

【0357】

次に、層間膜として、酸化シリコン膜を厚さ600nmで、スパッタリング法により成膜した。その後、測定に用いる電極を露出させるため、層間膜及び絶縁層を選択的にエッチングした。

【0358】

続いて電極として、厚さ110nmのインジウム錫酸化物をスパッタリング法により成膜し、これを選択的にエッチングすることにより電極を形成した。

【0359】

その後、オープンを用いて窒素雰囲気下、250 、1時間のベークを行った。

【0360】

以上の工程により、トランジスタを作製した。

【0361】

次に、上記で作製したトランジスタについて、ゲート絶縁層の膜厚とチャネル長Lの異なるいくつかのトランジスタについて移動度を測定して比較した。トランジスタの測定を行うにあたり、ソース電極に0V、ドレイン電極に10Vを印加した。ゲート電極には、印加する電圧を-20Vから+20Vまで、0.25V刻みに変化させて、ドレイン電流の測定を行った。測定したドレイン電流の値を飽和領域におけるドレイン電流の式に代入することで、電界効果移動度を算出した。

【0362】

図8では、上記のようにして算出した飽和領域における電界効果移動度の最大値とゲート絶縁層の膜厚との関係を各チャネル長毎にグラフ化したものである。

【0363】

図8より、チャネル長に関わらず、ゲート絶縁層の膜厚が大きくなるにつれて、トランジスタの移動度は低下することが分かった。

【0364】

この実験データを元に、図11で示した構成のトランジスタについて、第2のゲート絶縁層107a及び107bの膜厚の変化による、ドレイン近傍の電界の変化について計算した。なお、計算にはSynopsys社製の計算ソフト「Sentaurus Device」を用いた。

【0365】

まず、計算を行ったトランジスタについて説明する。図11に示すトランジスタを上記実験に用いたトランジスタと同様の材料、作製方法を用いて構成した際の、該トランジスタに生じる電界について計算を行った。

【0366】

図11(A)に示すトランジスタにおいて、ゲート電極103はタングステン膜を膜厚150nmとし、第1のゲート絶縁層105は酸化窒化シリコン膜を30nmの膜厚として計算した。第2のゲート絶縁層107a及び第2のゲート絶縁層107bは酸化シリコン膜を膜厚、0nm、20nm、70nm、150nmとした4種類のトランジスタについて計算した。酸化物半導体層109はバンドギャップ3.15eV、電子親和力4.3eVのIGZO膜を30nmの膜厚とし、ソース電極111及びドレイン電極113は仕事関数4.0eVのチタン膜を膜厚150nmとし、絶縁層115は酸化シリコン膜を20

10

20

30

40

50

0 nmとした。なお、上記実験のトランジスタでは、絶縁層 115 は膜厚が 600 nm であったが、200 nm としても計算結果に影響はない。

【0367】

また、トランジスタのチャンネル形成領域のうち、第1のゲート絶縁層と接する領域(図11(A))における領域aのチャンネル長方向の長さ)は2.5 μmとし、そのうち、第2のゲート絶縁層と重畳する高抵抗領域(図11(B))における領域bのチャンネル方向の長さ)はそれぞれ、ソース電極及びドレイン電極の端部から1 μmとした。

【0368】

上記の条件のトランジスタについて、ソース電極に0 V、ドレイン電極に10 V、ゲート電極に-20 Vから0 Vの電圧を印加した際の、ドレイン電極端部の直下1 nmの位置の酸化物半導体層の電界について計算を行った。計算結果は、図9(A)に示す通りである。

10

【0369】

図9(A)は第2のゲート絶縁層の膜厚が0 nm、20 nm、70 nm、150 nmのそれぞれの場合について、ゲート電極に-20 Vから0 Vまで印加した際のドレイン電極直下の電界の強度を示した図である。図9(A)から、ゲート電圧が小さいほど、ドレイン電極直下には大きな電界がかかることが分かった。

【0370】

高電界がかかる条件下でのゲート絶縁層の膜厚と、ドレイン電極直下の電界についてさらに詳しく見るため、ゲート電極に-20 Vを印加した際の第2のゲート絶縁層の膜厚と、ドレイン電極直下の電界の関係について図9(B)に示す。

20

【0371】

図9(B)に示す通り、第2のゲート絶縁層の膜厚を大きくすると、ドレイン電極直下の電界は低下する。また、第2のゲート絶縁層の膜厚の変化に応じたドレイン電極直下の電界の変化は、第2のゲート絶縁層の膜厚が100 nmを超えると、だんだん緩やかになり、第2のゲート絶縁層の膜厚が150 nmを超えると、非常に変化が小さくなっているのが分かる。

【0372】

以上のことより、高電界が印加される条件下で、第2のゲート絶縁層の膜厚を大きくすると、ドレイン電極直下の電界は低下することがわかる。また、第2のゲート絶縁層の膜厚をさらに大きくしていくと、電界の低下は小さくなることがわかった。

30

【0373】

続いて、ドレイン近傍の電界について、さらに詳しく調べるために、上記トランジスタについて、ゲート電極に-20 Vが印加されているときの、第2のゲート絶縁層の膜厚が0 nmの場合と、第2のゲート絶縁層の膜厚が150 nmの場合について、ドレイン電極の周辺の酸化物半導体層の電界について計算を行った。

【0374】

計算条件としては、図1(B)に示すトランジスタを、上記の計算に用いたトランジスタと同様の膜厚、材料を用いて作製した場合を想定し、ソース電極に0 V、ドレイン電極に10 V、ゲート電極に-20 Vを印加した際のドレイン電極周辺の酸化物半導体層109内の電界強度分布を、第2のゲート絶縁層の膜厚が0 nmの場合と、150 nmの場合について計算した。

40

【0375】

図10は、図1(A)に示したトランジスタのドレイン電極113の端部と酸化物半導体層109が重畳する領域の周辺を拡大して示し、ドレイン電極周辺の酸化物半導体層の電界強度分布について計算した結果を示した図である。図10(A)は第2のゲート絶縁層の膜厚が0 nmの場合の酸化物半導体層の電界強度分布を示し、図10(B)は第2のゲート絶縁層の膜厚が150 nmの場合の酸化物半導体層の電界強度分布を示した図である。

【0376】

50

図10(A)及び図10(B)において、 $4\text{MV}/\text{cm}$ と示された領域は電界が $4\text{MV}/\text{cm}$ 以上の領域であり、 $3\text{MV}/\text{cm}$ と示された領域は電界が $3\text{MV}/\text{cm}$ 以上 $4\text{MV}/\text{cm}$ 未満の領域であり、 $2\text{MV}/\text{cm}$ と示された領域は電界が $2\text{MV}/\text{cm}$ 以上 $3\text{MV}/\text{cm}$ 未満の領域であり、 $1\text{MV}/\text{cm}$ と示された領域は電界が $1\text{MV}/\text{cm}$ 以上 $2\text{MV}/\text{cm}$ 未満の領域であり、その他の領域は電界が $1\text{MV}/\text{cm}$ 未満である。

【0377】

図10(A)では、ドレイン電極の端部に $4\text{MV}/\text{cm}$ 以上の高電界が集中しているが、図10(B)では、ドレイン電極の端部においても、電界の強度は $2\text{MV}/\text{cm}$ 以上 $3\text{MV}/\text{cm}$ 未満である。したがって、第2のゲート絶縁層の膜厚を大きくすると、ドレイン電極周辺の電界が緩和されているのがわかる。

10

【0378】

以上のことから、第2のゲート絶縁層を設ける構成によってゲート絶縁層の膜厚を大きくすることで、ドレイン電極周辺の電界が緩和されるため、トランジスタに高電圧を印加しても破壊の起きにくい構成となっていることが確認できた。

【実施例2】

【0379】

本実施例では、半導体内部の酸素欠陥が無い理想的な酸化物半導体をチャネル形成領域に用いたトランジスタの移動度を計算した結果を示す。

【0380】

In 、 Sn 、 Zn を含有する酸化物半導体を用いたトランジスタは、酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。

20

【0381】

なお、 In 、 Sn 、 Zn は組成比でそれぞれ $5\text{atomic}\%$ 以上含まれていると好ましい。

【0382】

In 、 Sn 、 Zn を含有する酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。

【0383】

また、 n チャネル型のトランジスタのしきい値電圧をプラスシフトさせることができる。

30

【0384】

n チャネル型のトランジスタのしきい値電圧をプラスシフトさせることにより、 n チャネル型のトランジスタのオフ状態を維持するための電圧の絶対値を低くすることができ、低消費電力化が可能となる。

【0385】

さらに、 n チャネル型のトランジスタのしきい値電圧をプラスシフトさせて、しきい値電圧を 0V 以上にすれば、ノーマリーオフ型のトランジスタを形成することが可能となる。

【0386】

以下、 In 、 Sn 、 Zn を含有する酸化物半導体を用いたトランジスタの特性を示す。

40

【0387】

(サンプルA～C共通条件)

組成比として $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ のターゲットを用いて、ガス流量比を $\text{Ar}/\text{O}_2=6/9\text{sccm}$ 、成膜圧力を 0.4Pa 、成膜電力 100W として、 15nm の厚さとなるように基板上に酸化物半導体層を成膜した。

【0388】

次に、酸化物半導体層を島状になるようにエッチングした。

【0389】

そして、酸化物半導体層上に 50nm の厚さとなるようにタンゲステン層を成膜し、こ

50

れをエッチングしてソース電極及びドレイン電極を形成した。

【0390】

次に、プラズマCVD法を用いて、シランガス(SiH_4)と一酸化二窒素(N_2O)を用いて100nmの厚さとなるように酸化窒化珪素膜(SiON)を形成してゲート絶縁層とした。

【0391】

次に、15nmの厚さとなるように窒化タンタルを形成し、135nmの厚さとなるようにタングステンを形成し、これらをエッチング加工してゲート電極を形成した。

【0392】

さらに、プラズマCVD法を用いて、300nmの厚さとなるように酸化窒化珪素膜(SiON)を形成し、1.5 μm の厚さとなるようにポリイミド膜を形成し層間絶縁膜とした。

10

【0393】

次に、層間絶縁膜にコンタクトホールを形成し、50nmの厚さとなるように第1のチタン膜を形成し、100nmの厚さとなるようにアルミニウム膜を形成し、50nmの厚さとなるように第2のチタン膜を形成し、これらをエッチングして測定用のパッドを形成した。

【0394】

以上のようにしてトランジスタを有する半導体装置を形成した。

【0395】

20

(サンプルA)

サンプルAは酸化物半導体層の成膜中に基板に意図的な加熱を施さなかった。

【0396】

また、サンプルAは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング前に加熱処理を施さなかった。

【0397】

(サンプルB)

サンプルBは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

【0398】

30

また、サンプルBは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング前に加熱処理を施さなかった。

【0399】

基板を加熱した状態で成膜を行った理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

【0400】

(サンプルC)

サンプルCは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

【0401】

40

さらに、サンプルCは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング前に窒素雰囲気中で650℃1時間の加熱処理を施した後、酸素雰囲気中で650℃1時間の加熱処理を施した。

【0402】

窒素雰囲気中で650℃1時間の加熱処理を施した理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

【0403】

ここで、酸化物半導体層中でドナーとなる水素を追い出すための加熱処理で酸素も離脱し、酸化物半導体層中でキャリアとなる酸素欠損も生じてしまう。

【0404】

50

そこで、酸素雰囲気中で650 1時間の加熱処理を施すことにより、酸素欠損を低減する効果を狙った。

【0405】

(サンプルA～Cのトランジスタの特性)

図19(A)にサンプルAのトランジスタの初期特性を示す。

【0406】

図19(B)にサンプルBのトランジスタの初期特性を示す。

【0407】

図19(C)にサンプルCのトランジスタの初期特性を示す。

【0408】

サンプルAのトランジスタの電界効果移動度は $18.8 \text{ cm}^2 / \text{V s e c}$ であった。

【0409】

サンプルBのトランジスタの電界効果移動度は $32.2 \text{ cm}^2 / \text{V s e c}$ であった。

【0410】

サンプルCのトランジスタの電界効果移動度は $34.5 \text{ cm}^2 / \text{V s e c}$ であった。

【0411】

ここで、サンプルA～Cと同様の成膜方法で形成した酸化物半導体層の断面を透過型顕微鏡(TEM)で観察したところ、成膜時に基板加熱を行ったサンプルB及びサンプルCと同様の成膜方法で形成したサンプルには結晶性が確認された。

【0412】

そして、成膜時に基板加熱を行ったサンプルは、結晶性部分と非結晶性部分とを有し、結晶性部分の配向がc軸配向に揃っている結晶性であった。

【0413】

通常が多結晶では結晶性部分の配向が揃っておらず、ばらばらの方向を向いているため、成膜時に基板加熱を行ったサンプルは新しい構造を有している。

【0414】

また、図19(A)～(C)を比較すると、成膜時に基板加熱を行うこと、又は、成膜後に加熱処理を行うことにより、ドナーとなる水素元素を追い出すことができるため、nチャネル型トランジスタのしきい値電圧をプラスシフトできることが理解できる。

【0415】

即ち、成膜時に基板加熱を行ったサンプルBのしきい値電圧は、成膜時に基板加熱を行っていないサンプルAのしきい値電圧よりもプラスシフトしている。

【0416】

また、成膜時に基板加熱を行ったサンプルB及びサンプルCを比較した場合、成膜後に加熱処理を行ったサンプルCの方が、成膜後に加熱処理を行っていないサンプルBよりもプラスシフトしていることがわかる。

【0417】

また、水素のような軽元素は加熱処理の温度が高いほど離脱しやすいため、加熱処理の温度が高いほど水素が離脱しやすい。

【0418】

よって、成膜時又は成膜後の加熱処理の温度を更に高めればよりプラスシフトが可能であると考察した。

【0419】

(サンプルBとサンプルCのゲートBTストレス試験結果)

サンプルB(成膜後加熱処理なし)及びサンプルC(成膜後加熱処理あり)とに対してゲートBTストレス試験を行った。

【0420】

まず、基板温度を25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行い、加熱及びプラスの高電圧印加を行う前のトランジスタの特性を測定した。

【0421】

10

20

30

40

50

次に、基板温度を 150 とし、 V_d を 0.1 V とした。

【0422】

次に、ゲート絶縁膜に印加される V_g に 20 V を印加し、そのまま 1 時間保持した。

【0423】

次に、 V_g を 0 V とした。

【0424】

次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行い、加熱及びプラスの高電圧印加を行った後のトランジスタの特性を測定した。

【0425】

以上のようにして、加熱及びプラスの高電圧印加を行う前後のトランジスタの特性を比較することをプラス BT 試験と呼ぶ。 10

【0426】

一方、まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行い、加熱及びマイナスの高電圧印加を行う前のトランジスタの特性を測定した。

【0427】

次に、基板温度を 150 とし、 V_d を 0.1 V とした。

【0428】

次に、ゲート絶縁膜に V_g に -20 V を印加し、そのまま 1 時間保持した。

【0429】

20

次に、 V_g を 0 V とした。

【0430】

次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行い、加熱及びマイナスの高電圧印加を行った後のトランジスタの特性を測定した。

【0431】

以上のようにして、加熱及びマイナスの高電圧印加を行う前後のトランジスタの特性を比較することをマイナス BT 試験と呼ぶ。

【0432】

図 20 (A) はサンプル B のプラス BT 試験結果であり、図 20 (B) はサンプル B のマイナス BT 試験結果である。 30

【0433】

図 21 (A) はサンプル C のプラス BT 試験結果であり、図 21 (B) はサンプル C のマイナス BT 試験結果である。

【0434】

プラス BT 試験及びマイナス BT 試験はトランジスタの劣化具合を判別する試験であるが、図 20 (A) 及び図 21 (A) を参照すると少なくともプラス BT 試験の処理を行うことにより、しきい値電圧をプラスシフトさせることができることがわかった。

【0435】

特に、図 20 (A) ではプラス BT 試験の処理を行うことにより、トランジスタがノーマリーオフ型になったことがわかる。 40

【0436】

よって、トランジスタの作製時の加熱処理に加えて、プラス BT 試験の処理を行うことにより、しきい値電圧のプラスシフト化を促進でき、ノーマリーオフ型のトランジスタを形成することができることがわかった。

【0437】

図 22 はサンプル A のトランジスタのオフ電流と測定時の基板温度 (絶対温度) の逆数との関係を示す。

【0438】

ここでは、測定時の基板温度の逆数に 1000 を掛けた数値 ($1000 / T$) を横軸としている。 50

【0439】

なお、図22ではチャネル幅1 μ mの場合における電流量を図示している。

【0440】

基板温度が125 (1000/Tが約2.51)のとき 1×10^{-19} A以下となっていた。

【0441】

基板温度が85 (1000/Tが約2.79)のとき 1×10^{-20} A以下となっていた。

【0442】

つまり、シリコン半導体を用いたトランジスタと比較して極めて低いオフ電流であることがわかった。

【0443】

なお、温度が低いほどオフ電流が低下するため、常温であればより低いオフ電流であることは明らかである。

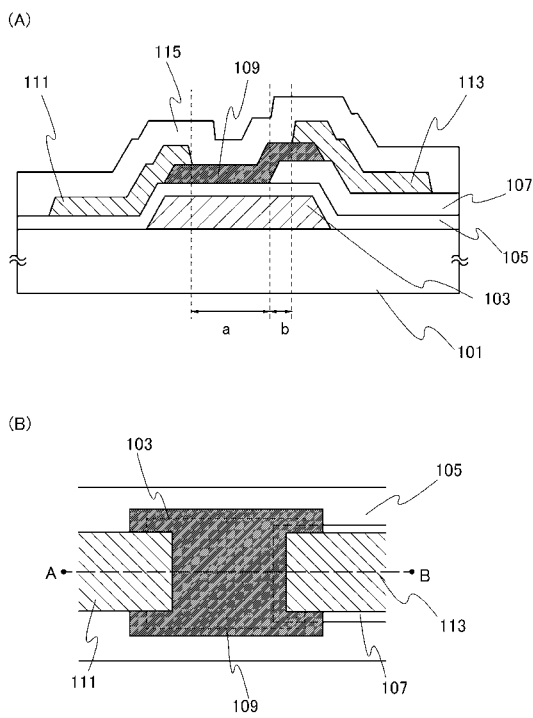
【符号の説明】

【0444】

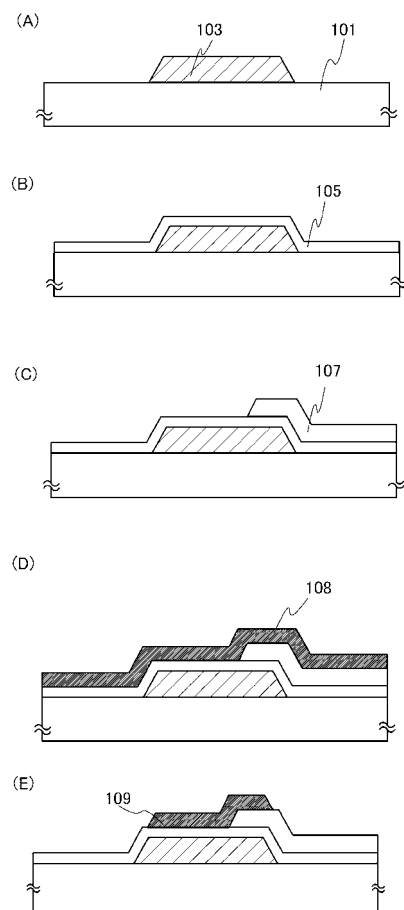
| | | |
|------|-----------|----|
| 101 | 基板 | |
| 103 | ゲート電極 | |
| 105 | 第1のゲート絶縁層 | |
| 107 | 第2のゲート絶縁層 | 20 |
| 107a | 第2のゲート絶縁層 | |
| 107b | 第2のゲート絶縁層 | |
| 108 | 酸化物半導体膜 | |
| 109 | 酸化物半導体層 | |
| 110 | 導電膜 | |
| 111 | ソース電極 | |
| 113 | ドレイン電極 | |
| 115 | 絶縁層 | |
| 117 | 保護絶縁層 | |
| 301 | 直流変換回路 | 30 |
| 302 | トランジスタ | |
| 303 | コイル | |
| 304 | ダイオード | |
| 305 | コンデンサ | |
| 306 | 直流電源 | |
| 311 | 直流変換回路 | |
| 312 | トランジスタ | |
| 313 | コイル | |
| 314 | ダイオード | |
| 315 | コンデンサ | 40 |
| 316 | 直流電源 | |
| 401 | 基板 | |
| 403 | 第1のゲート電極 | |
| 405 | 第1のゲート絶縁層 | |
| 407 | 酸化物半導体層 | |
| 409 | ソース電極 | |
| 411 | ドレイン電極 | |
| 413 | 第2のゲート絶縁層 | |
| 415 | 第2のゲート電極 | |
| 601 | 蓄電装置 | 50 |

- 602 直流変換回路
- 2800 筐体
- 2801 筐体
- 2802 表示パネル
- 2803 スピーカー
- 2804 マイクロフォン
- 2805 操作キー
- 2806 ポインティングデバイス
- 2807 カメラ用レンズ
- 2808 外部接続端子
- 2810 太陽電池セル
- 2811 外部メモリスロット
- 3001 本体
- 3002 筐体
- 3003 表示部
- 3004 キーボード

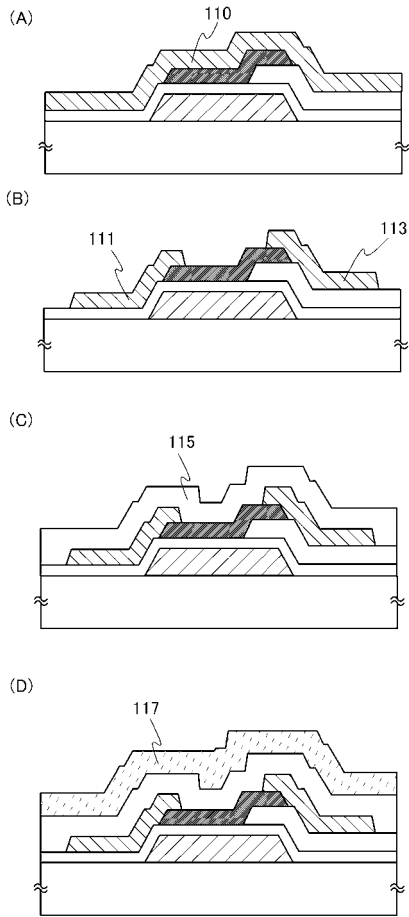
【図1】



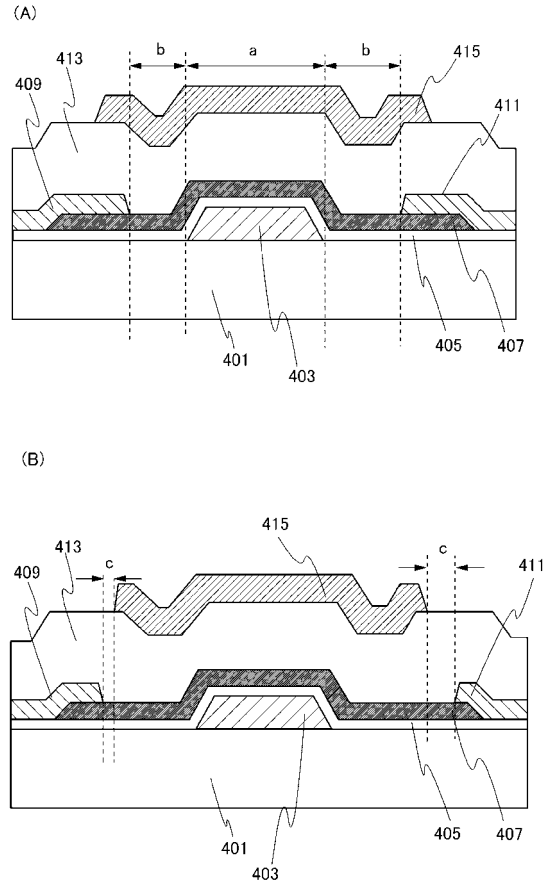
【図2】



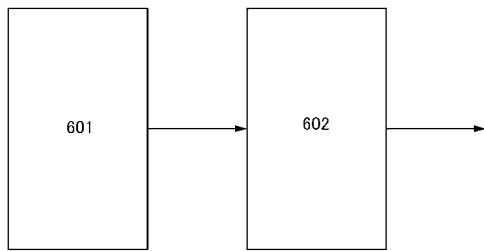
【 図 3 】



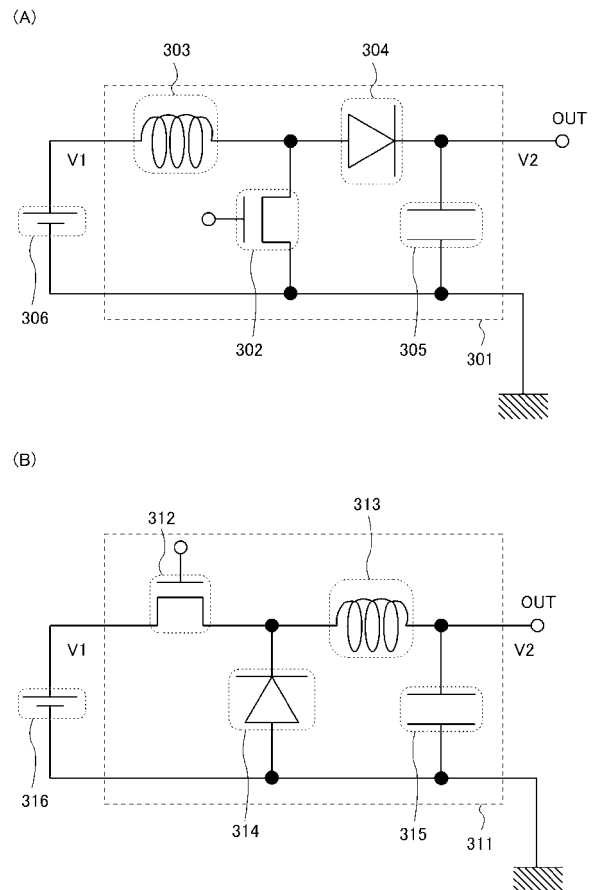
【 図 4 】



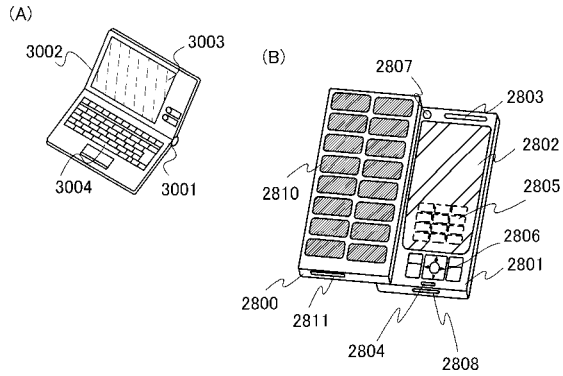
【 図 5 】



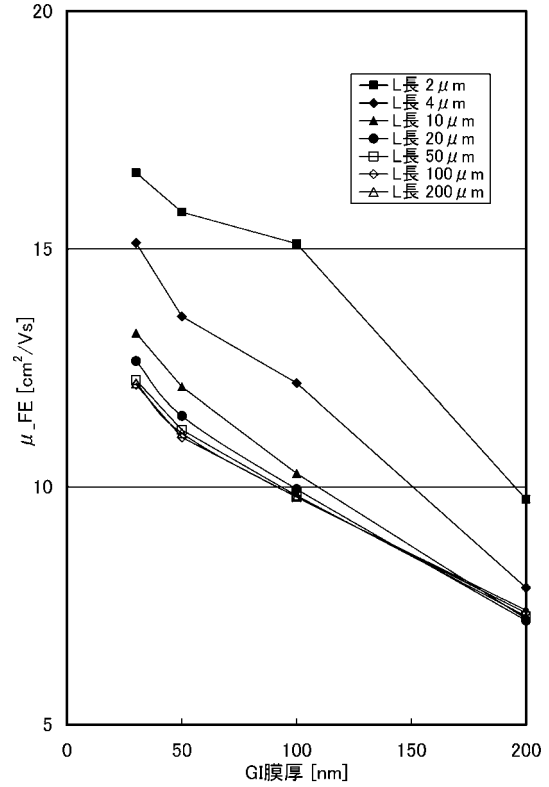
【 図 6 】



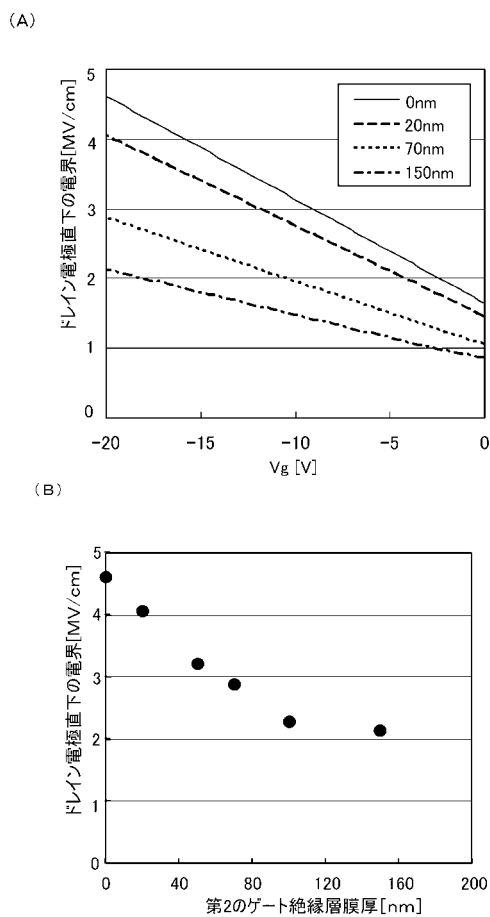
【 図 7 】



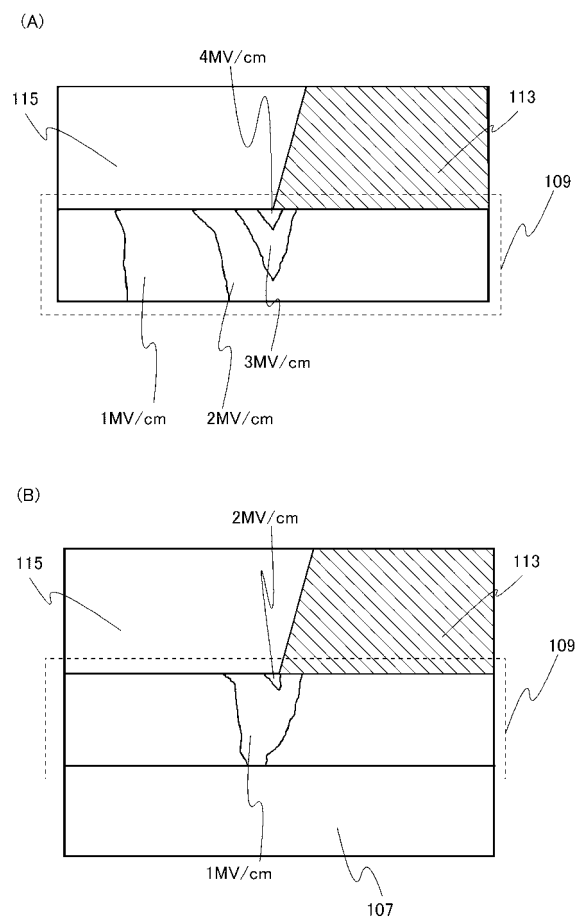
【 図 8 】



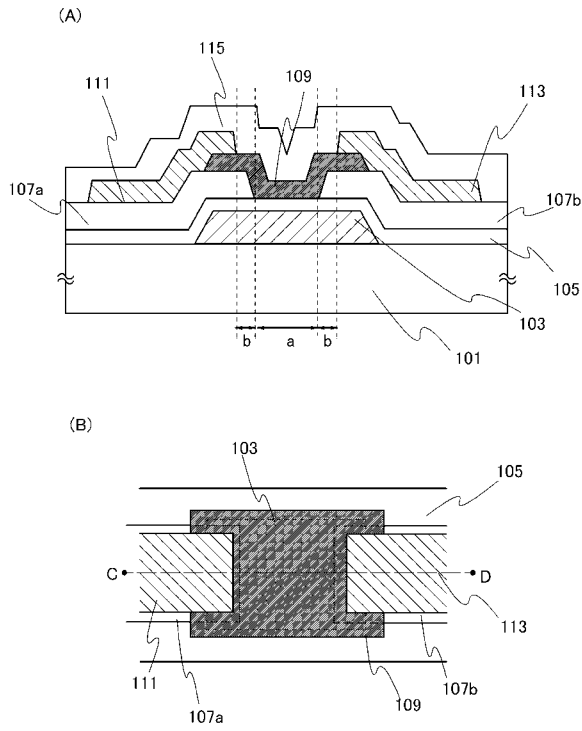
【 図 9 】



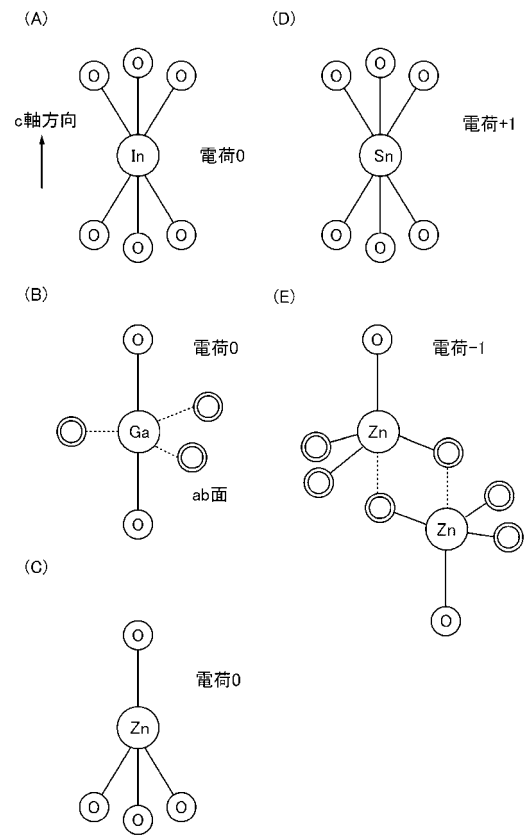
【 図 10 】



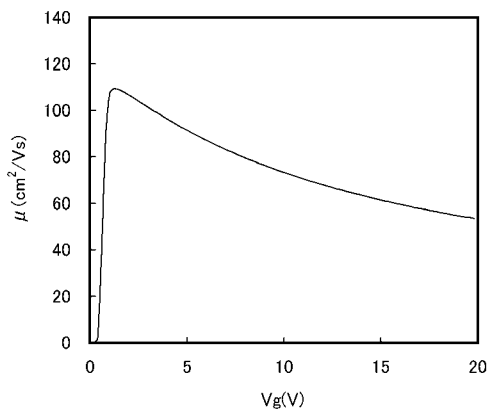
【図 1 1】



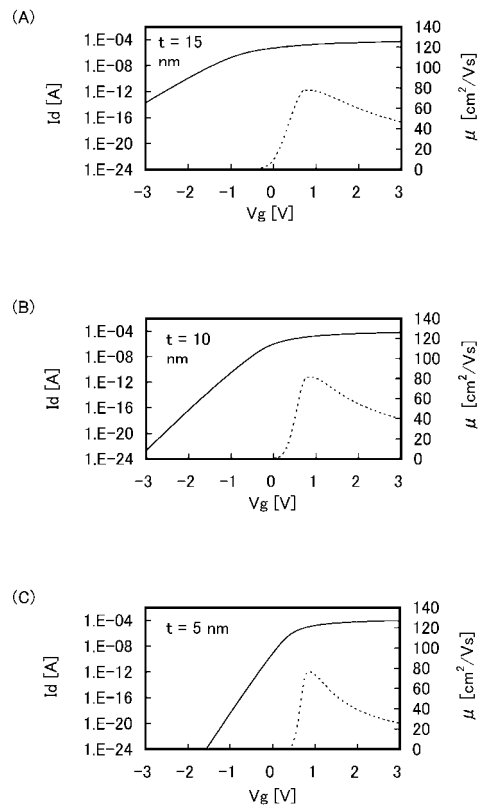
【図 1 2】



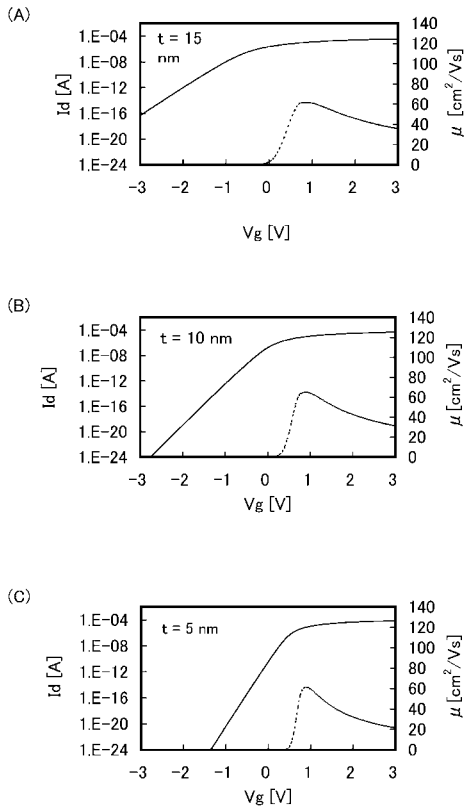
【図 1 5】



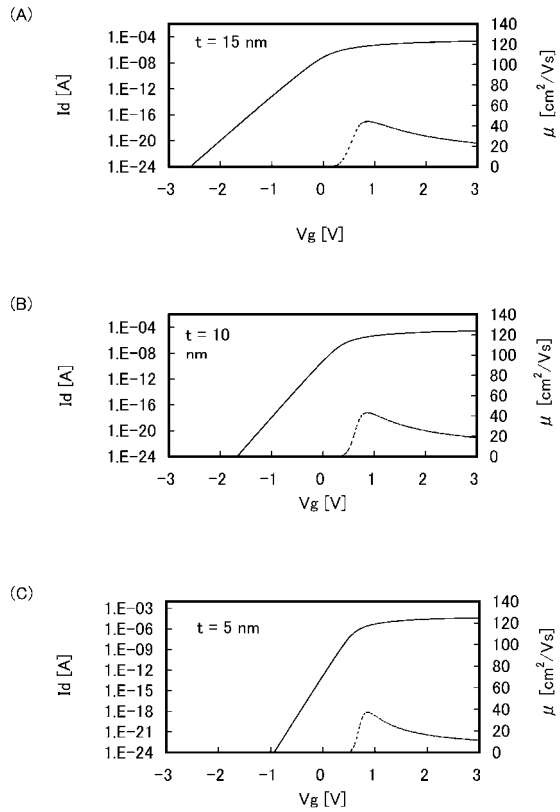
【図 1 6】



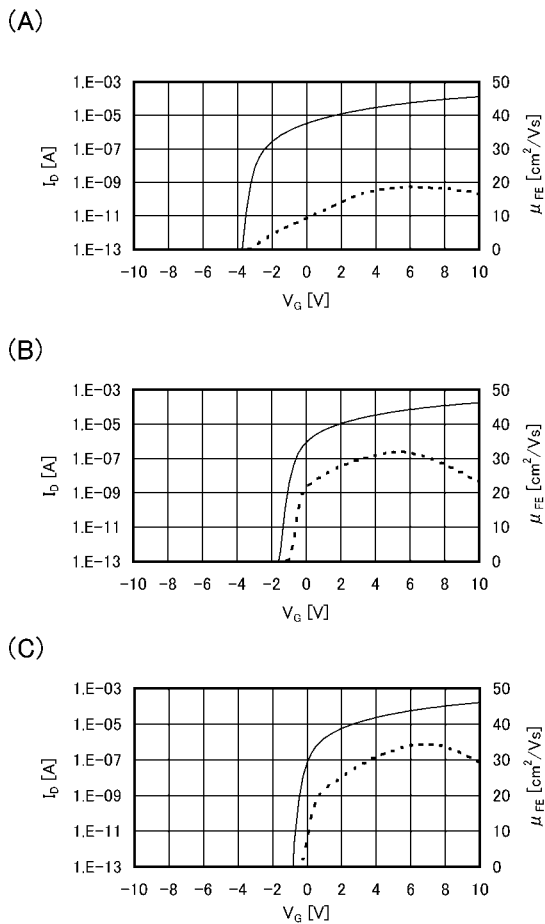
【 図 1 7 】



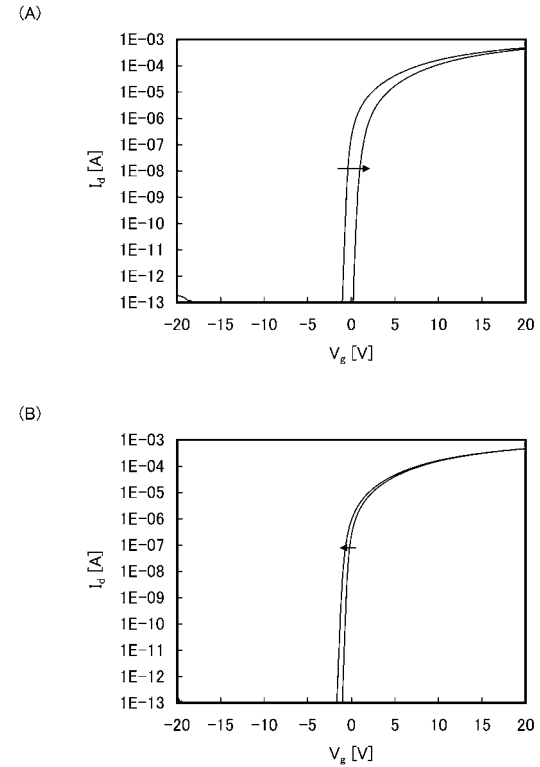
【 図 1 8 】



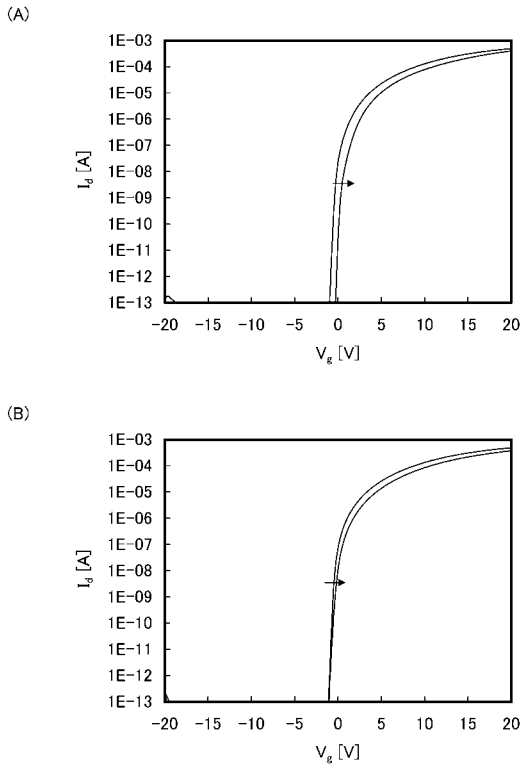
【 図 1 9 】



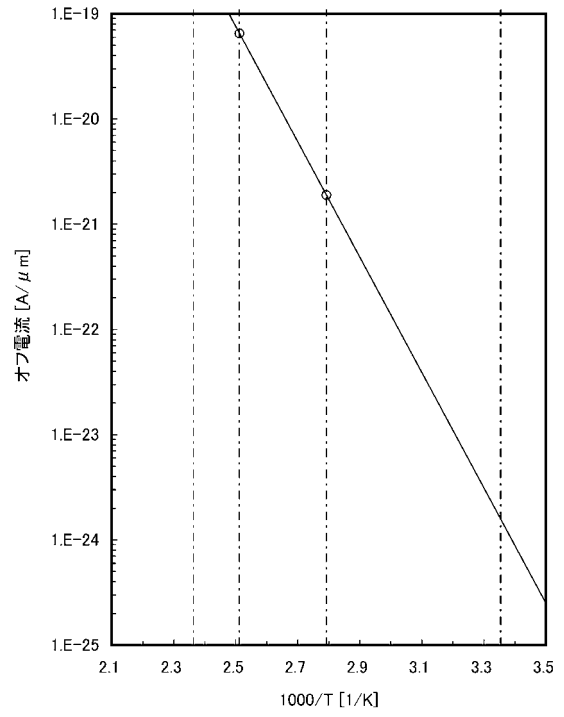
【 図 2 0 】



【 図 2 1 】

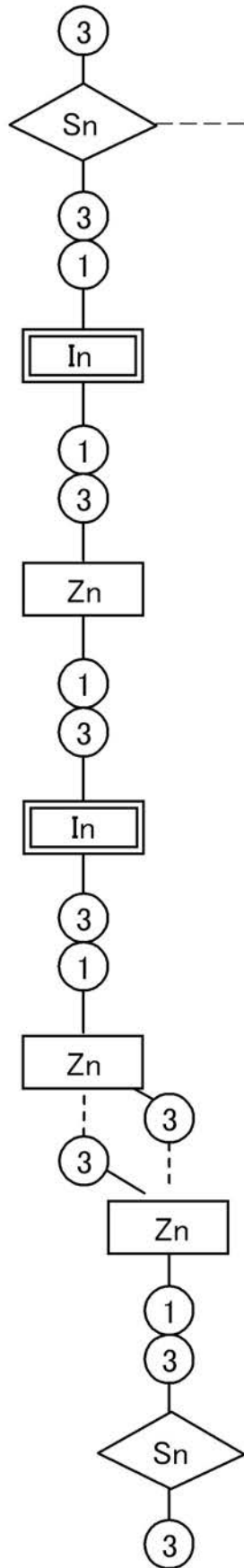


【 図 2 2 】



【 図 1 3 】

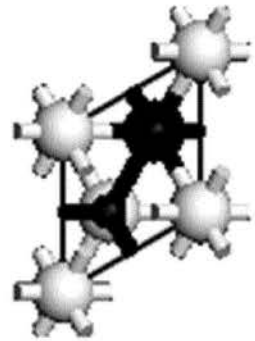
(A)



(B)

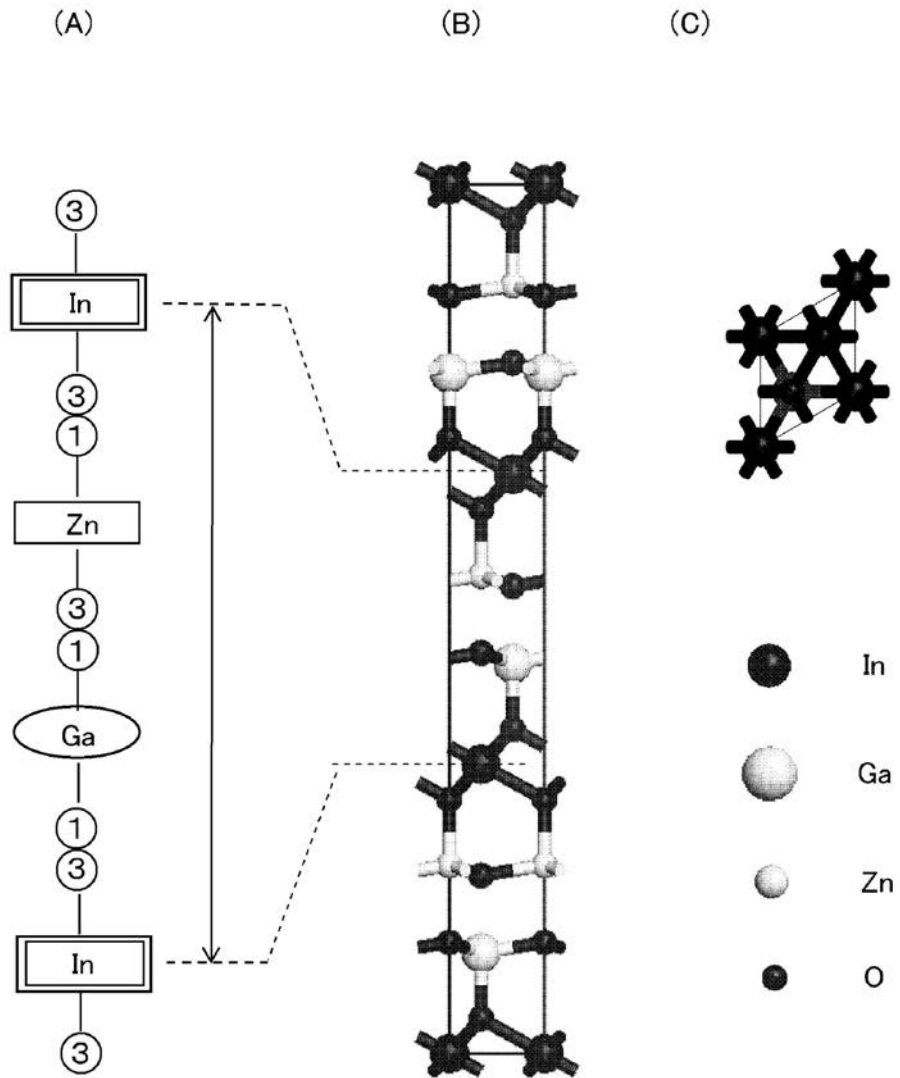


(C)



- In
- Sn
- Zn
- 0

【 図 1 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/283

B

Fターム(参考) 4M104 AA03 AA08 AA09 BB02 BB04 BB13 BB14 BB16 BB17 BB18
 BB30 BB31 BB33 BB36 BB39 CC05 DD64 EE03 EE12 FF01
 FF13 FF26 GG08 GG14 GG18 HH20
 5F110 AA02 AA06 AA07 AA11 AA25 BB01 CC07 DD01 DD02 DD03
 DD04 DD12 DD13 DD14 DD15 DD17 DD24 DD25 EE02 EE03
 EE04 EE06 EE07 EE14 EE30 EE44 FF01 FF02 FF03 FF04
 FF05 FF09 FF12 FF28 FF30 GG01 GG19 GG22 GG25 GG26
 GG28 GG29 GG32 GG33 GG34 GG35 GG43 GG52 GG57 GG58
 HK01 HK02 HK03 HK04 HK06 HK07 HK21 HK22 HK33 HM12
 HM13 HM14 NN02 NN03 NN04 NN05 NN22 NN23 NN24 NN27
 NN28 NN33 NN34 NN36 NN40 PP01 PP02 PP10 PP13 PP29
 PP35 QQ01 QQ06 QQ08