

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月21日(21.12.2023)



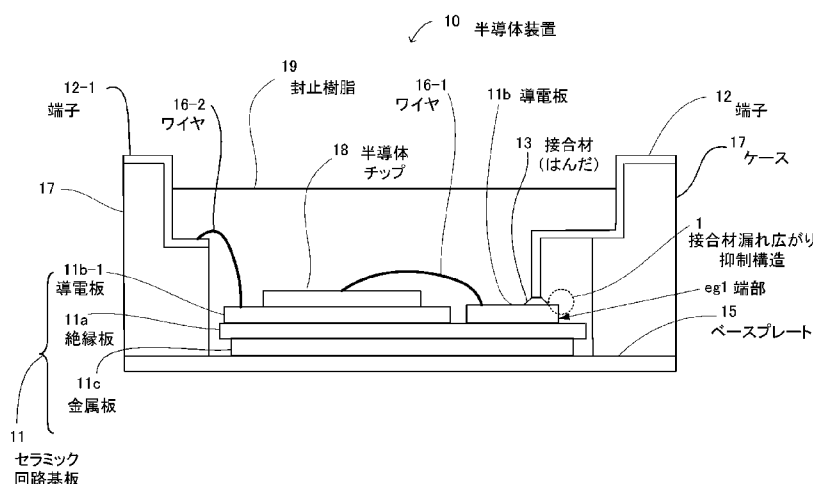
(10) 国際公開番号

WO 2023/243256 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) *H01L 25/18* (2023.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2023/017306
- (22) 国際出願日: 2023年5月8日(08.05.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-095159 2022年6月13日(13.06.2022) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 金子 悟 史 (KANEKO, Satoshi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人扶桑国際特許事務所 (FUSO INTERNATIONAL PATENT FIRM); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 5 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



- 1...Bonding material leaking/spreading inhibition structure
10...Semiconductor device
11...Ceramic circuit board
11a...Insulating plate
11b, 11b-1...Conductive plate
11c...Metal plate
12, 12-1...Terminal
13...Bonding material (solder)
15...Base plate
16-1, 16-2...Wire
17...Case
18...Semiconductor chip
19...Sealing resin
eg1...Edge

(57) Abstract: The present invention relax stress concentration in a ceramic circuit board, thereby preventing the ceramic circuit board from the occurrence of a crack. A semiconductor device (10) according to the present invention comprises: a ceramic circuit board (11); and terminals (12, 12-1) and a semiconductor chip (18), which are bonded to the front surface of the ceramic circuit board (11). The ceramic circuit board (11) comprises an insulating plate (11a), conductive plates (11b, 11b-1) and a metal plate (11c). The insulating plate (11a) is mounted on a surface of a base plate (15). The conductive plates (11b, 11b-1) are mounted on the insulating plate (11a); and the terminal (12), which is provided on a case (17), is bonded onto the conductive plate (11b) by the intermediary of a bonding material (13). A bonding material leaking/spreading inhibition structure (1) for inhibiting leaking and spreading of a melted bonding material (13) is provided in the vicinity of an edge (eg1) of the conductive plate (11b).



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: セラミック回路基板の応力集中を緩和してセラミック回路基板のクラックの発生を防止する。半導体装置 (10) は、セラミック回路基板 (11)、セラミック回路基板 (11) のおもて面に接合された端子 (12、12-1) および半導体チップ (18) を有する。セラミック回路基板 (11) は、絶縁板 (11a)、導電板 (11b、11b-1) および金属板 (11c) を有する。ベースプレート (15) の面には、絶縁板 (11a) が搭載される。絶縁板 (11a) 上には導電板 (11b、11b-1) が搭載され、導電板 (11b) 上にはケース (17) に設けられている端子 (12) が接合材 (13) を介して接合される。導電板 (11b) の端部 (eg 1) の近傍には、熔融した接合材 (13) の漏れ広がりを抑制するための接合材漏れ広がり抑制構造 (1) が設けられる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、端子が基板に接合材で接合される半導体装置に関する。

背景技術

[0002] 半導体装置は、パワーデバイスを含み、例えば、電力変換装置として利用されている。パワーデバイスは、ＩＧＢＴ（Insulated Gate Bipolar Transistor）やパワーＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）などを含む半導体チップである。

[0003] 半導体チップ等を含む電子部品は、はんだを介してセラミック回路基板に配置される。また、セラミック回路基板は、絶縁板と、絶縁板上に形成される複数の導電板とを備えている。このような半導体装置では、はんだを溶融して固化させることで、電子部品またはリードフレーム等の端子を導電板に固着させる。しかし、溶融したはんだは、端子の接合領域外に流出してしまう場合があるため、はんだの流出を防止するための対策を行うことが重要になる。

[0004] 関連技術としては、例えば、回路板上のめっき膜に対してレーザ照射を行って酸化膜であるレジスト部を生成してはんだを弾く技術が提案されている（特許文献１）。また、銅回路パターンの表面に溶融はんだの流れ出しを阻止するはんだダムを形成する技術が提案されている（特許文献２）。さらに、銅板表面のはんだ付用領域とワイヤボンド用領域との間にはんだ流出を阻止する突条部を形成する技術が提案されている（特許文献３）。

[0005] また、熱拡散板の周辺の成形加工により薄肉部を形成してはんだ層にかかる応力のバランスを図る技術が提案されている（特許文献４）。さらに、接合層が金属部材の端部から金属部材の厚みの０．１～１．０倍はみ出すようにして耐ヒートサイクル性を向上させる技術が提案されている（特許文献５）。さらにまた、セラミックス基板の主面にろう材層を介して金属板を接合

し、ろう材層が、金属板に形成した金属回路パターンの側面よりも外方に張り出すように形成した技術が提案されている（特許文献6）。

先行技術文献

特許文献

[0006] 特許文献1：特開2021-118350号公報

特許文献2：特開2004-363216号公報

特許文献3：特開2000-286289号公報

特許文献4：特開平7-221265号公報

特許文献5：特開平10-190176号公報

特許文献6：特開平11-340598号公報

発明の概要

発明が解決しようとする課題

[0007] 溶融したはんだが端子の接合領域外に流出して導電板の端部まではんだが濡れ広がると、例えば、ヒートサイクル試験を行った場合などにセラミック回路基板にクラック（割れ）が生じるおそれがある。これは、端子下のはんだの膨張収縮の影響をセラミック回路基板が受けて、はんだ周辺のセラミック回路基板に応力が集中してクラックが発生するものである。

[0008] 従来は、セラミック回路基板のクラックが発生しうるはんだ周辺の導電板の端部にR形状を設けて、はんだの膨張収縮による応力を緩和させることで、セラミック回路基板のクラックの発生を防止している。

しかし、セラミック回路基板のクラックが発生しうる周辺部における半導体チップ搭載レイアウトに余裕がないと、導電板の端部にR形状を設けるといった対策を施すことが難しいという問題がある。

[0009] 図15、図16は導電板の端部にR形状を設けた構成の一例を示す図である。セラミック回路基板100は、金属板（図示せず）上に絶縁板110が形成され、絶縁板110上に導電板120が形成されている。端子（図示せず）は、はんだ130a～130dにより導電板120に接合される。また

、はんだ130b、130dは、分離溝m0に囲まれている。導電板120上の部品領域121～124は、半導体チップが搭載される領域である。

[0010] ここで、端子下のはんだ130aが溶融状態のときに、導電板120の端部eg0まではんだ130aが濡れ広がる可能性がある。このため、セラミック回路基板100のクラックが発生しうる可能性が高い導電板120の端部eg0に対して、R形状を設ける対策を行うことが考えられる。

[0011] しかし、絶縁板端部から導電板端部の距離（額縁寸法）を保ち絶縁基準を満たすようにして図15に示すように、端部eg0を含む導電板120の辺全体にR形状sp1を設けると、端部eg0の領域が削れてしまう。そして更に導電板120上の部品領域121、122の部分も削れてしまい、部品領域121、122に対して半導体チップを搭載することが困難になる。

[0012] また、図16に示すように、導電板120の端部eg0に局所的にR形状sp2を設ける対策が考えられる。図17（a）に導電板の端部にR形状を設けた構成の対策前、図17（b）に対策後の一例を示す。図17（a）の対策前の構造では、はんだ130aが導電板120の端部eg0に達している。このような構造に対して導電板120の端部eg0に局所的なR形状sp2を設けるとなると、図17（b）の対策後の構造に示されるように、導電板120に設けられたR形状sp2が外側へ張り出してしまう。この場合、導電板120のR形状sp2の端部と絶縁基板110の端部との距離である額縁寸法szの確保が不可となり、絶縁基準を満たすことが困難になる。

[0013] 上述のように、導電板の辺にR形状に加工してセラミック回路基板の応力集中を緩和する従来の対策では、半導体チップ搭載レイアウトによって実施することが困難な場合がある。このため、半導体チップ搭載レイアウトに依拠することなく、はんだの濡れ広がりによるセラミック回路基板の応力集中を効果的に緩和して、セラミック回路基板のクラックの発生を防止する技術が要望されている。

[0014] 1つの側面では、本発明は、はんだの濡れ広がり範囲を抑制してセラミック回路基板の応力集中を緩和することで、セラミック回路基板のクラックの

発生を防止した半導体装置を提供することを目的とする。

課題を解決するための手段

[0015] 上記課題を解決するために、半導体装置が提供される。半導体装置は、絶縁板と、絶縁板上に設けられた導電板と、導電板に接合材によって接合された端子とを備え、導電板の端部に、接合材が端部まで広がることを抑制する構造を備える。また、この構造は、接合材を非付着とすべき該端部の近傍の所定領域に設けられる。

また、上記課題を解決するために、他の半導体装置が提供される。半導体装置は、絶縁板と、絶縁板上に設けられた導電板と、導電板に接合材によって接合された端子とを備え、導電板の端部に、接合材が端部まで広がることを抑制する構造を備える。また、この構造として導電板の端部に導電板の厚さが薄い部分が設けられ、導電板の厚さが薄い部分の境界まで接合材は付着し、導電板の厚さが薄い部分は接合材が非付着となっている。

発明の効果

[0016] 1 側面によれば、セラミック回路基板の応力集中を緩和してセラミック回路基板のクラックの発生を防止することが可能になる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0017] [図1]本発明の半導体装置の構成の一例を示す図である。

[図2]導電板の端部からはんだの付着領域までの距離を示す図である。

[図3]導電板の端部からはんだの付着領域までの距離を示す図である。

[図4]導電板の端部からはんだの付着領域までの距離と応力との関係を示す図である。

[図5]解析結果の一例を示す図である。

[図6]はんだ漏れ広がり抑制構造の一例を示す図である。図6（a）は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平

面図を示し、図 6 (b) はセラミック回路基板を A 方向から見た側面図を示す。

[図7]はんだ漏れ広がり抑制構造の一例を示す図である。図 7 (a) は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図 7 (b) はセラミック回路基板を A 方向から見た側面図を示す。

[図8]はんだ漏れ広がり抑制構造の一例を示す図である。図 8 (a) は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図 8 (b) はセラミック回路基板を A 方向から見た側面図を示す。

[図9]はんだ漏れ広がり抑制構造の一例を示す図である。図 9 (a) は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図 9 (b) はセラミック回路基板を B 方向から見た横断面図を示す。

[図10]解析結果の一例を示す図である。

[図11]はんだ漏れ広がり抑制構造の一例を示す図である。図 11 (a) は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図 11 (b) はセラミック回路基板を B 方向から見た横断面図を示す。

[図12]解析結果の一例を示す図である。

[図13]はんだ漏れ広がり抑制構造の一例を示す図である。図 13 (a) は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図 13 (b) はセラミック回路基板を B 方向から見た横断面図を示す。

[図14]解析結果の一例を示す図である。

[図15]導電板の端部に R 形状を設けた構成の一例を示す図である。

[図16]導電板の端部に R 形状を設けた構成の一例を示す図である。

[図17]導電板の端部に R 形状を設けた構成の対策前および対策後の一例を示す。

す図である。図 17 (a) は対策前の構造を示し、図 17 (b) は対策後の構造の一例を示す。

発明を実施するための形態

[0018] 以下、本実施の形態について図面を参照して説明する。なお、本明細書および図面において実質的に同一の構成を有する要素については、同一の符号を付することにより重複説明を省略する場合がある。また、以下の説明において、「上面」とは、紙面から見て上を向いた面を表す。同様に、「上」及び「上部」とは、紙面から見て上を向いた方向を指す。「下方」とは、紙面から見て下を向いた方向を指す。全ての図面でこのような方向性を意味する。「上面」、「上」、「上部」、「下方」は、相対的な位置関係を特定する便宜的な表現に過ぎず、本発明の技術的思想を限定するものではない。

[0019] <半導体装置の構成>

図 1 は本発明の半導体装置の構成の一例を示す図である。半導体装置 10 の横断面図を示している。半導体装置 10 は、セラミック回路基板 11、セラミック回路基板 11 のおもて面に接続された端子 12、12-1 および半導体チップ 18 を有している。

[0020] セラミック回路基板 11 は、絶縁板 11a、導電板 11b、11b-1 および金属板 11c を有する。導電板 11b、11b-1 および金属板 11c が例えば、銅箔パターンの場合には、絶縁板 11a の両側それぞれに対して、導電板 11b、11b-1 および金属板 11c を直接接合した DCB (Direct Copper Bonding) 基板を使用できる。

[0021] ベースプレート 15 の面に、セラミック回路基板 11 が搭載され、セラミック回路基板 11 の導電板 11b 上には、ケース 17 に設けられている端子 12 が接合材 13 を介して接合される。

[0022] 導電板 11b の端部 eg1 の近傍には、溶融したはんだ 13 の漏れ広がり抑制するための接合材漏れ広がり抑制構造 1 が設けられている（詳細は後述する）。なお、接合材 13 としては、はんだまたはろう材などが用いられるが、以降の説明では接合材をはんだとして説明する。

- [0023] 一方、導電板 11b-1 上には、半導体チップ 18 がはんだを介して接合される。ワイヤ 16-1 は、半導体チップ 18 の電極と、セラミック回路基板 11 のリード電極となる導電板 11b とを接合する。ワイヤ 16-2 は、導電板 11b-1 と、ケース 17 に設けられている端子 12-1 とを接合する。ワイヤ 16-1、16-2 による接合としては、超音波および荷重によるワイヤボンディングが行われる。
- [0024] また、ワイヤ 16-1、16-2 は、例えば、銅、アルミニウム等の導電性金属または鉄アルミ合金等の導電性合金を用いて、例えば、高耐圧装置に対して直径 300~500 μm に形成される。
- [0025] 半導体チップ 18 が接合されたセラミック回路基板 11 は、ケース 17 に收容され、ケース 17 とベースプレート 15 とで囲まれた領域には、封止樹脂 19 が充填されて封止される。なお、ケース 17 とベースプレート 15 とは接着剤等で固着される。
- [0026] ここで、セラミック回路基板 11 の絶縁板 11a は、例えば、窒化アルミニウム、窒化珪素、酸化アルミニウム等の絶縁性セラミックスであり、例えば、0.2~1 mm 厚の板状部材である。
- [0027] 一方、セラミック回路基板 11 の導電板 11b、11b-1 は、絶縁板 11a の上面に設けられ、導電性に優れた材質により構成されている。このような材質は、例えば、銅、アルミニウム、または、少なくともこれらの 1 種を含む合金等により構成されている。導電板 11b、11b-1 の厚さは、例えば、0.2 mm である。
- [0028] また、導電板 11b、11b-1 には、半導体チップ 18 の他に、必要に応じて、ボンディングワイヤ、リードフレームおよび接続端子等の配線部材並びに電子部品を適宜配置することができる。
- [0029] なお、導電板 11b、11b-1 の個数、配置位置並びに形状は、適宜設計により選択することができる。また、セラミック回路基板 11 の金属板 11c は、銅、アルミニウム等の導電性金属を用いて、例えば 0.1~1 mm の厚さで、絶縁板 11a の下面に設けられる。

[0030] ベースプレート15は、例えば、放熱性の高い銅基板、アルミ炭化ケイ素複合材（A l - S i C）基板等を採用することができる。半導体チップ18は、シリコン、炭化シリコンまたは窒化ガリウムから構成されるパワーデバイスである。半導体チップ18は、スイッチング素子を含む。スイッチング素子は、パワーMOSFET、IGBT等である。

[0031] このような半導体チップ18は、例えば、主電極としてドレイン電極（正極電極、IGBTではコレクタ電極）とソース電極（負極電極、IGBTではエミッタ電極）、制御電極としてゲート電極をそれぞれ備えている。

[0032] また、半導体チップ18は、ダイオード素子を含む。ダイオード素子は、例えば、SBD（Schottky Barrier Diode）、PIN（P-intrinsic-N）ダイオード等をスイッチング素子と逆並列に設けたFWD（Free Wheeling Diode）である。

[0033] なお、導電板11b、11b-1には、必要に応じて、その他の電子部品を配置することもできる。電子部品は、例えば、コンデンサ、抵抗、サーミスタ、電流センサ、制御IC（Integrated Circuit）である。また、はんだ13は、ボイドが発生しにくく、高温耐性を有する。例えば、このようなはんだ13は、錫およびアンチモンを主成分とする合金である。なお、封止樹脂19は、ゲル充填剤を用いることができる。

[0034] ＜導電板の端部からはんだの付着領域までの距離と応力との関係＞

次に図2から図5を用いて、導電板の端部からはんだの付着領域までの距離と応力との関係について説明する。図2、図3は導電板の端部からはんだの付着領域までの距離を示す図である。図2、図3それぞれの状態st1、st2では、はんだ13を介して端子12が導電板11bに接合されている状態が示されている。

[0035] 〔状態st1〕導電板11bの端部eg1からはんだ13の付着領域12aまでの距離が0mmの状態である。すなわち、はんだ13が漏れ広がって導電板11bの端部eg1まで到達しており、導電板11bの端部eg1まではんだ13が付着している状態である。

[0036] 〔状態 s t 2〕導電板 1 1 b の端部 e g 1 からはんだ 1 3 の付着領域 1 2 a までの距離が 0.3 mm の状態である。すなわち、はんだ 1 3 が導電板 1 1 b の端部 e g 1 まで漏れ広がらず、端部 e g 1 からはんだ 1 3 の付着領域 1 2 a までの 0.3 mm の区間において、はんだ 1 3 が付着していない非付着領域 1 2 b が存在する状態である。

[0037] 図 4 は導電板の端部からのはんだの付着領域までの距離と応力との関係を示す図である。縦軸はセラミック回路基板 1 1 にかかる応力であり、横軸は導電板 1 1 b の端部 e g 1 からはんだ 1 3 の付着領域 1 2 a までの距離 (mm) である。

[0038] 線 g 1 は、解析結果を示している。導電板 1 1 b の端部 e g 1 からのはんだ 1 3 の付着領域 1 2 a までの距離を大きくしていくと、応力が小さくなっていき、セラミック回路基板 1 1 のクラックが発生する可能性が低下していく。

[0039] 図 5 は解析結果の一例を示す図である。図 5 は、解析結果を表にしたものであり、項目として、導電板 1 1 b の端部 e g 1 からのはんだ 1 3 の付着領域 1 2 a までの距離 (mm)、およびセラミック回路基板 1 1 に発生する応力の、距離ゼロを基準とした相対値 (%) を示す。

[0040] 図 5 において [距離 (mm)、応力 (%)] = [0、100]、[0.1、88]、[0.3、74] となっている。導電板 1 1 b の端部 e g 1 からのはんだ 1 3 の付着領域 1 2 a までの距離に対して、距離を大きくするほどセラミック回路基板 1 1 にかかる応力は減少する傾向を有する。したがって、例えば、図 3 に示すように距離を 0.3 mm 程度確保することで、導電板 1 1 b の端部 e g 1 からのはんだ 1 3 の付着領域までの距離が 0 mm の場合に比べて、およそ 26% 応力が低下し、セラミック回路基板 1 1 のクラック耐量が増加する。

[0041] <はんだ漏れ広がり抑制構造 # 1>

次にはんだ 1 3 が導電板 1 1 b の端部 e g 1 まで広がることを抑制する構造について、図 6 から図 8 を用いて説明する。図 6 ははんだ漏れ広がり抑制

構造の一例を示す図である。図6（a）は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図6（b）はセラミック回路基板をA方向から見た側面図を示す。

[0042] 導電板11bに対してはんだ13を非付着とすべき端部eg1の近傍の所定領域r0には、凸部1aが設けられて凸状の構造になっている。凸部1aは例えば、はんだ接合の加熱温度で剥離や劣化が起こらない耐熱性の高い樹脂であり、熱硬化性樹脂を用いることができる。熱硬化性樹脂は例えば、エポキシ樹脂、フェノール樹脂、マレイミド樹脂、ポリエステル樹脂、ポリイミド樹脂、シリコン系樹脂、ポリアミド樹脂などである。

[0043] または、凸部1aは、金属ワイヤである。金属ワイヤを導電板11bの端部eg1の近傍の所定領域r0に接合してダムワイヤを形成することもできる。金属ワイヤの材質は、例えば、金、銀、銅、アルミニウム、または、少なくともこれらの一種を含む合金である。導電板11bへの接合は例えば超音波接合によって行うことができる。

[0044] このように、導電板11bに対してはんだ13を非付着とすべき端部eg1の近傍の所定領域r0に凸部1aを設けることで、はんだ13の導電板11bの端部eg1への漏れ広がりを抑制してセラミック回路基板のクラックの発生を防止することができる。

[0045] 図7ははんだ漏れ広がり抑制構造の一例を示す図である。図7（a）は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図7（b）はセラミック回路基板をA方向から見た側面図を示す。

[0046] 導電板11bに対してはんだ13を非付着とすべき端部eg1の近傍の所定領域r0には、撥液部（レジスト）1bが設けられている。撥液部1bは、導電板11bを酸化させて形成した酸化膜である。

[0047] 酸化膜は、例えば、ニッケル酸化膜である。このような酸化膜は、導電板11b上のめっき膜に対してレーザ照射を行うことにより、めっき膜が酸化されることで形成される。なお、レーザ照射は、連続的にレーザ光を発射す

るCWレーザ、断続的にレーザ光を照射するパルスレーザのいずれでもよい。

[0048] このように、導電板11bに対してはんだ13を非付着とすべき端部eg1の近傍の所定領域r0に撥液部1bを設けることで、はんだ13の導電板11bの端部eg1への漏れ広がりを抑制してセラミック回路基板のクラックの発生を防止することができる。

[0049] 図8ははんだ漏れ広がり抑制構造の一例を示す図である。図8(a)は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図8(b)はセラミック回路基板をA方向から見た側面図を示す。

[0050] 導電板11bに対してはんだ13を非付着とすべき端部eg1の近傍の所定領域r0には、凹部1cが設けられて凹状の構造になっている。凹部1cは、導電板11bの端部eg1から所定距離da離れた位置に設けられている。また、凹部1cは、例えば、導電板11bの端部eg1の辺L1に沿って設けられた長孔になっている。

[0051] このように、導電板11bに対してはんだ13を非付着とすべき端部eg1の近傍の所定領域r0に凹部1cを設けることで、はんだ13の導電板11bの端部eg1への漏れ広がりを抑制してセラミック回路基板のクラックの発生を防止することができる。

[0052] <はんだ漏れ広がり抑制構造#2>

次にはんだ13が導電板11bの端部eg1まで広がることを抑制する構造について、図9から図14を用いて説明する。なお、図9、図11、図13に示すはんだ漏れ広がり抑制構造は、導電板11bの端部eg1に、導電板11bの厚さが薄い部分を設けている構造を有するものである。

[0053] 図9ははんだ漏れ広がり抑制構造の一例を示す図である。図9(a)は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図9(b)はセラミック回路基板をB方向から見た横断面図を示す。

- [0054] 導電板 11b に対してはんだ 13 を非付着とすべき端部 e g 1 の近傍の所定領域 r 1 には、段差部 1 d が設けられて導電板 11b の厚さが薄い部分が形成されている。図 9 の例では、導電板 11b における 5 mm 幅の端部 e g 1 に対して段差幅が 0.15 mm の段差部 1 d が形成されている。
- [0055] 図 10 は解析結果の一例を示す図である。図 10 は、図 9 のはんだ漏れ広がり抑制構造の解析結果を表にしたものであり、項目として、導電板 11b の端部 e g 1 からはんだ 13 の付着領域までの距離 (mm)、セラミック回路基板 11 に発生する応力の、距離ゼロを基準とした相対値 (%) を示す。
- [0056] 図 10 において [距離 (mm)、応力 (%)] = [0、100]、[0.15、74] となっている。このように、導電板 11b に対してはんだ 13 を非付着とすべき端部 e g 1 の近傍の所定領域 r 1 に段差部 1 d を設けて、はんだ 13 の付着領域までの距離を 0.15 mm 程度確保する。
- [0057] これにより、導電板 11b の端部 e g 1 からはんだ 13 の付着領域までの距離が 0 mm の場合に比べて、およそ 26 % 応力が低下し、セラミック回路基板 11 のクラック耐量が増加する。なお、この構造では、導電板端部のはんだ付着防止だけでなく、導電板の薄膜化により応力が低減するため、図 4 に示したような、導電板端部からはんだの付着領域までの距離を大きくしていく構造に比べて応力がより低くなる。
- [0058] 図 11 ははんだ漏れ広がり抑制構造の一例を示す図である。図 11 (a) は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図 11 (b) はセラミック回路基板を B 方向から見た横断面図を示す。
- [0059] 導電板 11b に対してはんだ 13 を非付着とすべき端部 e g 1 の近傍の所定領域 r 1 には、勾配部 1 e が設けられて導電板 11b の厚さが薄い部分が形成されている。図 11 の例では、導電板 11b における 5 mm 幅の端部 e g 1 に対して角度が 45° の勾配部 1 e が形成されている。
- [0060] 図 12 は解析結果の一例を示す図である。図 12 は、図 11 のはんだ漏れ広がり抑制構造の解析結果を表にしたものであり、項目として、勾配部 1 e

の角度（°）、セラミック回路基板 11 に発生する応力の、角度ゼロを基準とした相対値（%）を示す。

[0061] 図 12 において [角度（°）、応力（%）] = [0、100]、[45、72] となっている。このように、導電板 11b に対してはんだ 13 を非付着とすべき端部 eg1 の近傍の所定領域 r1 に勾配部 1e を設けることで、勾配が 0° の場合と比べて、およそ応力が 28% 低下し、セラミック回路基板 11 のクラック耐量を確保することができる。なお、この構造では、図 9、図 10 に示した構造同様、導電板端部のはんだ付着防止だけでなく、導電板の薄膜化により応力が低減するため、図 4 に示したような、導電板端部からはんだの付着領域までの距離を大きくしていく構造に比べて応力がより低くなる。

[0062] 図 13 ははんだ漏れ広がり抑制構造の一例を示す図である。図 13（a）は端子下のはんだが導電板に付着しているセラミック回路基板をおもて面から見た平面図を示し、図 13（b）はセラミック回路基板を B 方向から見た横断面図を示す。

[0063] 導電板 11b に対してはんだ 13 を非付着とすべき端部 eg1 の近傍の所定領域 r2 には、局所的な段差部 1d1 が設けられて導電板 11b の厚さが薄い部分が形成されている。図 13 の例では、導電板 11b の 1mm 幅の端部 eg1 に対して段差幅が 0.15mm の段差部 1d1 が形成されている。

[0064] 図 14 は解析結果の一例を示す図である。図 14 は、図 13 のはんだ漏れ広がり抑制構造の解析結果を表にしたものであり、項目として、導電板の端部からはんだの付着領域までの距離（mm）、セラミック回路基板に発生する応力の、距離ゼロを基準とした相対値（%）を示す。

[0065] 図 14 において [距離（mm）、応力（%）] = [0、100]、[0.15、87] となっている。このように、導電板 11b に対してはんだ 13 を非付着とすべき端部 eg1 の近傍の所定領域 r2 に段差部 1d1 を設けて、はんだ 13 の付着領域までの距離を 0.15mm 程度確保する。

[0066] これにより、導電板 11b の端部 eg1 からはんだ 13 の付着領域までの

距離が0 mmの場合に比べて、応力が13%低下する。図9の場合と比べるとマージンは若干落ちるが、図13のような局所的な段差部1d1を設けることでも、セラミック回路基板11のクラック発生を防止することができる。

[0067] 以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や工程が付加されてもよい。さらに、前述した実施の形態のうちの任意の2以上の構成（特徴）を組み合わせたものであってもよい。

上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0068] 10 半導体装置
- 11 セラミック回路基板
 - 11a 絶縁板
 - 11b、11b-1 導電板
 - 11c 金属板
 - 12、12-1 端子
 - 13 接合材（はんだ）
 - 15 ベースプレート
 - 16-1、16-2 ワイヤ（ボンディングワイヤ）
 - 17 ケース
 - 18 半導体チップ
 - 19 封止樹脂
 - eg 1 端部
 - 1 接合材漏れ広がり抑制構造

1 a 凸部

1 b 撥液部

1 c 凹部

1 d、1 d 1 段差部

1 e 勾配部

s t 1、s t 2 状態

1 2 a 付着領域

1 2 b 非付着領域

g 1 線

r 0、r 1、r 2 所定領域

d a 所定距離

L 1 辺

S r 応力値

請求の範囲

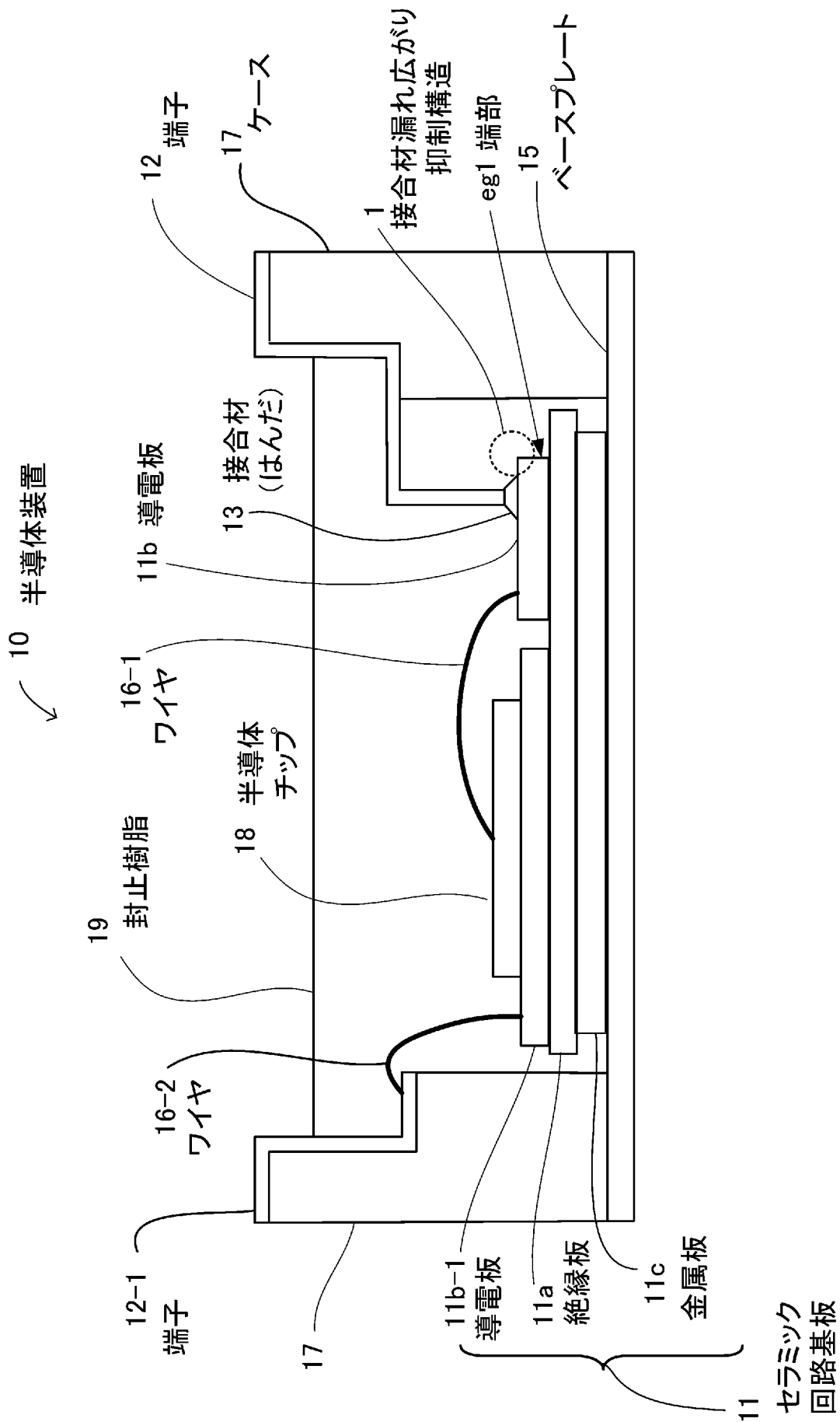
- [請求項1] 絶縁板と、
前記絶縁板上に設けられた導電板と、
前記導電板に接合材によって接合された端子と、を備え、
前記導電板の端部に、前記接合材が前記端部まで広がることを抑制する構造を備え、
前記構造は前記接合材を非付着とすべき前記端部の近傍の所定領域に設けられる、
半導体装置。
- [請求項2] 前記構造は凸状である、請求項1に記載の半導体装置。
- [請求項3] 前記凸状の構造は樹脂からなる、請求項2に記載の半導体装置。
- [請求項4] 前記凸状の構造は金属ワイヤを接合した部材である、請求項2に記載の半導体装置。
- [請求項5] 前記構造は前記所定領域が酸化された撥液部である、請求項1に記載の半導体装置。
- [請求項6] 前記撥液部は前記所定領域がレーザ照射による酸化膜である、請求項5に記載の半導体装置。
- [請求項7] 前記構造は凹状であり、前記導電板の前記端部から所定距離離れた位置に設けられる、請求項1に記載の半導体装置。
- [請求項8] 前記凹状の構造は前記導電板の前記端部の辺に沿って設けられた長孔である、請求項7に記載の半導体装置。
- [請求項9] 絶縁板と、
前記絶縁板上に設けられた導電板と、
前記導電板に接合材によって接合された端子と、を備え、
前記導電板の端部に、前記接合材が前記端部まで広がることを抑制する構造を備え、
前記構造として前記導電板の端部に前記導電板の厚さが薄い部分が設けられ、前記導電板の厚さが薄い部分の境界まで前記接合材は付着

し、前記導電板の厚さが薄い部分は前記接合材が非付着となっている
、
半導体装置。

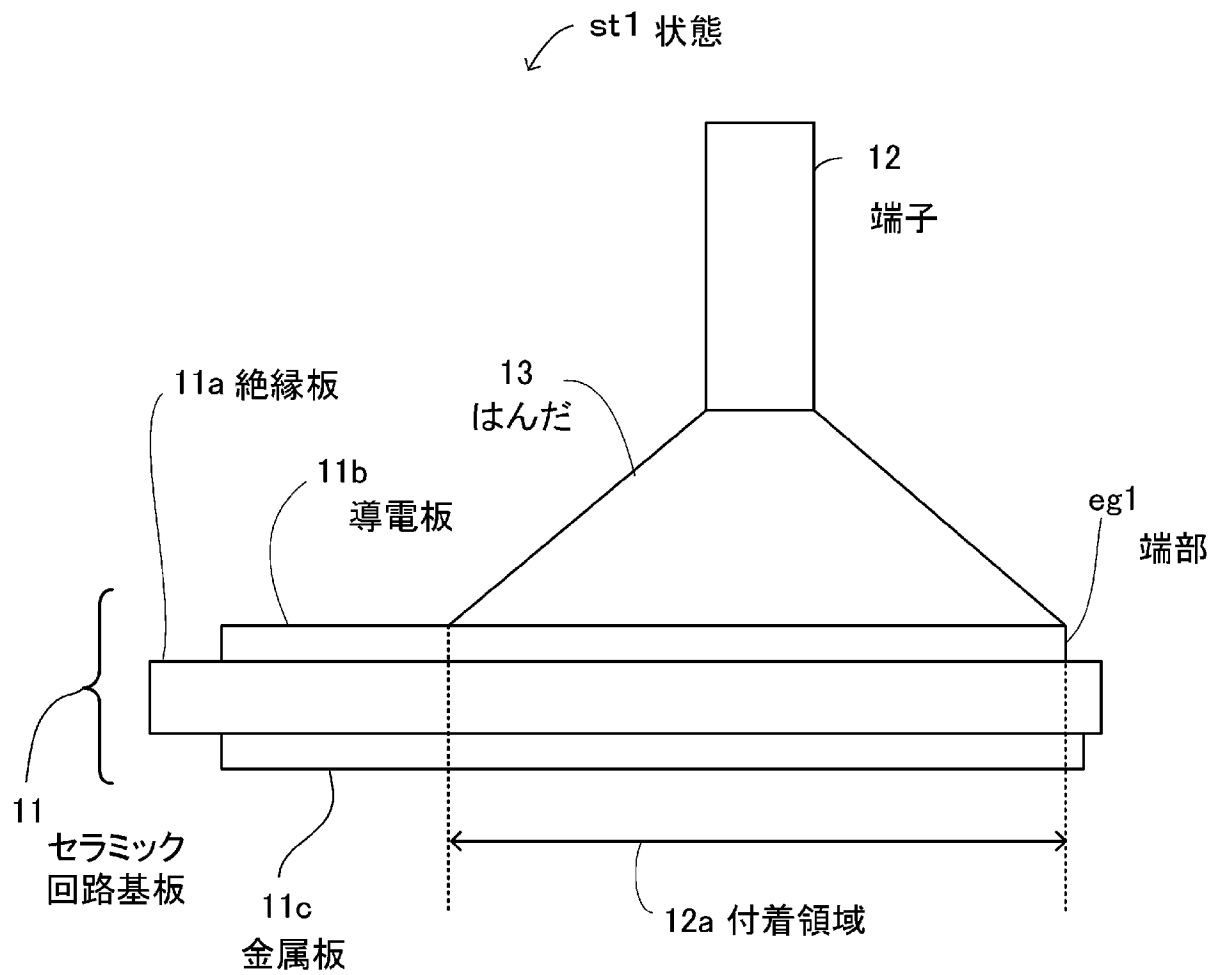
[請求項10] 前記導電板の厚さが薄い部分は、前記接合材を非付着とすべき前記端部の近傍の所定領域に設けられた段差である、請求項9に記載の半導体装置。

[請求項11] 前記導電板の厚さが薄い部分は、前記接合材を非付着とすべき前記端部の近傍の所定領域に設けられた勾配である、請求項9に記載の半導体装置。

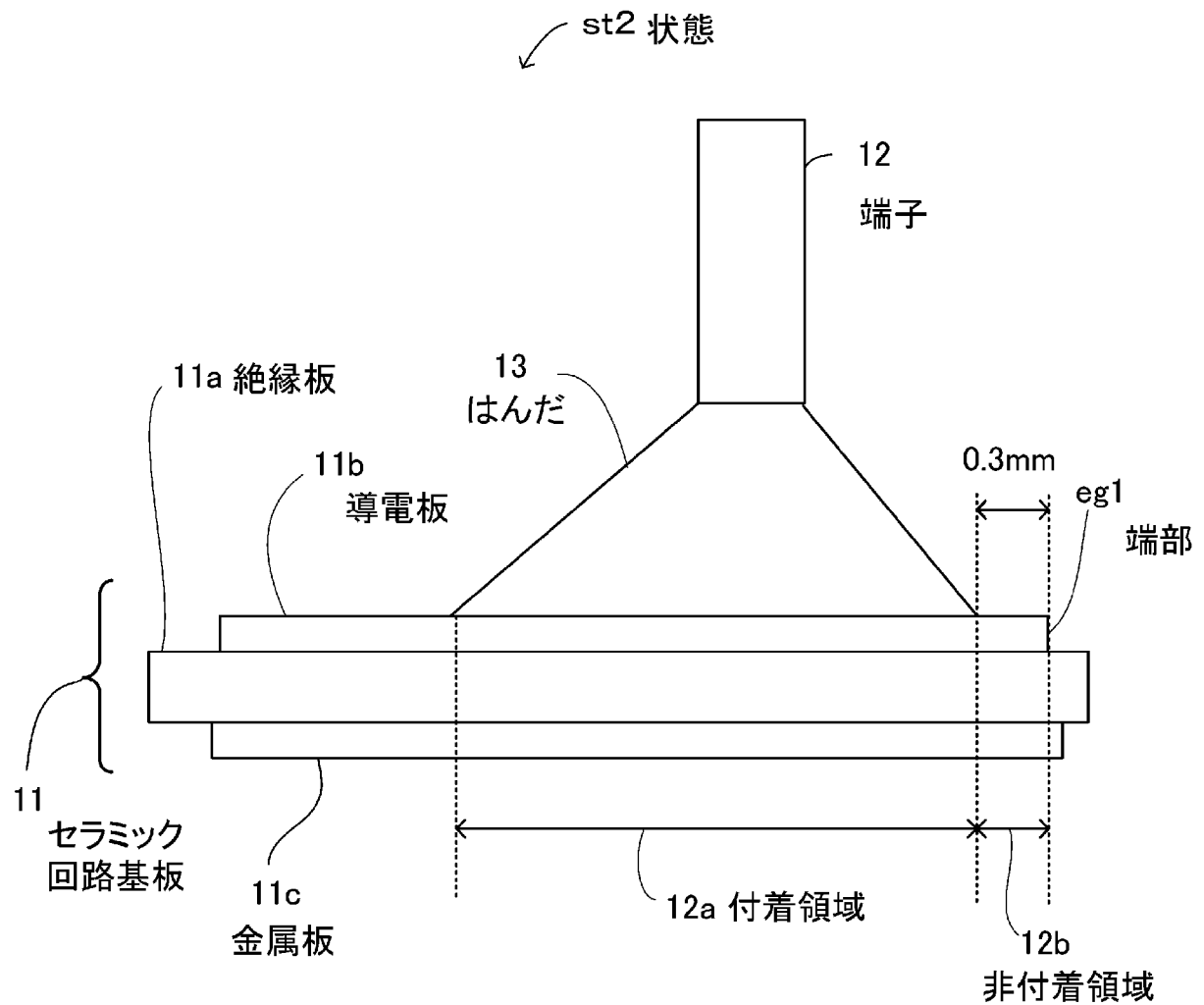
[図1]



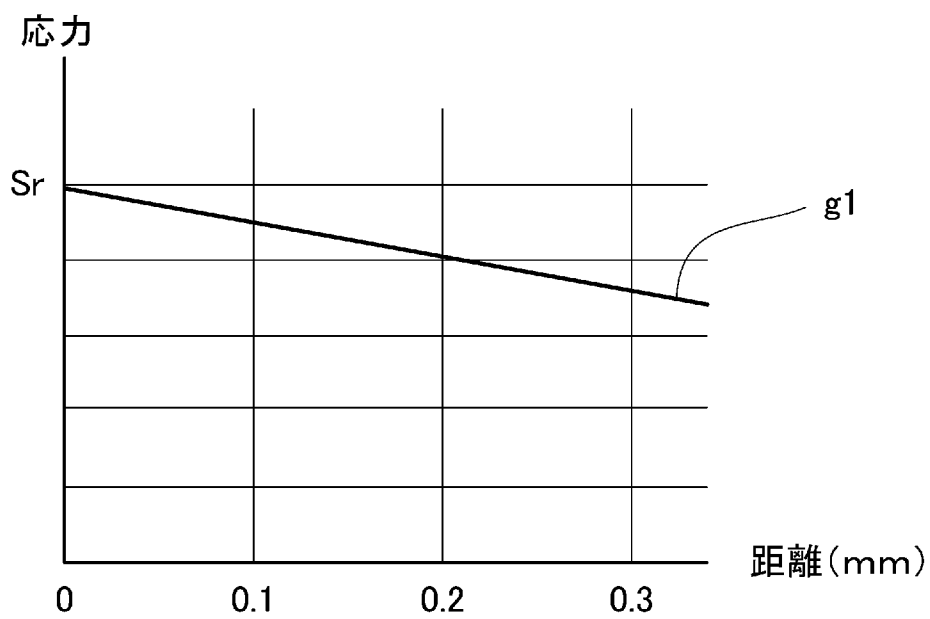
[図2]



[図3]



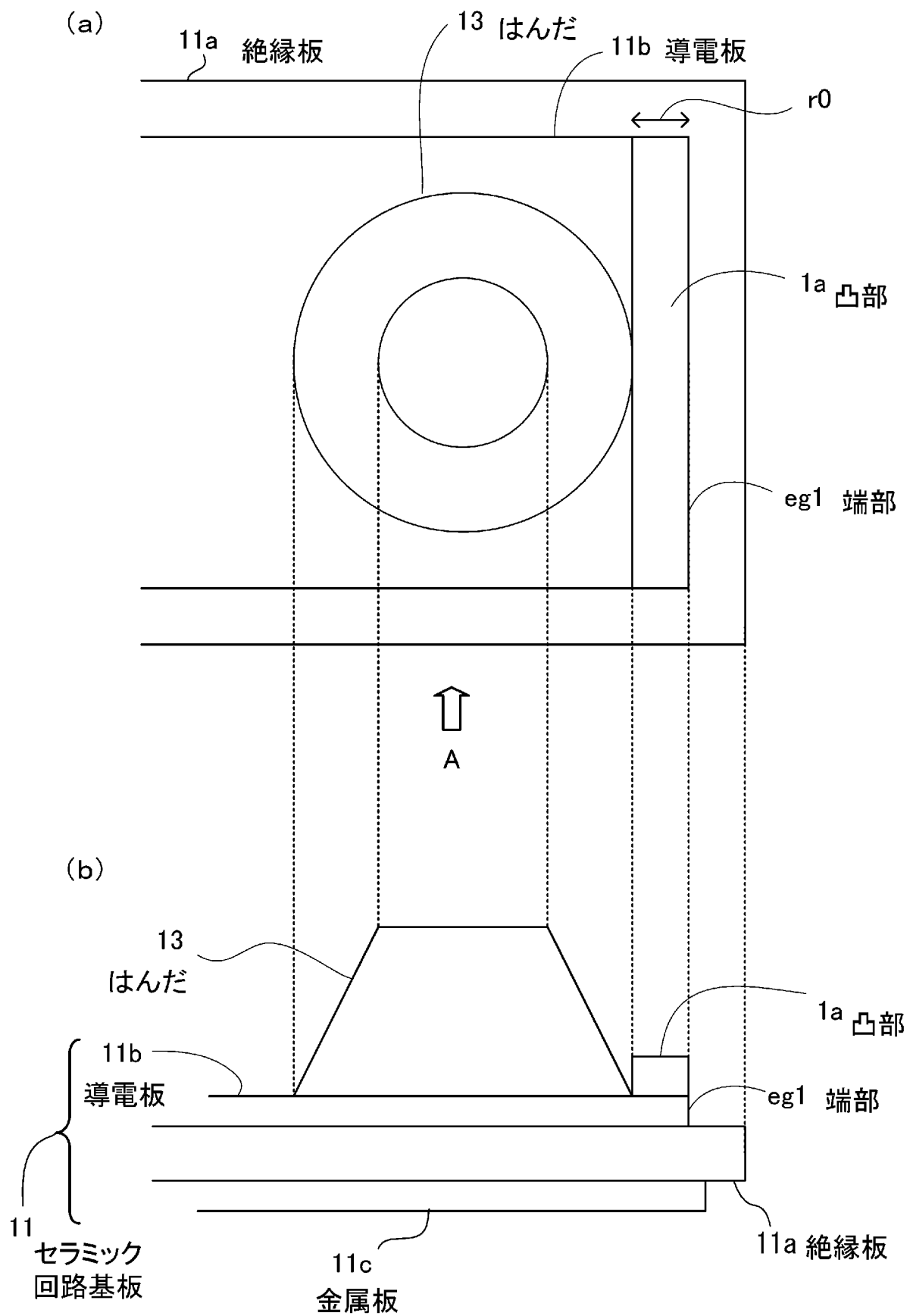
[図4]



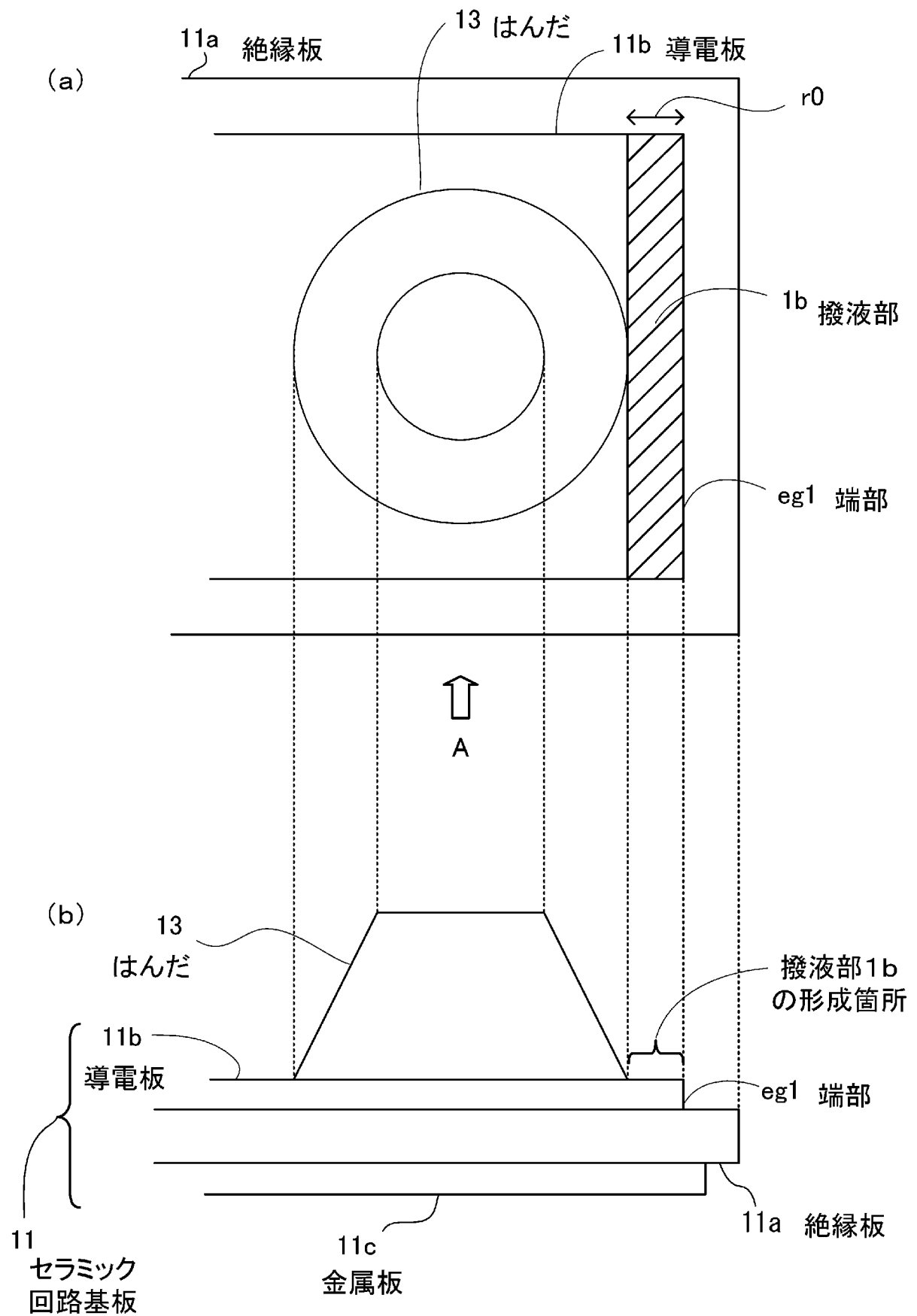
[図5]

距離 (mm)	応力 (%)
0	100
0.1	88
0.3	74

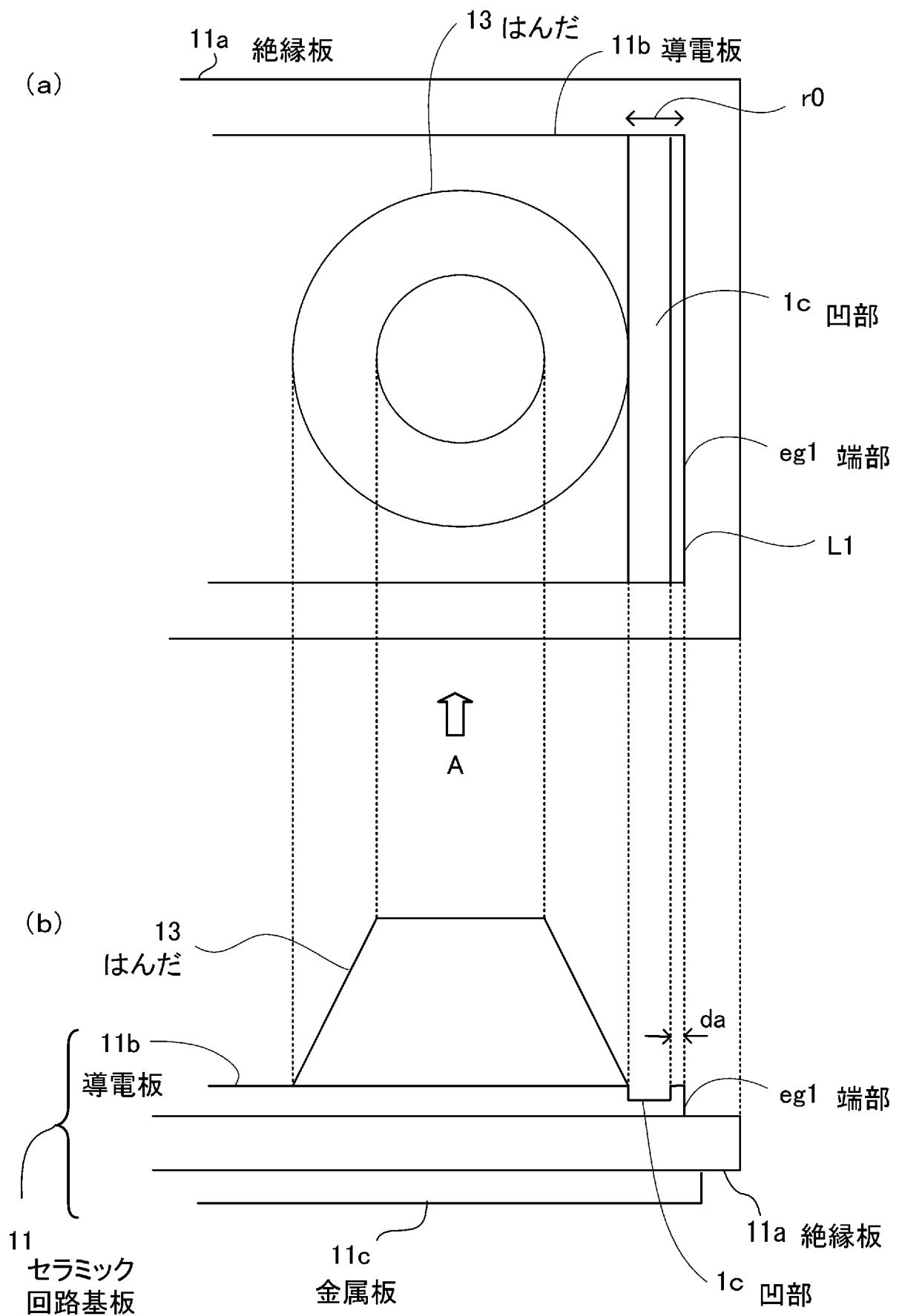
[図6]



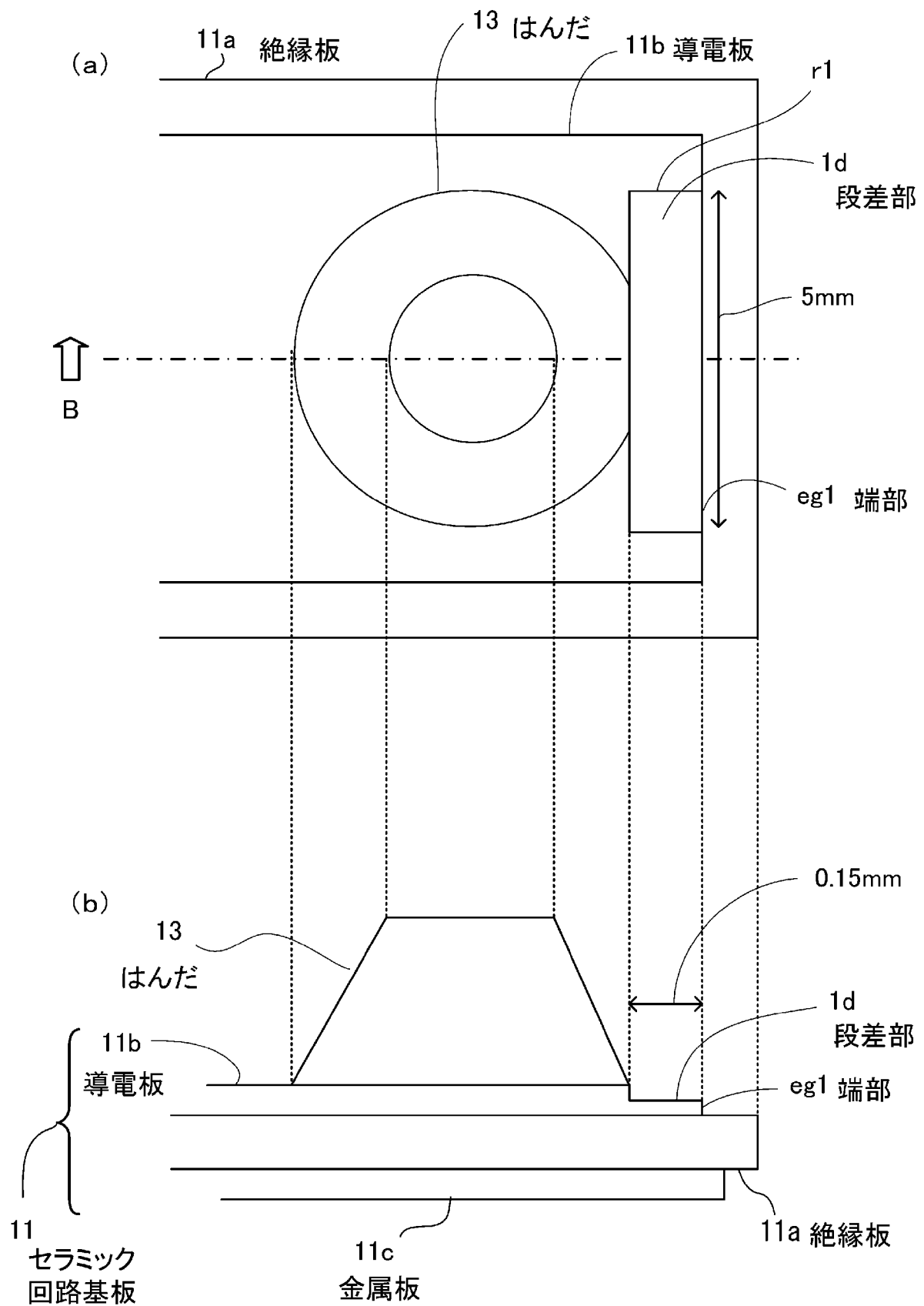
[図7]



[図8]



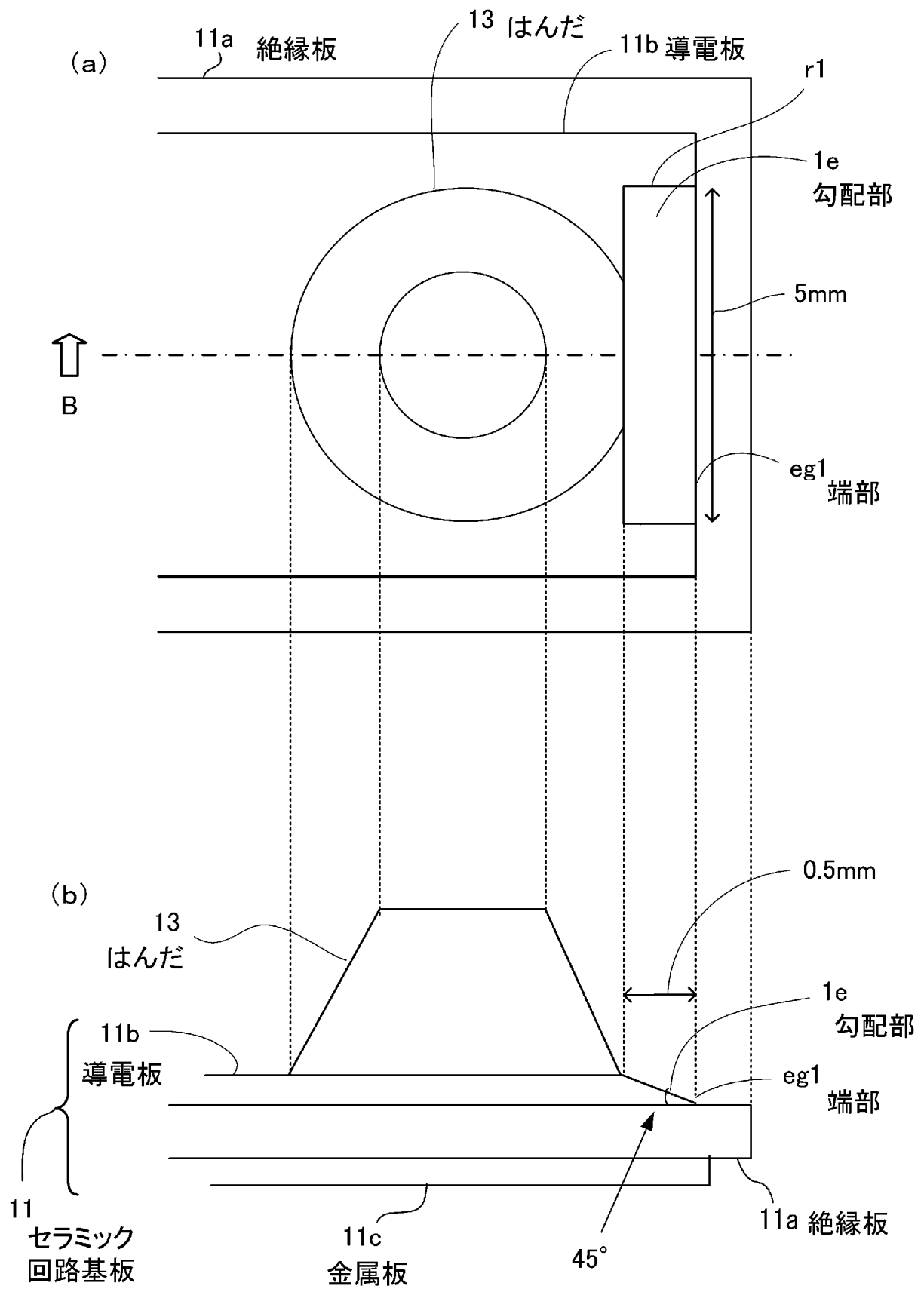
[図9]



[図10]

距離 (mm)	応力 (%)
0	100
0.15	74

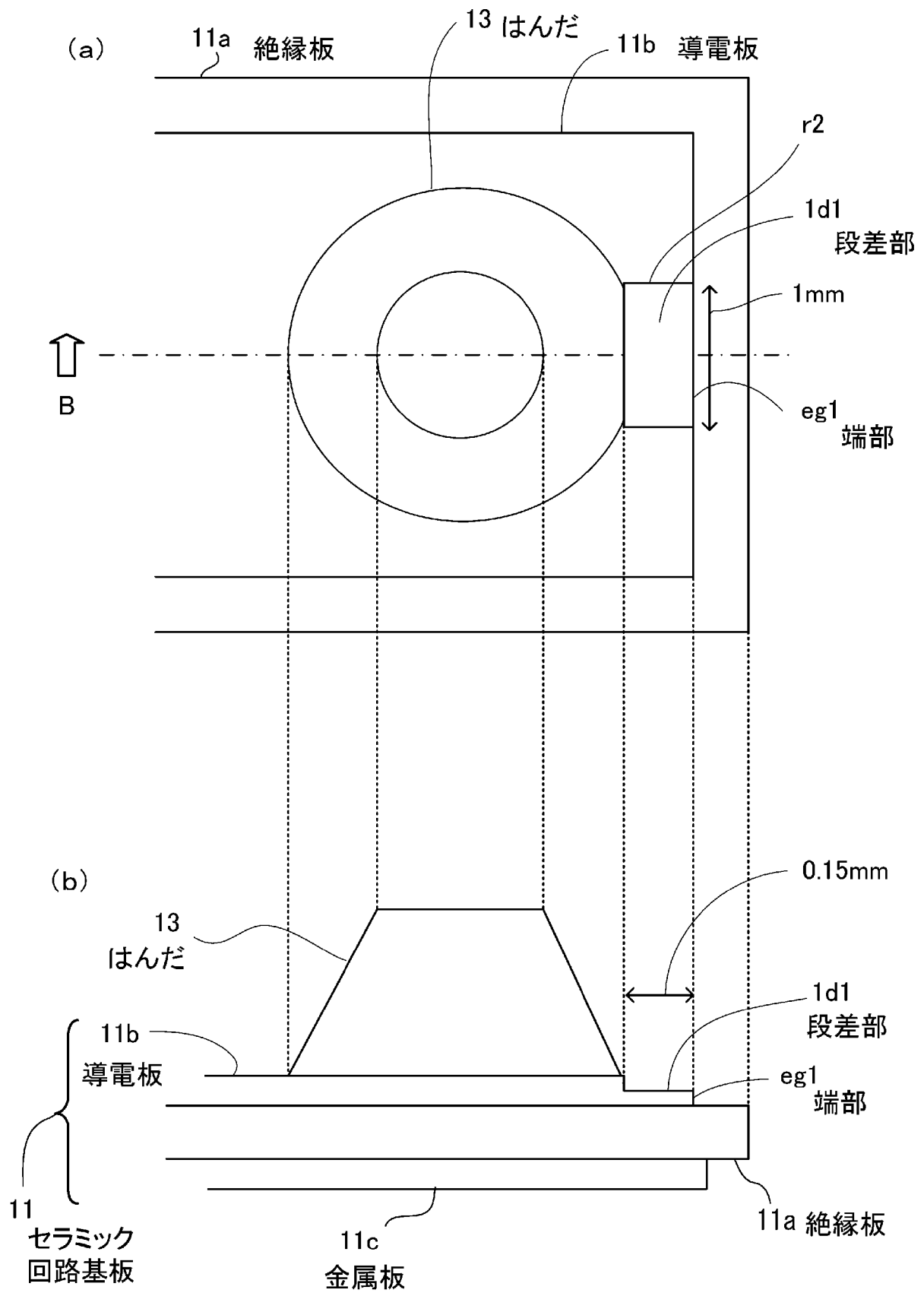
[図11]



[図12]

角度 (°)	応力 (%)
0	100
45	72

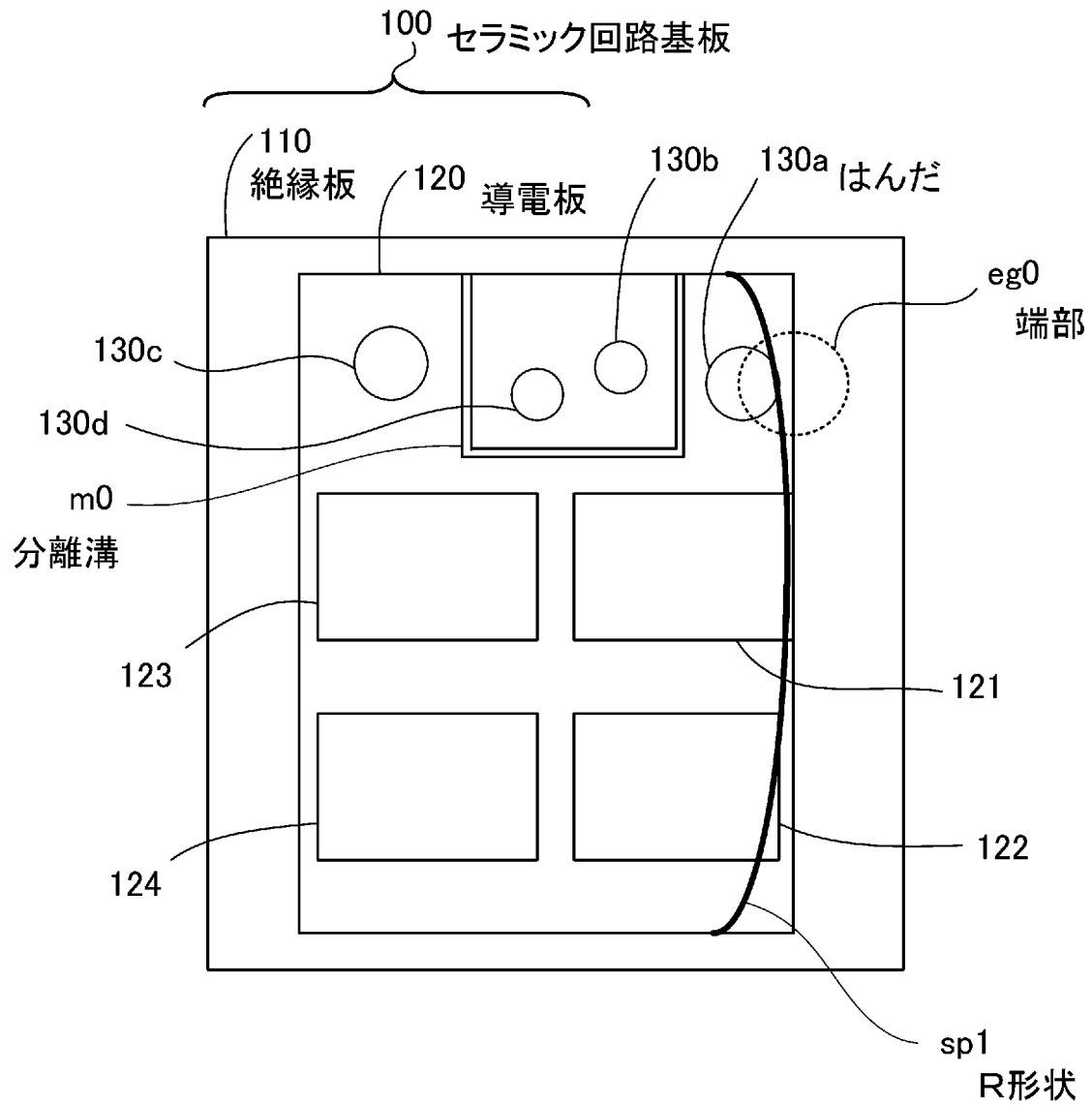
[図13]



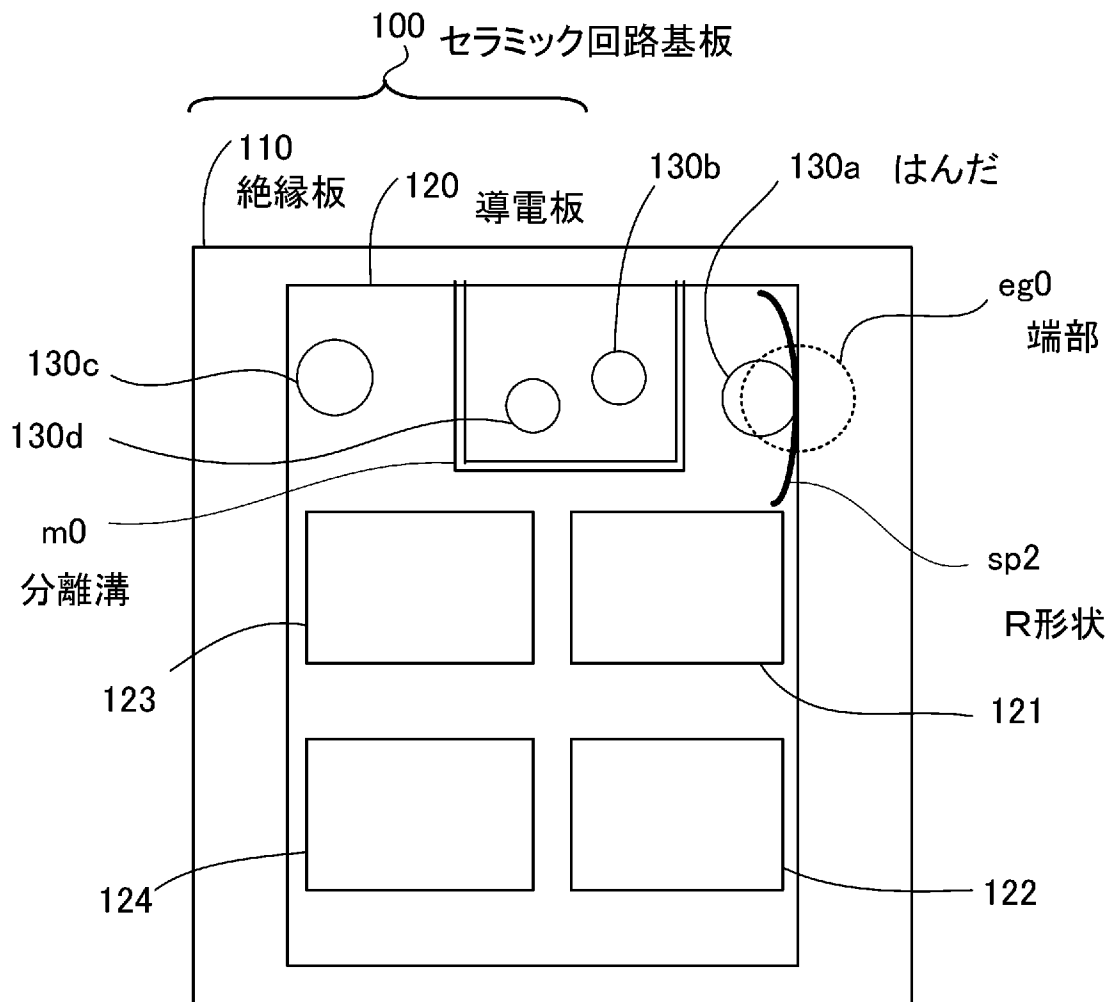
[図14]

距離 (mm)	応力 (%)
0	100
0.15	87

[図15]



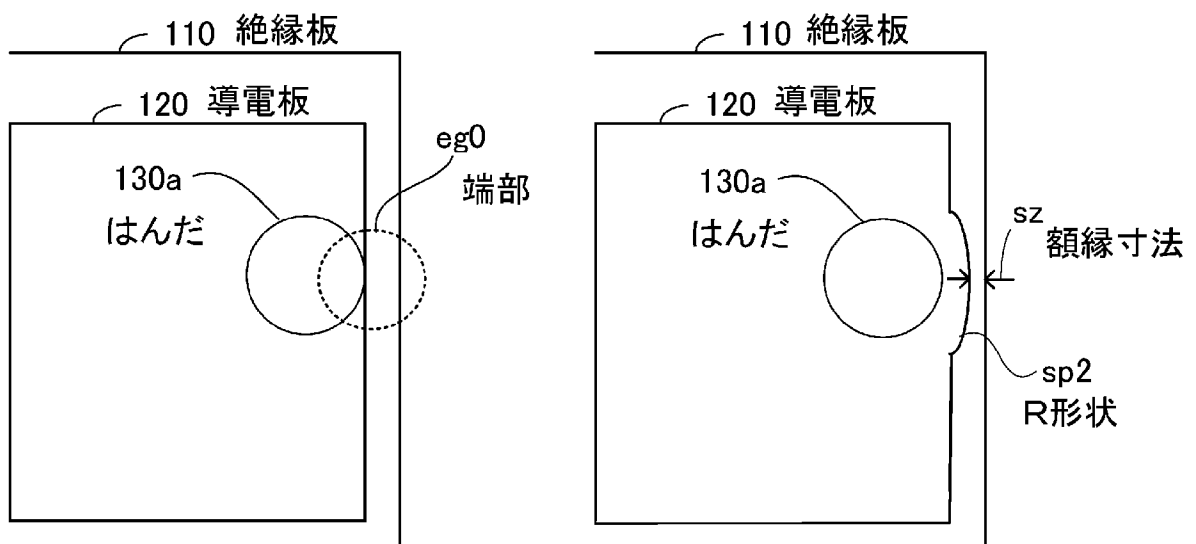
[図16]



[図17]

(a) 対策前

(b) 対策後



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/017306

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/48**(2006.01)i; **H01L 25/07**(2006.01)i; **H01L 25/18**(2023.01)i

FI: H01L23/48 R; H01L25/04 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-363216 A (FUJI ELECTRIC HOLDINGS CO., LTD.) 24 December 2004 (2004-12-24)	1-3
Y	paragraphs [0013]-[0018], fig. 1, 2	5-11
X	JP 2017-17204 A (MITSUBISHI ELECTRIC CORP.) 19 January 2017 (2017-01-19)	1, 4
Y	JP 2021-118350 A (FUJI ELECTRIC CO., LTD.) 10 August 2021 (2021-08-10)	5-6
Y	JP 7-221265 A (HITACHI, LTD.) 18 August 1995 (1995-08-18)	7-11
A	JP 2021-77790 A (MITSUBISHI ELECTRIC CORP.) 20 May 2021 (2021-05-20)	1-11
A	JP 2021-2637 A (FUJI ELECTRIC CO., LTD.) 07 January 2021 (2021-01-07)	1-11

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

20 June 2023

Date of mailing of the international search report

04 July 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/017306**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-188534 A (DENSO CORP.) 12 October 2017 (2017-10-12) entire text	1-11
A	WO 2015/151273 A1 (MITSUBISHI ELECTRIC CORP.) 08 October 2015 (2015-10-08) entire text	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/017306

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2004-363216	A	24 December 2004	(Family: none)	
JP	2017-17204	A	19 January 2017	(Family: none)	
JP	2021-118350	A	10 August 2021	US 2021/0233855 A1 paragraphs [0024]-[0035], fig. 2	
				CN 113241325 A	
JP	7-221265	A	18 August 1995	US 5621243 A column 24, line 6 to column 25, line 40, fig. 26, 28	
				EP 661748 A1	
JP	2021-77790	A	20 May 2021	(Family: none)	
JP	2021-2637	A	07 January 2021	(Family: none)	
JP	2017-188534	A	12 October 2017	US 2018/0323125 A1	
				CN 108604579 A	
WO	2015/151273	A1	08 October 2015	US 2016/0315054 A1	
				EP 3128550 A1	
				CN 106471617 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i FI: H01L23/48 R; H01L25/04 C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/48; H01L25/07; H01L25/18		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-363216 A（富士電機ホールディングス株式会社）24.12.2004（2004-12-24） [0013]-[0018], [図1]-[図2]	1-3
Y		5-11
X	JP 2017-17204 A（三菱電機株式会社）19.01.2017（2017-01-19） [0020]-[0032], [図1]-[図4]	1, 4
Y	JP 2021-118350 A（富士電機株式会社）10.08.2021（2021-08-10） [0011]-[0022], [図2]	5-6
Y	JP 7-221265 A（株式会社日立製作所）18.08.1995（1995-08-18） [0050]-[0059], [図6], [図8]	7-11
A	JP 2021-77790 A（三菱電機株式会社）20.05.2021（2021-05-20） 全文	1-11
A	JP 2021-2637 A（富士電機株式会社）07.01.2021（2021-01-07） 全文	1-11
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 20.06.2023		国際調査報告の発送日 04.07.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 河合 俊英 5F 3238 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-188534 A (株式会社デンソー) 12.10.2017 (2017 - 10 - 12) 全文	1-11
A	WO 2015/151273 A1 (三菱電機株式会社) 08.10.2015 (2015 - 10 - 08) 全文	1-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/017306

引用文献			公表日	パテントファミリー文献	公表日
JP	2004-363216	A	24.12.2004	(ファミリーなし)	
JP	2017-17204	A	19.01.2017	(ファミリーなし)	
JP	2021-118350	A	10.08.2021	US 2021/0233855 A1	
				[0024]-[0035], FIG. 2	
				CN 113241325 A	
JP	7-221265	A	18.08.1995	US 5621243 A	
				第24欄第6行-第25欄第40	
				行, FIG26, FIG28	
				EP 661748 A1	
JP	2021-77790	A	20.05.2021	(ファミリーなし)	
JP	2021-2637	A	07.01.2021	(ファミリーなし)	
JP	2017-188534	A	12.10.2017	US 2018/0323125 A1	
				CN 108604579 A	
WO	2015/151273	A1	08.10.2015	US 2016/0315054 A1	
				EP 3128550 A1	
				CN 106471617 A	