(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 16 日(16.08.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/107998 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)

(21) 国際出願番号: PCT/JP2011/052635

(22) 国際出願日: 2011 年 2 月 8 日(08.02.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 寺田 隆司 (TERADA, Takashi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

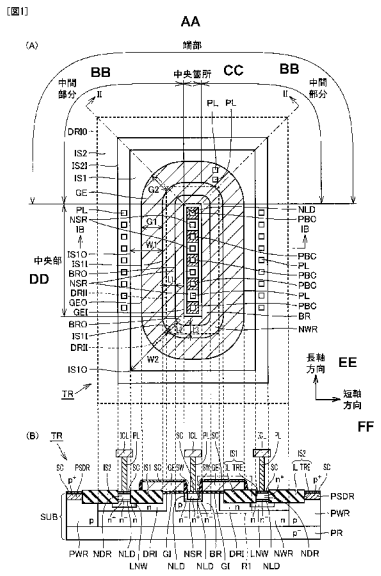
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



AA End portion
BB Intermediate part
CC Center part
DD Center portion
EE Long axis direction
FF Short axis direction

(57) Abstract: On a main surface of a semiconductor substrate (SUB), an n^+ drain region (NDR) surrounds an n^+ source region (NSR). An inner circumferential side end edge (DRII) of an n-type drift region (DRI) and an inner circumferential side end edge (IS1I) of an element isolation structure (IS1) each have a flat plane shape which is extended in a long axis direction as compared to a short axis direction, the long axis direction and the short axis direction being perpendicular to each other in a plan view. In the plan view, the inner circumferential side end edge (DRII) of the n-type drift region (DRI) is disposed on an outer circumferential side from the inner circumferential side end edge (IS1I) of the element isolation structure (IS1) in at least a part of both end portions in the long axis direction and is disposed on an inner circumferential side from the inner circumferential side end edge (IS1I) of the element isolation structure (IS1) in a center portion in the long axis direction which is sandwiched between the both end portions. With this structure, it is possible to improve an off-state breakdown voltage while reducing an on resistance.

(57) 要約: 半導体基板（ＳＵＢ）の主表面において、n^+ソース領域（ＮＳＲ）の周囲をn^+ドレイン領域（ＮＤＲ）が取り囲んでいる。ｎ型ドリフト領域（ＤＲＩ）の内周側端縁（ＤＲＩＩ）および素子分離構造（ＩＳ１）の内周側端縁（ＩＳ１Ｉ）の各々は、平面視にて互いに直交する長軸方向と短軸方向とにおいて短軸方向よりも長軸方向に長く延びる平面形状を有している。平面視においてｎ型ドリフト領域（ＤＲＩ）の内周側端縁（ＤＲＩＩ）は、長軸方向の両端部の少なくとも一部で素子分離構造（ＩＳ１）の内周側端縁（ＩＳ１Ｉ）よりも外周側に位置し、かつ両端部に挟まれる長軸方向の中央部で素子分離構造（ＩＳ１）の内周側端縁（ＩＳ１Ｉ）よりも内周側に位置している。これにより、オン抵抗を低減しつつ、オフ耐圧を向上させることができる。

WO 2012/107998 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、ラテラル構造のトランジスタを有する半導体装置に関するものである。

背景技術

[0002] 横方向に電流を流す、いわゆるラテラル構造のＭＩＳ（Metal Insulator Semiconductor）トランジスタには、半導体基板の主表面においてソース領域をドレイン領域により取り囲む構造がある。このような構造は、たとえば特開平１０－５０９８５号公報（特許文献１）、特開２００７－９６１４３号公報（特許文献２）、特開２００８－４６００号公報（特許文献３）などに開示されている。

[0003] また特開２０１０－２０６１６３号公報（特許文献４）には、ドレイン領域に接続される金属配線をドレイン端の分離オフセット領域上にオーバーラップさせ、この金属配線の電界でドレイン端の電界集中を緩和（ＲＥＳＵＲＦ（REduced SURface Field）効果）してオフ耐圧を向上させることが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平１０－５０９８５号公報

特許文献2：特開２００７－９６１４３号公報

特許文献3：特開２００８－４６００号公報

特許文献4：特開２０１０－２０６１６３号公報

発明の概要

発明が解決しようとする課題

[0005] 上記の特開平１０－５０９８５号公報、特開２００７－９６１４３号公報、特開２００８－４６００号公報に記載されたトランジスタ構造では、平面

視におけるソース領域のコーナー部（エッジ部）で電界集中が生じやすく、耐圧が低下するという問題がある。

[0006] 本発明は、上記の課題を鑑みてなされたものであり、その目的は、耐圧を向上できる半導体装置を提供することである。

課題を解決するための手段

[0007] 本発明の一実施例の半導体装置は、半導体基板と、第１導電型のソース領域と、第２導電型のボディ領域と、素子分離構造と、第１導電型のドリフト領域と、ゲート電極層とを備えている。半導体基板は主表面を有している。ソース領域は、その主表面に配置されている。ボディ領域は、平面視においてソース領域の周囲を取り囲むように半導体基板内に配置されている。素子分離構造は、平面視においてボディ領域と間隔をあけてボディ領域の周囲を取り囲むように配置されている。ドリフト領域は、平面視においてボディ領域と間隔をあけてボディ領域の周囲を取り囲むように、かつ素子分離構造の下面に接するように半導体基板内に配置されている。ゲート電極層は、平面視においてソース領域の周囲を取り囲み、かつボディ領域上および素子分離構造上に配置されている。ドリフト領域の内周側端縁および素子分離構造の内周側端縁の各々は、平面視にて互いに直交する長軸方向と短軸方向とにおいて短軸方向よりも長軸方向に長く延びる平面形状を有している。平面視においてドリフト領域の内周側端縁は、長軸方向の両端部の少なくとも一部で素子分離構造の内周側端縁よりも外周側に位置し、かつ両端部に挟まれる長軸方向の中央部で素子分離構造の内周側端縁よりも内周側に位置している。

発明の効果

[0008] 本発明の一実施例の半導体装置によれば、平面視においてドリフト領域の内周側端縁は、長軸方向の両端部の少なくとも一部で素子分離構造の内周側端縁よりも外周側に位置している。このため、両端部の少なくとも一部で耐圧を向上することができる。また本発明の一実施例の半導体装置によれば、平面視においてドリフト領域の内周側端縁が、両端部に挟まれる長軸方向の中央部で素子分離構造の内周側端縁よりも内周側に位置している。このため

、中央部にてオン抵抗を低減することができる。

図面の簡単な説明

[0009] [図1]（Ａ）は本発明の実施の形態１における半導体装置の構成を概略的に示す平面図であり、（Ｂ）は図１（Ａ）のＩＢ－ＩＢ線に沿う概略断面図である。

[図2]図１（Ａ）のＩＩ－ＩＩ線に沿う概略断面図である。

[図3]エッジ部の説明をするための概略平面図である。

[図4]図１（Ｂ）の領域Ｒ１の一部を省略して示す拡大断面図である。

[図5]図２の領域Ｒ２の一部を省略して示す拡大断面図である。

[図6]ドリフト領域の燐イオン注入条件をドーズ量４×１０^{12}ｃｍ$^{-2}$としたときの、図４のＡ１－Ａ１線に沿う部分の不純物濃度分布および図５のＡ２－Ａ２線に沿う部分の不純物濃度分布を示す図である。

[図7]ドリフト領域の燐イオン注入条件をドーズ量４×１０^{12}ｃｍ$^{-2}$としたときの、図４のＢ１－Ｂ１線に沿う部分の不純物濃度分布および図５のＢ２－Ｂ２線に沿う部分の不純物濃度分布を示す図である。

[図8]ドリフト領域の燐イオン注入条件をドーズ量８×１０^{12}ｃｍ$^{-2}$としたときの、図４のＡ１－Ａ１線に沿う部分の不純物濃度分布および図５のＡ２－Ａ２線に沿う部分の不純物濃度分布を示す図である。

[図9]ドリフト領域の燐イオン注入条件をドーズ量８×１０^{12}ｃｍ$^{-2}$としたときの、図４のＢ１－Ｂ１線に沿う部分の不純物濃度分布および図５のＢ２－Ｂ２線に沿う部分の不純物濃度分布を示す図である。

[図10]（Ａ）は比較例における半導体装置の構成を概略的に示す平面図であり、（Ｂ）は図１０（Ａ）のＸＢ－ＸＢ線に沿う概略断面図である。

[図11]図１０（Ａ）のＸＩ－ＸＩ線に沿う概略断面図である。

[図12]本発明の実施の形態１の構成と比較例Ａの構成との双方でウエルおよびドリフト領域の注入条件を変えたときのオフ耐圧の関係を示す図である。

[図13]ドリフト領域のソース側端縁の位置に対して素子分離構造の内周側端縁の位置を内周側または外周側に変える様子を説明するための概略断面図で

ある。

[図14]ドリフト領域のソース側端縁の位置に対する素子分離構造の内周側端縁の位置と、オフ耐圧の関係を示す図である。

[図15]（Ａ）は本発明の実施の形態２における半導体装置の構成を概略的に示す平面図であり、（Ｂ）は図１５（Ａ）のＸＶＢ－ＸＶＢ線に沿う概略断面図である。

[図16]図１５（Ａ）のＸＶＩ－ＸＶＩ線に沿う概略断面図である。

[図17]（Ａ）は本発明の実施の形態３における半導体装置の構成を概略的に示す平面図であり、（Ｂ）は図１７（Ａ）のＸＶＩＩＢ－ＸＶＩＩＢ線に沿う概略断面図である。

[図18]図１７（Ａ）のＸＶＩＩＩ－ＸＶＩＩＩ線に沿う概略断面図である。

発明を実施するための形態

[0010] 以下、本発明の実施の形態について図に基づいて説明する。

（実施の形態１）

まず本発明の実施の形態１の構成について図１（Ａ）、図１（Ｂ）および図２を用いて説明する。

[0011] 図１（Ａ）、図１（Ｂ）および図２を参照して、本実施の形態の半導体装置は、高耐圧のＭＩＳトランジスタＴＲを有している。このＭＩＳトランジスタＴＲは、いわゆるラテラル構造を有しており、半導体基板ＳＵＢの主表面に形成されている。

[0012] 半導体基板ＳＵＢの内部にはｐ$^-$領域ＰＲが形成されている。このｐ$^-$領域ＰＲよりも半導体基板ＳＵＢの主表面側には、ｎ型ウエル領域ＮＷＲとｐ型ウエル領域ＰＷＲとの各々がｐ$^-$領域ＰＲと接するように形成されている。このｎ型ウエル領域ＮＷＲには上記のＭＩＳトランジスタＴＲが形成されている。

[0013] このＭＩＳトランジスタＴＲは、複数のｎ$^+$ソース領域ＮＳＲ（図１（Ｂ））と、複数のｐ$^+$ボディコンタクト領域ＰＢＣ（図２）と、ｎ$^-$領域ＮＬＤと、ｐ型ボディ領域ＢＲと、ｎ$^+$ドレイン領域ＮＤＲと、ｎ型ドリフト領域ＤＲＩ

と、低濃度ｎ型領域ＬＮＷと、ゲート絶縁層ＧＩと、ゲート電極層ＧＥとを主に有している。

[0014] 半導体基板ＳＵＢの主表面には、複数のｎ$^+$ソース領域ＮＳＲと複数のｐ$^+$ボディコンタクト領域ＰＢＣとが形成されている。半導体基板ＳＵＢの主表面において、ｎ$^+$ソース領域ＮＳＲとｐ$^+$ボディコンタクト領域ＰＢＣとが交互に並ぶように配置されている。ｎ$^+$ソース領域ＮＳＲはｐ$^+$ボディコンタクト領域ＰＢＣよりも半導体基板ＳＵＢの主表面から浅く形成されている。

[0015] ｎ$^-$領域ＮＬＤは半導体基板ＳＵＢの主表面に形成されている。ｎ$^-$領域ＮＬＤは、互いに交互に配置された複数のｎ$^+$ソース領域ＮＳＲと複数のｐ$^+$ボディコンタクト領域ＰＢＣとの配置領域の周囲を半導体基板ＳＵＢの主表面において取り囲んでいる。ｎ$^+$ソース領域ＮＳＲの横側および下側とｐ$^+$ボディコンタクト領域ＰＢＣの横側とはｎ$^-$領域ＮＬＤにより覆われている。ｐ$^+$ボディコンタクト領域ＰＢＣの下側はｎ$^-$領域ＮＬＤよりも深く形成されてｐ型ボディ領域ＢＲに接している。

[0016] ｐ型ボディ領域ＢＲは半導体基板ＳＵＢの主表面に形成されている。ｐ型ボディ領域ＢＲは、半導体基板ＳＵＢの主表面において複数のｎ$^+$ソース領域ＮＳＲ、複数のｐ$^+$ボディコンタクト領域ＰＢＣおよびｎ$^-$領域ＮＬＤの周囲を取り囲んでおり、かつｎ型ウエル領域ＮＷＲとｐｎ接合を構成している。

[0017] ｎ$^+$ドレイン領域ＮＤＲは、ｐ型ボディ領域ＢＲと間隔をあけて半導体基板ＳＵＢの主表面に形成されている。なお半導体基板ＳＵＢの主表面には素子分離構造ＩＳ１、ＩＳ２が形成されており、ｎ$^+$ドレイン領域ＮＤＲは半導体基板ＳＵＢの主表面において素子分離構造ＩＳ１とＩＳ２との間に挟まれるように形成されている。

[0018] この素子分離構造ＩＳ１、ＩＳ２の各々は、たとえばＳＴＩ（Shallow Trench Isolation）、ＬＯＣＯＳ（LOCal Oxidation of Silicon）などよりなっている。素子分離構造ＩＳ１、ＩＳ２の各々がＳＴＩよりなる場合には、素子分離構造ＩＳ１、ＩＳ２の各々は、半導体基板ＳＵＢの主表面に形成された溝ＴＲＥと、その溝ＴＲＥ内を埋め込む絶縁層ＩＬとを有している

。

[0019] n^+ドレイン領域ＮＤＲの下側に接するようにn^-領域ＮＬＤが形成されている。低濃度ｎ型領域ＬＮＷは、n^+ドレイン領域ＮＤＲ下のn^-領域ＮＬＤの下面および素子分離構造ＩＳ１とＩＳ２のそれぞれの下面に接するように半導体基板ＳＵＢ内に形成されている。

[0020] ｎ型ドリフト領域ＤＲＩは、低濃度ｎ型領域ＬＮＷおよび素子分離構造ＩＳ１とＩＳ２のそれぞれの下面に接するように半導体基板ＳＵＢ内に形成されている。このｎ型ドリフト領域ＤＲＩとｐ型ボディ領域ＢＲとの間の半導体基板ＳＵＢの主表面にはｎ型ウエル領域ＮＷＲが位置している。ｎ型ドリフト領域ＤＲＩは、n^+ドレイン領域ＮＤＲよりも低いｎ型不純物濃度を有し、かつｎ型ウエル領域ＮＷＲよりも高いｎ型不純物濃度を有している。また低濃度ｎ型領域ＬＮＷはｎ型ドリフト領域ＤＲＩよりも高いｎ型不純物濃度を有している。また、n^-領域ＮＬＤは、低濃度ｎ型領域ＬＮＷよりも高いｎ型不純物濃度を有し、かつn^+ドレイン領域ＮＤＲよりも低いｎ型不純物濃度を有している。

[0021] ゲート電極層ＧＥは、ｐ型ボディ領域ＢＲ、ｎ型ドリフト領域ＤＲＩおよびｎ型ウエル領域ＮＷＲの上にゲート絶縁層ＧＩを介在して形成されている。このゲート電極層ＧＥの外周側端縁ＧＥＯは素子分離構造ＩＳ１上に乗り上げており、これによりゲート電極層ＧＥは素子分離構造ＩＳ１を挟んでｎ型ドリフト領域ＤＲＩと対向している。

[0022] ゲート電極層ＧＥの側面を覆うように側壁絶縁層ＳＷが形成されている。ゲート電極層ＧＥの内周側端縁ＧＥＩに接する側壁絶縁層ＳＷの下の半導体基板ＳＵＢの主表面およびn^+ドレイン領域ＮＤＲ部には、上述したn^-領域ＮＬＤが位置している。

[0023] シリサイド層ＳＣは、n^+ドレイン領域ＮＤＲ、n^+ソース領域ＮＳＲ、p^+ボディコンタクト領域ＰＢＣおよびゲート電極層ＧＥの各々の表面上に形成されている。

[0024] n^+ドレイン領域ＮＤＲには、導電性のプラグ層ＰＬを介在して配線層ＩＣ

Ｌが電気的に接続されている。複数のｎ⁺ソース領域ＮＳＲの各々、および複数のｐ⁺ボディコンタクト領域ＰＢＣの各々にも、導電性のプラグ層ＰＬを介在して配線層ＩＣＬが電気的に接続されている。またゲート電極層ＧＥにも、導電性のプラグ層ＰＬを介在して配線層（図示せず）が電気的に接続されている。

[0025] ｎ型ドリフト領域ＤＲＩおよびｎ型ウエル領域ＮＷＲの側部と接するように、かつ素子分離構造ＩＳ２の下面に接するように半導体基板ＳＵＢ内にはｐ型ウエル領域ＰＷＲが形成されている。このｐ型ウエル領域ＰＷＲ内の半導体基板ＳＵＢの主表面には、ｐ⁺コンタクト領域ＰＳＤＲが形成されている。

[0026] 主に図１（Ａ）を参照して、平面視において長軸方向（図中上下方向）に沿ってｎ⁺ソース領域ＮＳＲとｐ⁺ボディコンタクト領域ＰＢＣとが交互に並ぶように配置されている。平面視においてｐ型ボディ領域ＢＲは、複数のｎ⁺ソース領域ＮＳＲおよび複数のｐ⁺ボディコンタクト領域ＰＢＣの周囲をｎ⁻領域ＮＬＤを介在して取り囲んでいる。

[0027] 平面視において素子分離構造ＩＳ１は、ｐ型ボディ領域ＢＲの外周側端縁ＢＲＯと間隔をあけて取り囲んでいる。また平面視においてｎ型ドリフト領域ＤＲＩは、ｐ型ボディ領域ＢＲの外周側端縁ＢＲＯをｎ型ウエル領域ＮＷＲを介在して取り囲んでいる。また平面視においてｎ⁺ドレイン領域ＮＤＲは、複数のｎ⁺ソース領域ＮＳＲの外周をｐ型ボディ領域ＢＲ、素子分離構造ＩＳ１などを介在して取り囲んでいる。また平面視において素子分離構造ＩＳ２は、ｎ⁺ドレイン領域ＮＤＲの外周を取り囲んでいる。

[0028] ｐ型ボディ領域ＢＲの外周側端縁ＢＲＯと、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩと、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉおよび外周側端縁ＩＳ１Ｏと、ゲート電極層ＧＥの内周側端縁ＧＥＩおよび外周側端縁ＧＥＯとの各々は、平面視にて互いに直交する長軸方向と短軸方向（図中左右方向）とにおいて短軸方向よりも長軸方向に長く延びる平面形状を有している。

[0029] ゲート電極層ＧＥの内周側端縁ＧＥＩ、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩ、外周側端縁ＤＲＩＯ、素子分離構造ＩＳ１の外周側端縁ＩＳ１Ｏ、および素子分離構造ＩＳ２の内周側端縁ＩＳ２Ｉの各々は、長軸方向に長く、短軸方向の短い長方形状の平面形状を有している。

[0030] ｐ型ボディ領域ＢＲの外周側端縁ＢＲＯ、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉおよびゲート電極層ＧＥの外周側端縁ＧＥＯの各々は、中央部と両端部の中央箇所との各々が直線形状よりなり、かつ両端部の中間部分（コーナー部）がラウンド形状よりなる略トラック形状の平面形状を有している。この中間部分におけるラウンド形状は、ゲート電極層ＧＥの長方形の平面形状の角部を中心とする円弧（４分の１円）をなしている。この略トラック形状とは、言い換えると、長方形の角部となるべき部分がラウンド形状（円弧）となった形状である。まお両端部は長軸方向の端となる中央箇所と、その中央箇所および中間部の間に位置する中間部分（コーナー部）とを有している。

[0031] 平面視においてｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩは、長軸方向の両端部の少なくとも一部（中間部分（コーナー部））で素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも外周側に位置している。また平面視においてｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩは、両端部に挟まれる長軸方向の中央部と両端部の中央箇所とにおいて素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも内周側に位置している。つまり、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩの長方形の平面形状の角部が、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉのラウンド形状（円弧）の中間部分の一部より外周側に位置している。

[0032] これにより、中央部におけるｐ型ボディ領域ＢＲの外周側端縁ＢＲＯとｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ１よりも、中間部分（コーナー部）におけるｐ型ボディ領域ＢＲの外周側端縁ＢＲＯとｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ２の方が大きくなる。また両端部の中央箇所におけるｐ型ボディ領域ＢＲの外周側端縁ＢＲＯとｎ型ド

リフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ３は、上記の距離Ｌ１とほぼ同じ大きさである。

[0033] これにより図１（Ｂ）に示す中央部の断面構造においては、ｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っている。また図２に示す両端部の少なくとも一部の断面構造においては、ｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っておらず、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉはｎ型ウエル領域ＮＷＲと接している。

[0034] また図１（Ａ）を参照して、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉと外周側端縁ＩＳ１Ｏとの間の平面視における幅において、中央部における素子分離構造ＩＳ１の幅Ｗ１よりも長軸方向の両端部の少なくとも一部（中間部分（コーナー部））における素子分離構造ＩＳ１の幅Ｗ２の方が大きい。

[0035] またゲート電極層ＧＥの内周側端縁ＧＥＩから外周側端縁ＧＥＯへ向かう方向の平面視における幅において、中央部においてゲート電極層ＧＥが素子分離構造ＩＳ１上に乗り上げる長さＧ１は、長軸方向の両端部の少なくとも一部においてゲート電極層ＧＥが素子分離構造ＩＳ１上に乗り上げる長さＧ２と実質的に同じである。

[0036] なお本明細書における平面視とは図１（Ａ）などにおける平面図において見た様子を意味しており、半導体基板ＳＵＢの主表面に対して垂直な方向から見た様子を意味する。また本明細書における平面形状とは、図１（Ａ）などにおける平面図において見た形状を意味しており、半導体基板ＳＵＢの主表面に対して垂直な方向から見た形状を意味する。

[0037] なお、上記における中間部（コーナー部）の長さＧ２は以下のように規定される。

図３を参照して、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉの中間部の円弧の接線Ｄ１－Ｄ１に対する垂線（Ｅ１－Ｅ１線）に沿う、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉとゲート電極層ＧＥの外周側端縁ＧＥＯとの間の距離が長さＧ２とされる。幅Ｗ２および距離Ｌ２も長さＧ２と同様に規定さ

れる。

[0038] 次に、図１（Ｂ）の断面におけるｎ型ドリフト領域ＤＲＩの不純物濃度分布と図２の断面におけるｎ型ドリフト領域ＤＲＩの不純物濃度分布との相違について図４～図９を用いて説明する。

[0039] 図１（Ｂ）の領域Ｒ１を拡大して示す図４における半導体基板ＳＵＢの主表面直下のＡ１－Ａ１線の位置における不純物濃度分布は図６のＡ１－Ａ１線で示され、図４における素子分離構造ＩＳ１直下のＢ１－Ｂ１線の位置における不純物濃度分布は図７のＢ１－Ｂ１線で示される。また図２の領域Ｒ２を拡大して示す図５における半導体基板ＳＵＢの主表面直下のＡ２－Ａ２線の位置における不純物濃度分布は図６のＡ２－Ａ２線で示され、図５における素子分離構造ＩＳ１直下のＢ２－Ｂ２線の位置における不純物濃度分布は図７のＢ２－Ｂ２線で示される。

[0040] 図４に示すようにｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っている場合には、図６から明らかなように、Ａ１－Ａ１線に沿う部分のｎ型不純物濃度（たとえば燐濃度）はゲート電極層ＧＥの下において、最も濃度の高い部分の濃度が最も濃度の低い部分の濃度の６倍以上になっている。つまりゲート電極層ＧＥの下においてｎ型不純物濃度は６倍以上変化している。これに対して図５に示すようにｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っていない場合には、図６から明らかなように、Ａ２－Ａ２線に沿う部分のｎ型不純物濃度（たとえば燐濃度）の変化はせいぜい２倍程度であり、ｎ型不純物濃度はゲート電極層ＧＥの下においてほとんど変化しない。

[0041] また図４に示すようにｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っている場合には、図７から明らかなように、Ｂ１－Ｂ１線に沿う部分のｎ型不純物濃度（たとえば燐濃度）はゲート電極層ＧＥの下において大きく（６倍以上）変化している。また、素子分離構造ＩＳ１の下の内周側端縁ＩＳ１Ｉ近傍においてはＢ１－Ｂ１線に沿う部分のｎ型不純物濃度（たとえば燐濃度）は、ほとんど変化していない。これに対して図

５に示すようにｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っていない場合には、図６から明らかなように、Ｂ２－Ｂ２線に沿う部分のｎ型不純物濃度（たとえば燐濃度）の変化はゲート電極層ＧＥの下において２倍程度であり、ｎ型不純物濃度はゲート電極層ＧＥの下においてほとんど変化していない。むしろＢ２－Ｂ２線に沿う部分のｎ型不純物濃度（たとえば燐濃度）は、素子分離構造ＩＳ１の下の内周側端縁ＩＳ１Ｉ近傍において大きく変化している。

[0042] 図６および図７は、ドーズ量が４×１０^{12}ｃｍ$^{-2}$の条件で燐（Ｐ）をイオン注入してｎ型ドリフト領域ＤＲＩを形成した場合の不純物濃度分布を示している。またドーズ量が８×１０^{12}ｃｍ$^{-2}$の条件で燐（Ｐ）をイオン注入してｎ型ドリフト領域ＤＲＩを形成した場合の不純物濃度分布を図８および図９に示す。図８および図９の不純物濃度の変化は、図６および図７に示す不純物濃度の変化とほぼ同じ傾向を示すことがわかる。

[0043] 図８から明らかなように、ｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っている場合には、Ａ１－Ａ１線に沿う部分のｎ型不純物濃度（たとえば燐濃度）はゲート電極層ＧＥの下において１桁以上（１０倍以上）変化している。また図９から明らかなように、ｎ型ドリフト領域ＤＲＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉを覆っている場合にも、Ｂ１－Ｂ１線に沿う部分のｎ型不純物濃度（たとえば燐濃度）はゲート電極層ＧＥの下において１桁以上（１０倍以上）変化している。

[0044] なお図６～図９の結果は、図４に示すｎ型ドリフト領域ＤＲＩを、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりもｎ$^{+}$ソース領域ＮＳＲ側（図中左側）にたとえば０．１μｍ離れた位置にレジスタパターンの開口端が位置するようにレジストパターンを形成した状態でイオン注入を行って形成した場合の結果である。また図６～図９の結果は、図５に示すｎ型ドリフト領域ＤＲＩを、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりもｎ$^{+}$ドレイン領域ＮＤＲ側（図中右側）にたとえば０．３μｍ離れた位置にレジスタパターンの開口端が位置するようにレジストパターンを形成した状態でイオン注入を行っ

て形成した場合の結果である。

[0045] 次に、本実施の形態の半導体装置の製造方法について説明する。

図１（Ｂ）および図２を参照して、ｐ型の半導体基板ＳＵＢに不純物濃度の低い高耐圧ｎ型ウエル領域ＮＷＲと高耐圧ｐ型ウエル領域ＰＷＲとが形成される。このｎ型ウエル領域ＮＷＲ内の半導体基板ＳＵＢの主表面にｎ型ドリフト領域ＤＲＩが形成され、次いで半導体基板ＳＵＢの主表面に素子分離構造ＩＳ１、ＩＳ２が形成される。

[0046] ｎ型ドリフト領域ＤＲＩは、内周側端縁ＤＲＩＩおよび外周側端縁ＤＲＩＯの各々がたとえば長方形の平面形状となるように形成される。また素子分離構造ＩＳ１は、内周側端縁ＩＳ１Ｉおよび外周側端縁ＩＳ１Ｏの各々がたとえば上記の略トラック形状の平面形状となるように形成される。また素子分離構造ＩＳ２は、内周側端縁ＩＳ２Ｉがたとえば長方形の平面形状となるように形成される。

[0047] またｎ型ドリフト領域ＤＲＩは、平面視において内周側端縁ＤＲＩＩが両端部の少なくとも一部で素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも外周側に位置し、中央部で素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも内周側に位置するように形成される。

[0048] その後、チャネルとなるｐ型ボディ領域ＢＲが形成され、次いでゲート絶縁層ＧＩとゲート電極層ＧＥとが形成される。ｐ型ボディ領域ＢＲは、平面視においてｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩよりも内周に形成される。ゲート電極層ＧＥは、内周側端縁ＧＥＩがたとえば長方形の平面形状となるように、かつ外周側端縁ＧＥＯがたとえば上記の略トラック形状の平面形状となるように形成される。

[0049] このゲート電極層ＧＥなどをマスクとして半導体基板ＳＵＢの主表面にｎ型不純物をイオン注入などをすることにより、n^-領域ＮＬＤが形成される。この後、ゲート電極層ＧＥの側壁を覆うように側壁絶縁層ＳＷが形成される。

[0050] このゲート電極層ＧＥ、側壁絶縁層ＳＷなどをマスクとして半導体基板Ｓ

ＵＢの主表面にｎ型不純物をイオン注入などすることにより、ｎ⁺ドレイン領域ＮＤＲ、複数のｎ⁺ソース領域ＮＳＲが形成される。複数のｎ⁺ソース領域ＮＳＲは、平面視においてゲート電極層ＧＥの内周側端縁ＧＥＩよりも内周に形成される。ｎ⁺ドレイン領域ＮＤＲは、素子分離構造ＩＳ１とＩＳ２との間に形成され、かつ平面視において複数のｎ⁺ソース領域ＮＳＲの外周を取り囲むように形成される。

[0051] また半導体基板ＳＵＢの主表面にｐ型不純物をイオン注入などすることにより、複数のｐ⁺ボディコンタクト領域ＰＢＣ、ｐ⁺コンタクト領域ＰＳＤＲなどが形成される。複数のｐ⁺ボディコンタクト領域ＰＢＣは、平面視においてゲート電極層ＧＥの内周側端縁ＧＥＩよりも内周に形成される。複数のｐ⁺ボディコンタクト領域ＰＢＣの各々は、複数のｎ⁺ソース領域ＮＳＲの各々と交互に配置される。

[0052] このようにして半導体基板ＳＵＢの主表面にラテラル構造の高耐圧ｎＭＩＳトランジスタＴＲが形成される。このｎＭＩＳトランジスタＴＲなどを覆うように半導体基板ＳＵＢの主表面上に層間絶縁層（図示せず）が形成される。この層間絶縁層に、ｎ⁺ドレイン領域ＮＤＲ、ｎ⁺ソース領域ＮＳＲ、ｐ⁺ボディコンタクト領域ＰＢＣ、ゲート電極層ＧＥの各々に達するコンタクトホールが形成される。このコンタクトホール内を埋め込むようにプラグ層ＰＬが形成される。このプラグ層ＰＬに接するように層間絶縁層上に配線層ＩＣＬが形成される。上記のようにして本実施の形態の半導体装置が製造される。

[0053] 次に、本実施の形態の半導体装置の作用効果について比較例と対比して説明する。

図１０（Ａ）、図１０（Ｂ）および図１１に示す比較例の構成は、本実施の形態の構成と比較して、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩ、素子分離構造ＩＳ１の外周側端縁ＩＳ１Ｏおよび素子分離構造ＩＳ２の内周側端縁ＩＳ２Ｉの各々の平面形状が長方形状ではなく、両端部の中間部分（コーナー部）がラウンド形状（円弧）となった略トラック形状を有する点に

おいて異なっている。

[0054] このため、平面視において比較例のｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩは素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも常に内周側に位置している。そして中央部におけるｐ型ボディ領域ＢＲの外周側端縁ＢＲＯとｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ１は、中間部分におけるｐ型ボディ領域ＢＲの外周側端縁ＢＲＯとｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ２とほぼ同じ大きさである。また両端部の中央箇所におけるｐ型ボディ領域ＢＲの外周側端縁ＢＲＯとｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ３は、上記の距離Ｌ１とほぼ同じ大きさである。

[0055] また素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉと外周側端縁ＩＳ１Ｏとの間の平面視における幅において、中央部における素子分離構造ＩＳ１の幅Ｗ１は、長軸方向の両端部の少なくとも一部における素子分離構造ＩＳ１の幅Ｗ２とほぼ同じ大きさである。

[0056] なお比較例の上記以外の構成は本実施の形態の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

[0057] この比較例において、オフ時においてn^+ドレイン領域ＮＤＲに正の電圧が印加される場合、中央のｐ型ボディ領域ＢＲとｎ型ウエル領域ＮＷＲとのｐｎ接合部からドレイン側のｎ型ドリフト領域ＤＲＩへ空乏層が伸びていく。この際、図１０（Ａ）における両端部の中間部分（コーナー部）においては空乏層内で電界が集中し、オフ耐圧が低下する。

[0058] これに対して本実施の形態においては、平面視においてｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩは、両端部の中間部分（コーナー部）で素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも外周側に位置している。これにより、上記の距離Ｌ１よりも上記の距離Ｌ２の方が大きくなっている。

[0059] このため、n^+ドレイン領域ＮＤＲに正の電圧が印加されて、中央のｐ型ボディ領域ＢＲとｎ型ウエル領域ＮＷＲとのｐｎ接合部からｎ型ドリフト領域ＤＲＩへ空乏層が伸びていく際に、中間部分（コーナー部）では中央部より

も空乏層を広く延ばすことができる。これにより、中間部分（コーナー部）の空乏層内で電界が集中することを抑制（緩和）でき、オフ耐圧を比較例よりも向上させることができる。

[0060] また本実施の形態の図１（Ｂ）に示す中央部ではｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも内周側に位置しており、ゲート絶縁層ＧＩと接する構造になっている。これに対して本実施の形態の図２に示す両端部の中間部分（コーナー部）ではｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも外周側に位置している。このため、中間部分（コーナー部）においてゲート電極層ＧＥの直下における素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉでの電界集中も緩和でき、さらにオフ耐圧を向上させることができる。

[0061] また本実施の形態では、中央部における素子分離構造ＩＳ１の幅Ｗ１よりも両端部の中間部分（コーナー部）における素子分離構造ＩＳ１の幅Ｗ２の方が大きい。このため、中間部分（コーナー部）においてドレイン電圧による電界が十分に緩和され、オフ耐圧がさらに向上する。

[0062] また本実施の形態では、中央部においてはｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも内周側に位置している。これにより、上記の距離Ｌ１は、上記の距離Ｌ２よりも小さくなっている。このため、中央部ではオン抵抗を低減することができる。

[0063] 次に、本発明者が本実施の形態の構成と比較例Ａの構成との各々についてオフ耐圧を調べた結果について説明する。

[0064] 本発明者は比較例Ａと本実施の形態とについてオフ耐圧を調べた。ここで比較例Ａは、図１（Ａ）、図１（Ｂ）および図２に示した本実施の形態の構成においてｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩの中間部分（コーナー部）が図１０（Ａ）、図１０（Ｂ）および図１１に示す比較例のようにラウンド形状となった構成を有している。それ以外の比較例Ａの構成は本実施の形態の構成とほぼ同じであるため、その説明を繰り返さない。

[0065] また本実施の形態の構成および比較例Ａの構成の各々において、ｎ型ウエル領域ＮＷＲは１．５×１０^{12}ｃｍ$^{-2}$のドーズ量で形成した。またｎ型ドリフト領域ＤＲＩは７×１０^{12}ｃｍ$^{-2}$のドーズ量で形成した。

[0066] 図１２の結果から、本実施の形態の構成では比較例Ａに比較して高いオフ耐圧が得られることが分かった。また本実施の形態の構成においては、ｎ型ドリフト領域ＤＲＩおよびｎ型ウエル領域ＮＷＲの双方の濃度が低いほどオフ耐圧が向上することが分かった。

[0067] 次に、本発明者がｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩと素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉとの位置関係を変えた場合にオフ耐圧がどのように変化するかを調べた結果について説明する。

[0068] 本発明者は、図１３に示すような構成においてｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩの位置を素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉの位置に対して変え、その各位置でのオフ耐圧を測定した。

[0069] 測定に用いた図１３に示す構成は、図１（Ｂ）の領域Ｒ１付近の構成に対応している。なお図１３のｎ$^{-}$領域ＮＬＤは図１（Ｂ）のｎ$^{-}$領域ＮＬＤと実質的に同じ領域であり、図１３のｐ$^{+}$ボディコンタクト領域ＰＢＣは図２のｐ$^{+}$ボディコンタクト領域ＰＢＣと実質的に同じ領域である。

[0070] またｎ型ウエル領域ＮＷＲは１．５×１０^{12}ｃｍ$^{-2}$のドーズ量で形成した。またｎ型ドリフト領域ＤＲＩは７×１０^{12}ｃｍ$^{-2}$のドーズ量で形成した。この構成を用いて測定した結果を図１４に示す。

[0071] なお図１４においては、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩの位置が、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉの位置よりもｎ$^{+}$ソース領域ＮＳＲ側にあるときは符号「＋」で表し、ｎ$^{+}$ドレイン領域ＮＤＲ側にあるときは符号「－」で表している。

[0072] 図１４の結果から、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩの位置が、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉの位置よりもｎ$^{+}$ドレイン領域ＮＤＲ側に位置するほどオフ耐圧が向上することが分かった。またｎ型ドリフト領域ＤＲＩおよびｎ型ウエル領域ＮＷＲの双方の濃度が低いほどオフ耐

圧が向上することが分かった。

[0073] （実施の形態２）

図１５（Ａ）、図１５（Ｂ）および図１６を参照して、本実施の形態の構成は、実施の形態１の構成と比較して、平面視においてゲート電極層ＧＥの外周側端縁ＧＥＯの形状が長方形状である点において異なっている。

[0074] 本実施の形態では、上記の構成によりゲート電極層ＧＥの内周側端縁ＧＥＩから外周側端縁ＧＥＯへ向かう方向の平面視における幅において、中央部においてゲート電極層ＧＥが素子分離構造ＩＳ１上に乗り上げる長さＧ１よりも、長軸方向の両端部の少なくとも一部（中間部分（コーナー部））においてゲート電極層ＧＥが素子分離構造ＩＳ１上に乗り上げる長さＧ２の方が大きい。

[0075] なお本実施の形態の上記以外の構成は実施の形態１の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

[0076] 本実施の形態によれば、中央部においてゲート電極層ＧＥが素子分離構造ＩＳ１上に乗り上げる長さＧ１よりも、両端部の中間部分（コーナー部）においてゲート電極層ＧＥが素子分離構造ＩＳ１上に乗り上げる長さＧ２の方が大きい。このため、その中間部分（コーナー部）においてＲＥＳＵＲＦ効果でゲート電界による空乏層が伸びやすくなる。よって、この長さＧ２を最適化することにより、実施の形態１よりもさらにオフ耐圧を向上させることができる。

[0077] （実施の形態３）

図１７（Ａ）、図１７（Ｂ）および図１８を参照して、本実施の形態の構成は、実施の形態１の構成と比較して、平面視においてｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩが両端部の中央箇所において素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも外周側に位置している点において異なっている。

[0078] 本実施の形態では、上記の構成により両端部の中央箇所におけるｐ型ボデ

ィ領域ＢＲの外周側端縁ＢＲＯとｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ３は、中央部におけるｐ型ボディ領域ＢＲの外周側端縁ＢＲＯとｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩとの距離Ｌ１よりも大きくなっている。

[0079] また上記の構成により、両端部の中央箇所においても、図１８に示す中間部分（コーナー部）と同様に素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉは、ｎ型ドリフト領域ＤＲＩによって覆われておらず、ｎ型ウエル領域ＮＷＲと接している。

[0080] なお本実施の形態の上記以外の構成は実施の形態１の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

[0081] 本実施の形態によれば、両端部の中間部分（コーナー部）だけでなく中央箇所（直線部）においてもｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩが素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも外周側に位置している。このため、中央箇所においても電界集中によるオフ耐圧の低下を抑制することができる。

[0082] 上記の実施の形態１～３においては、素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉの平面形状が、中央部および両端部の中央箇所が直線形状よりなり、中間部分がラウンド形状よりなる略トラック形状の場合について説明した。しかし素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉの平面形状は、平面視において互いに直交する長軸方向と短軸方向とにおいて短軸方向よりも長軸方向に長く延びる平面形状を有していればよい。素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉの平面形状は、上記の略トラック形状以外に、たとえば中央部が直線形状よりなり両端部の各々が半円形状よりなるトラック形状であってもよく、また楕円形状であってもよい。楕円形状の場合、楕円の２つの焦点の間が上記の中央部に該当し、その焦点よりも長軸方向外側が上記の端部に該当する。

[0083] また実施の形態１～３のｐ型ボディ領域ＢＲの外周側端縁ＢＲＯ、実施の

形態１のゲート電極層ＧＥの外周側端縁ＧＥＯ、実施の形態２の素子分離構造ＩＳ１の外周側端縁ＩＳ１Ｏ、および素子分離構造ＩＳ２の内周側端縁ＩＳ２Ｉも、上記の略ラウンド形状に限定されるものではない。これらの外周側端縁ＢＲＯ、ＧＥＯ、ＩＳ１Ｏおよび内周側端縁ＩＳ２Ｉの各々は、平面視において互いに直交する長軸方向と短軸方向とにおいて短軸方向よりも長軸方向に長く延びる平面形状を有していればよく、たとえばトラック形状、楕円形状などであってもよい。

[0084] また上記の実施の形態１～３においては、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩの平面形状が長方形状である場合について説明した。しかし、ｎ型ドリフト領域ＤＲＩの内周側端縁ＤＲＩＩの平面形状は、上記長軸方向の両端部の少なくとも一部で素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも外周側に位置し、両端部に挟まれる長軸方向の中央部で素子分離構造ＩＳ１の内周側端縁ＩＳ１Ｉよりも内周側に位置する形状であれば如何なる形状であってもよい。また上記において長方形状とは、長方形の角部が微視的に見てラウンドしているものも含む。

[0085] また実施の形態１～３においてｎ$^+$ドレイン領域ＮＤＲ、ｎ$^+$ソース領域ＮＳＲ、ｐ$^+$ボディコンタクト領域ＰＢＣおよびゲート電極層ＧＥの各々の表面上にシリサイドが形成されていなくてもよい。またｎ$^+$ソース領域ＮＳＲやボディコンタクト領域ＰＢＣの横のｎ$^-$領域ＮＬＤは省略されてもよい。

[0086] また実施の形態１～３においてはＭＩＳトランジスタＴＲについて説明したが、トランジスタは、ゲート絶縁層ＧＩがシリコン酸化膜よりなるＭＯＳトランジスタであってもよい。

[0087] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0088] 本発明は、ラテラル構造のトランジスタを有する半導体装置に特に有利に

適用され得る。

符号の説明

[0089] ＢＲ　ｐ型ボディ領域、ＢＲＯ，ＤＲＩＯ，ＧＥＯ，ＩＳ１Ｏ　外周側端縁、ＤＲＩ　ｎ型ドリフト領域、ＤＲＩＩ，ＧＥＩ，ＩＳ１Ｉ，ＩＳ２Ｉ　内周側端縁、ＧＥ　ゲート電極層、ＧＩ　ゲート絶縁層、ＩＣＬ　配線層、ＩＬ　絶縁層、ＩＳ１，ＩＳ２　素子分離構造、ＬＮＷ　ｎ型領域、ＮＤＲ　n^+ドレイン領域、ＮＬＤ　n^-領域、ＰＲ　p^-領域、ＮＳＲ　n^+ソース領域、ＮＷＲ　ｎ型ウエル領域、ＰＢＣ　ボディコンタクト領域、ＰＬ　プラグ層、ＰＳＤＲ　コンタクト領域、ＰＷＲ　ｐ型ウエル領域、ＳＣ　シリサイド層、ＳＵＢ　半導体基板、ＳＷ　側壁絶縁層、ＴＲ　ＭＩＳトランジスタ、ＴＲＥ　溝。

請求の範囲

[請求項1] 主表面を有する半導体基板（ＳＵＢ）と、

前記主表面に配置された第１導電型のソース領域（ＮＳＲ）と、

平面視において前記ソース領域（ＮＳＲ）の周囲を取り囲むように前記半導体基板（ＳＵＢ）内に配置された第２導電型のボディ領域（ＢＲ）と、

平面視において前記ボディ領域（ＢＲ）と間隔をあけて前記ボディ領域（ＢＲ）の周囲を取り囲むように配置された素子分離構造（ＩＳ１）と、

平面視において前記ボディ領域（ＢＲ）と間隔をあけて前記ボディ領域（ＢＲ）の周囲を取り囲むように、かつ前記素子分離構造（ＩＳ１）の下面に接するように前記半導体基板（ＳＵＢ）内に配置された第１導電型のドリフト領域（ＤＲＩ）と、

平面視において前記ソース領域（ＮＳＲ）の周囲を取り囲み、かつ前記ボディ領域（ＢＲ）上および前記素子分離構造（ＩＳ１）上に配置されたゲート電極層（ＧＥ）とを備え、

前記ドリフト領域（ＤＲＩ）の内周側端縁（ＤＲＩＩ）および前記素子分離構造（ＩＳ１）の内周側端縁（ＩＳ１Ｉ）の各々は、平面視にて互いに直交する長軸方向と短軸方向とにおいて前記短軸方向よりも前記長軸方向に長く延びる平面形状を有し、

平面視において前記ドリフト領域（ＤＲＩ）の前記内周側端縁（ＤＲＩＩ）は、前記長軸方向の両端部の少なくとも一部で前記素子分離構造（ＩＳ１）の前記内周側端縁（ＩＳ１Ｉ）よりも外周側に位置し、かつ前記両端部に挟まれる前記長軸方向の中央部で前記素子分離構造（ＩＳ１）の前記内周側端縁（ＩＳ１Ｉ）よりも内周側に位置している、半導体装置。

[請求項2] 前記長軸方向の両端部の少なくとも一部における前記ドリフト領域（ＤＲＩ）の前記内周側端縁（ＤＲＩＩ）と前記ボディ領域（ＢＲ）

の外周側端縁（ＢＲＯ）との間の距離（Ｌ２）は、前記中央部における前記ドリフト領域（ＤＲＩ）の前記内周側端縁（ＤＲＩＩ）と前記ボディ領域（ＢＲ）の前記外周側端縁（ＢＲＯ）との間の距離（Ｌ１）よりも大きい、請求項１に記載の半導体装置。

[請求項3] 前記素子分離構造（ＩＳ１）の前記内周側端縁（ＩＳ１Ｉ）と前記外周側端縁（ＩＳ１Ｏ）との間の平面視における幅において、前記中央部における前記素子分離構造（ＩＳ１）の幅（Ｗ１）よりも前記長軸方向の両端部の少なくとも一部における前記素子分離構造（ＩＳ１）の幅（Ｗ２）の方が大きい、請求項１に記載の半導体装置。

[請求項4] 前記長軸方向の前記両端部は、前記長軸方向の端となる中央箇所と、前記中央箇所および前記中央部の間に位置する中間部分とを含み、

前記長軸方向の前記中央箇所においては前記ドリフト領域（ＤＲＩ）の前記内周側端縁（ＤＲＩＩ）は前記素子分離構造（ＩＳ１）の内周側端縁（ＩＳ１Ｉ）よりも内周側に位置し、前記中間部分においては前記ドリフト領域（ＤＲＩ）の前記内周側端縁（ＤＲＩＩ）は前記素子分離構造（ＩＳ１）の内周側端縁（ＩＳ１Ｉ）よりも外周側に位置する部分を有している、請求項１に記載の半導体装置。

[請求項5] 前記長軸方向の前記両端部は、前記長軸方向の端となる中央箇所と、前記中央箇所および前記中央部の間に位置する中間部分とを含み、

前記長軸方向の前記中央箇所および前記中間部分の双方において前記ドリフト領域（ＤＲＩ）の前記内周側端縁（ＤＲＩＩ）は前記素子分離構造（ＩＳ１）の内周側端縁（ＩＳ１Ｉ）よりも外周側に位置している、請求項１に記載の半導体装置。

[請求項6] 前記ゲート電極層（ＧＥ）の内周側端縁（ＧＥＩ）から外周側端縁（ＧＥＯ）へ向かう方向の平面視における幅において、前記中央部において前記ゲート電極層（ＧＥ）が前記素子分離構造（ＩＳ１）上に乗り上げる長さ（Ｇ１）よりも、前記長軸方向の両端部の少なくとも一部において前記ゲート電極層（ＧＥ）が前記素子分離構造（ＩＳ１

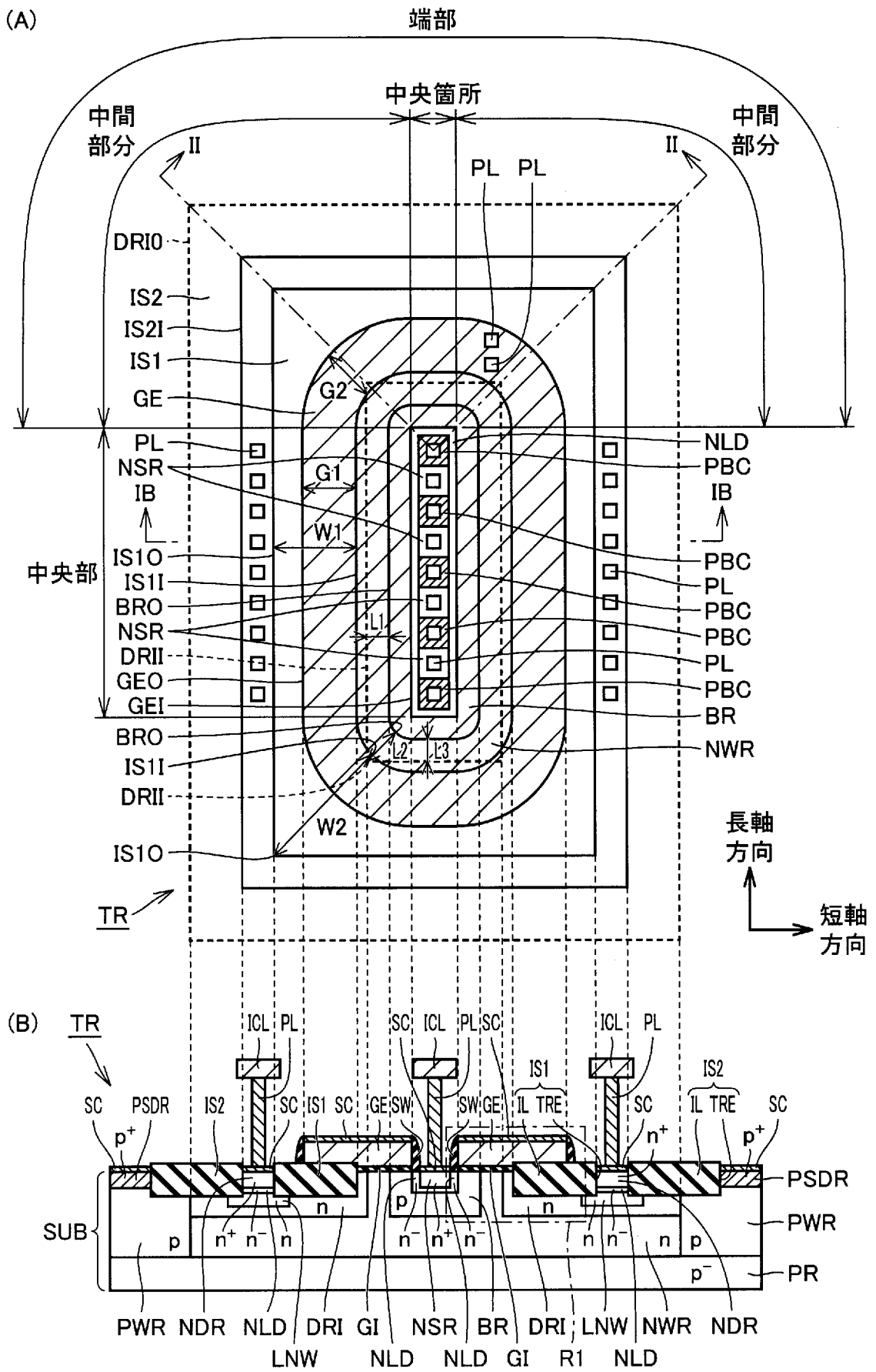
）上に乗り上げる長さ（Ｇ２）の方が大きい、請求項１に記載の半導体装置。

[請求項7] 前記ドリフト領域（ＤＲＩ）の内周側端縁（ＤＲＩＩ）は、長方形の平面形状を有し、

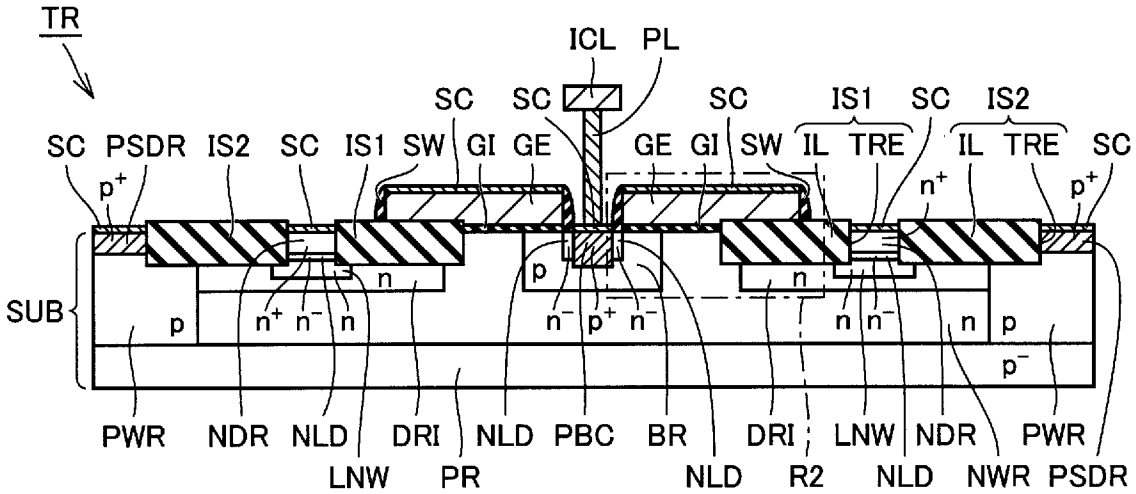
前記素子分離構造（ＩＳ１）の前記内周側端縁（ＩＳ１Ｉ）は、長方形の角部となるべき部分がラウンド形状となった平面形状を有する、請求項１に記載の半導体装置。

[請求項8] 前記ドリフト領域（ＤＲＩ）と接するように前記半導体基板（ＳＵＢ）内の前記主表面に配置され、かつ前記ドリフト領域（ＤＲＩ）よりも高い第１導電型の不純物濃度を有する第１導電型のドレイン領域（ＮＤＲ）をさらに備えた、請求項１に記載の半導体装置。

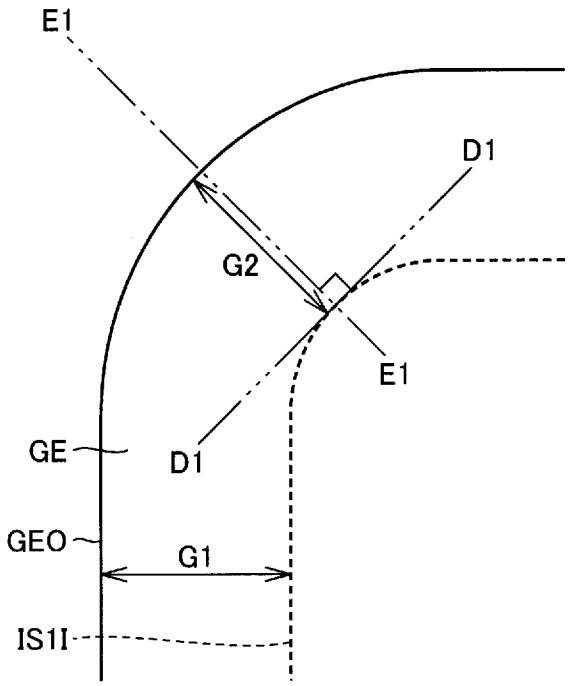
[図1]


(A)
端部
中央箇所
中間部分
中間部分
II
II
PL PL
DRI0
IS2
IS2I
IS1
GE
G2
G1
W1
L1
L2
L3
W2
PL
NSR
IB
中央部
IS1O
IS1I
BRO
NSR
DRII
GEO
GEI
BRO
IS1I
DRII
IS1O
TR
NLD
PBC
IB
PBC
PL
PBC
PBC
PL
PBC
BR
NWR
長軸方向
短軸方向
(B)
TR
ICL PL
SC ICL PL SC
ICL PL
IS1
IS2
SC PSDR
IS2
SC IS1 SC
GE SW
SW GE
IL TRE
SC
IL TRE
SC
p+
n+
p+
PSDR
PWR
PR
SUB
n
p
n+ n− n
n− n+ n−
n n− n
p
p−
PWR NDR NLD DRI GI NSR BR DRI LNW NWR NDR
LNW NLD NLD GI R1 NLD

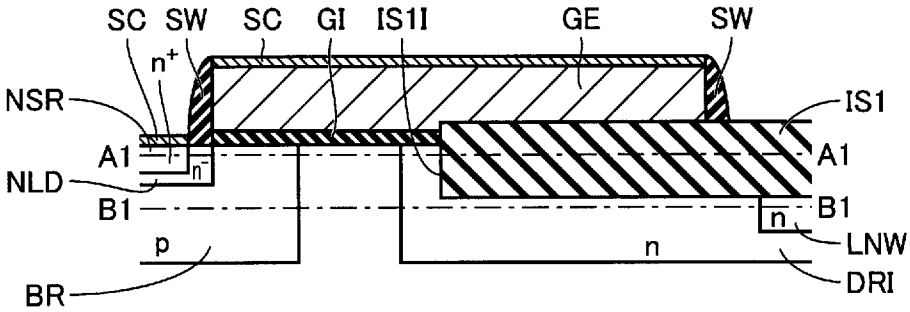
[図2]


TR
ICL
PL
SC
SC
SC
IS1
SC
IS2
SC
PSDR
IS2
SC
IS1
SW
GI
GE
GE
GI
SW
IL
TRE
IL
TRE
SC
p+
n+
p+
SUB
p
n
p
n
n
p
n+
n−
n
n−
p+
n−
n
n−
n
p
p−
PWR
NDR
NLD
DRI
NLD
PBC
BR
DRI
LNW
NDR
PWR
LNW
PR
NLD
R2
NLD
NWR
PSDR

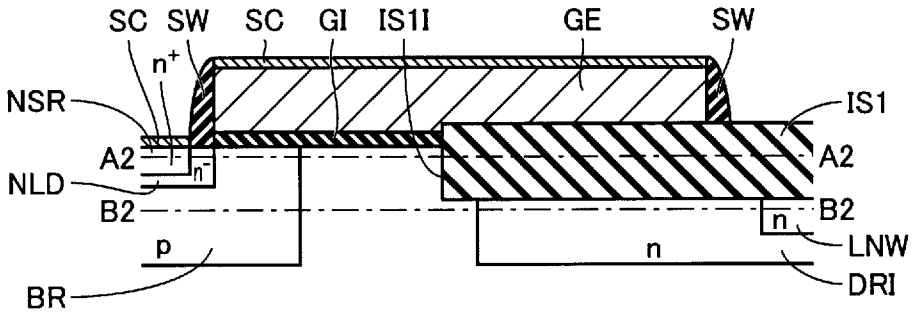
[図3]


E1
D1
G2
E1
GE
D1
GEO
G1
IS1I

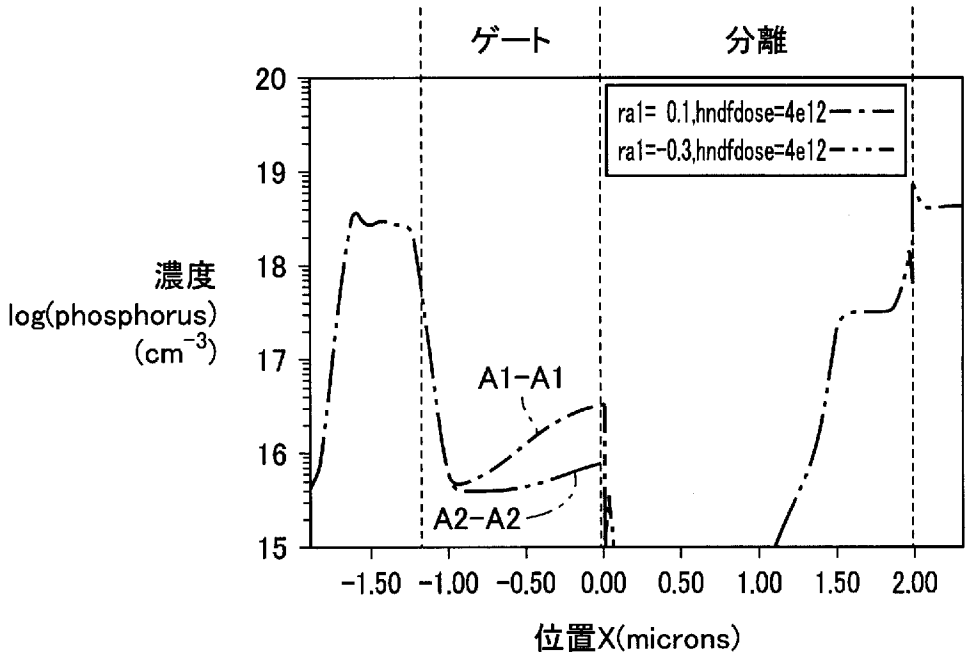
[図4]


SC
SW
SC
GI
IS1I
GE
SW
n+
NSR
IS1
A1
A1
n-
NLD
B1
B1
n
LNW
p
n
BR
DRI

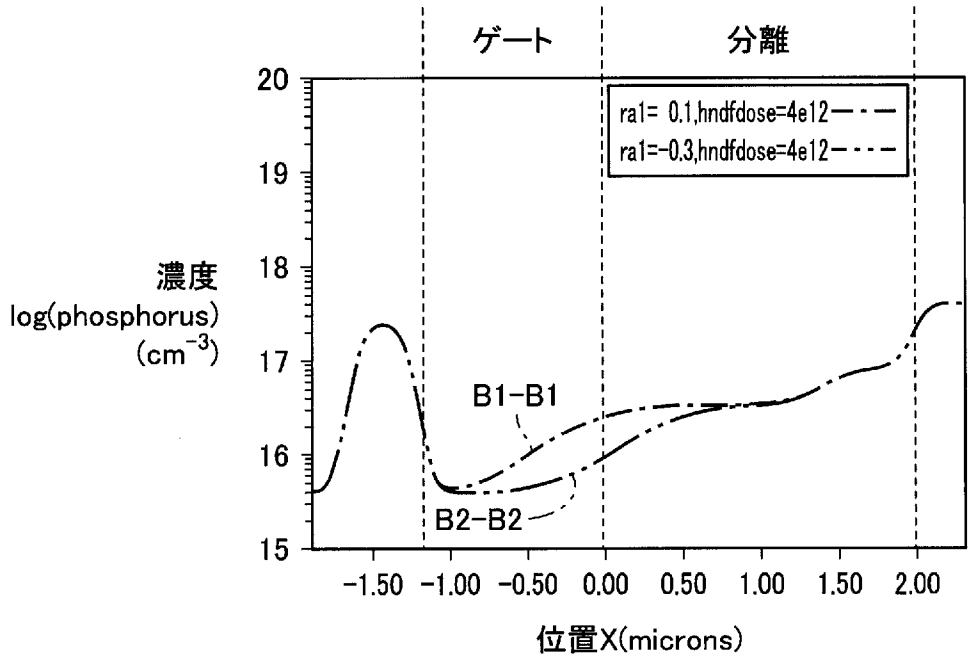
[図5]


SC
SW
SC
GI
IS1I
GE
SW
n+
NSR
IS1
A2
A2
n-
NLD
B2
B2
n
LNW
p
n
BR
DRI

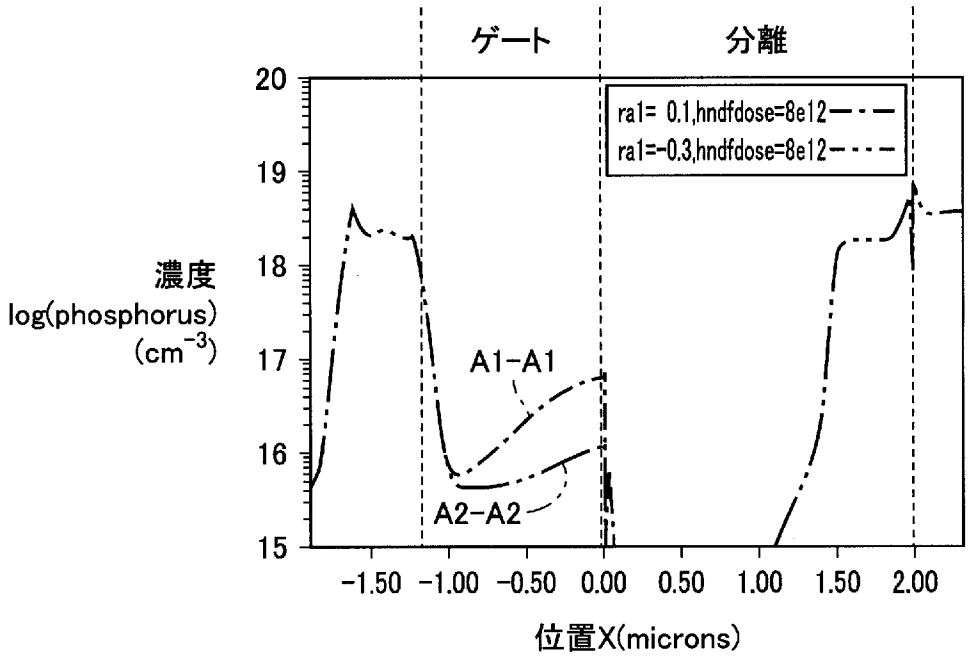
[図6]


ゲート
分離
ra1= 0.1,hndfdose=4e12
ra1=-0.3,hndfdose=4e12
A1-A1
A2-A2
濃度
log(phosphorus)
(cm^{-3})
20
19
18
17
16
15
-1.50 -1.00 -0.50 0.00 0.50 1.00 1.50 2.00
位置X(microns)

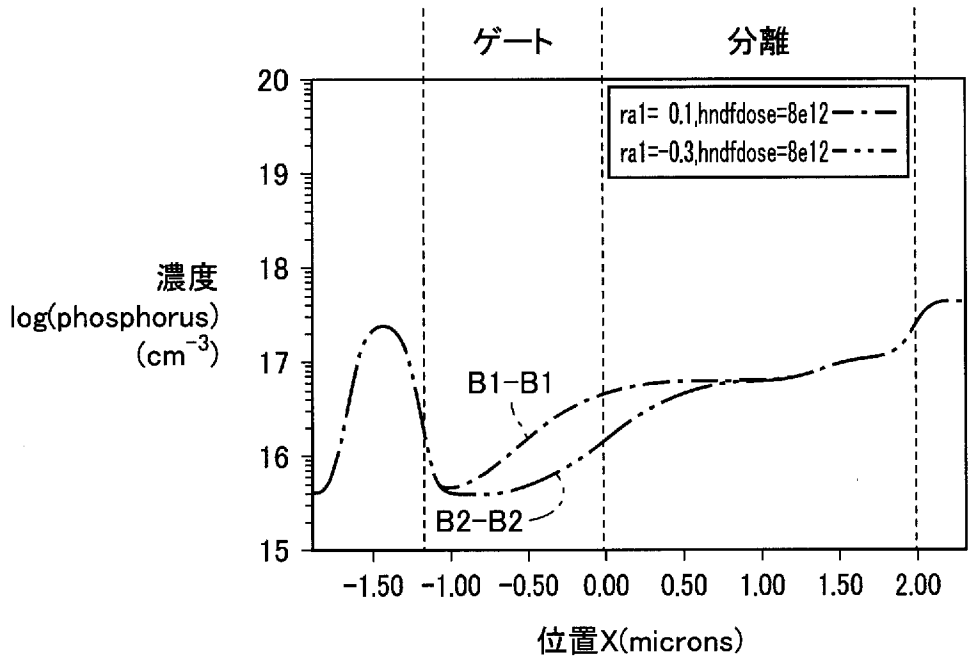
[図7]


ゲート
分離
ra1= 0.1,hndfdose=4e12
ra1=-0.3,hndfdose=4e12
B1-B1
B2-B2
濃度
log(phosphorus)
(cm^{-3})
20
19
18
17
16
15
-1.50 -1.00 -0.50 0.00 0.50 1.00 1.50 2.00
位置X(microns)

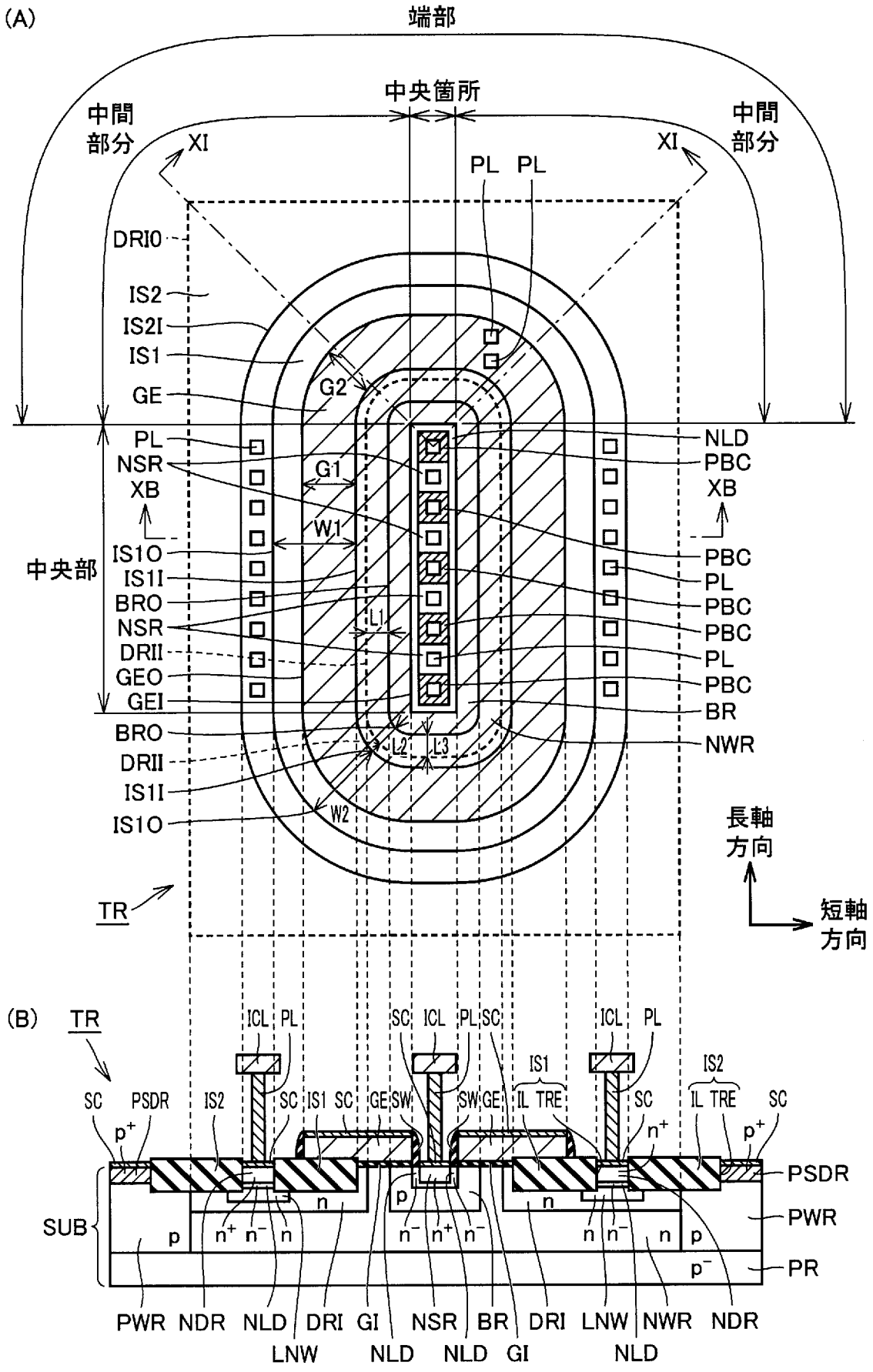
[図8]


ゲート
分離
ra1= 0.1,hndfdose=8e12
ra1=-0.3,hndfdose=8e12
濃度
log(phosphorus)
(cm-3)
A1-A1
A2-A2
20
19
18
17
16
15
-1.50 -1.00 -0.50 0.00 0.50 1.00 1.50 2.00
位置X(microns)

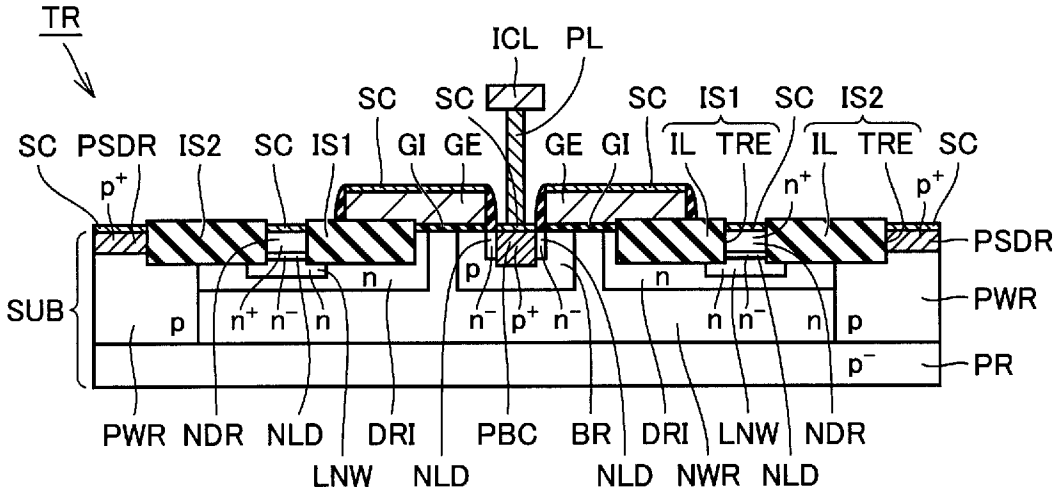
[図9]


ゲート
分離
ra1= 0.1,hndfdose=8e12
ra1=-0.3,hndfdose=8e12
濃度
log(phosphorus)
(cm-3)
B1-B1
B2-B2
20
19
18
17
16
15
-1.50 -1.00 -0.50 0.00 0.50 1.00 1.50 2.00
位置X(microns)

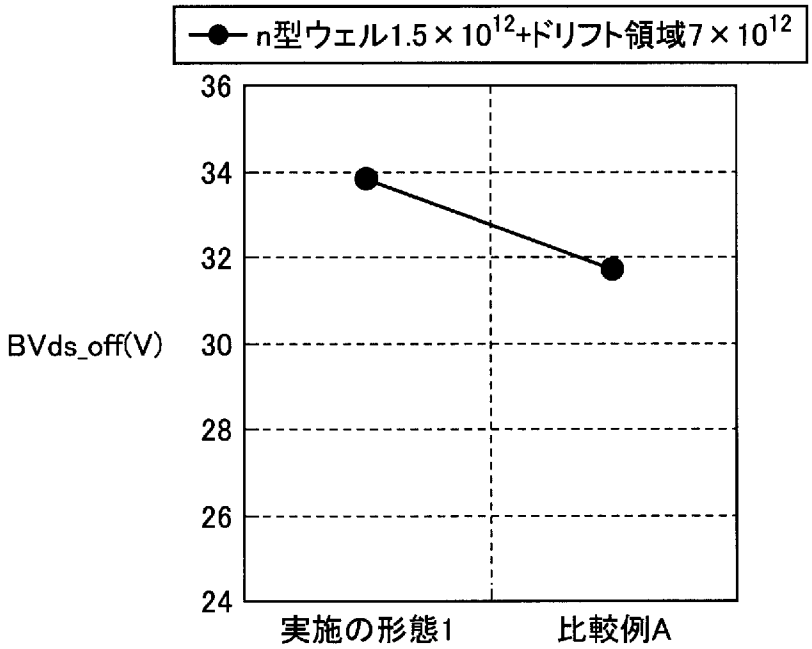
[図10]


(A)
端部
中央箇所
中間部分
中間部分
XI
XI
PL PL
DRI0
IS2
IS2I
IS1
GE
G2
PL
NSR
XB
G1
W1
中央部
IS1O
IS1I
BRO
NSR
DRII
GEO
GEI
BRO
DRII
IS1I
IS1O
W2
L1
L2
L3
NLD
PBC
XB
PBC
PL
PBC
PBC
PL
PBC
BR
NWR
TR
長軸方向
短軸方向
(B)
TR
ICL PL
SC ICL PL SC
ICL PL
IS1
IS2
SC PSDR
IS2
SC IS1 SC GE SW
SW GE
IL TRE
SC
IL TRE
SC
p+
n+
p+
PSDR
PWR
PR
SUB
p
n
p
n
n
p
n
p
n+ n− n
n− n+ n−
n n− n
p−
PWR NDR NLD DRI GI NSR BR DRI LNW NWR NDR
LNW NLD NLD GI NLD

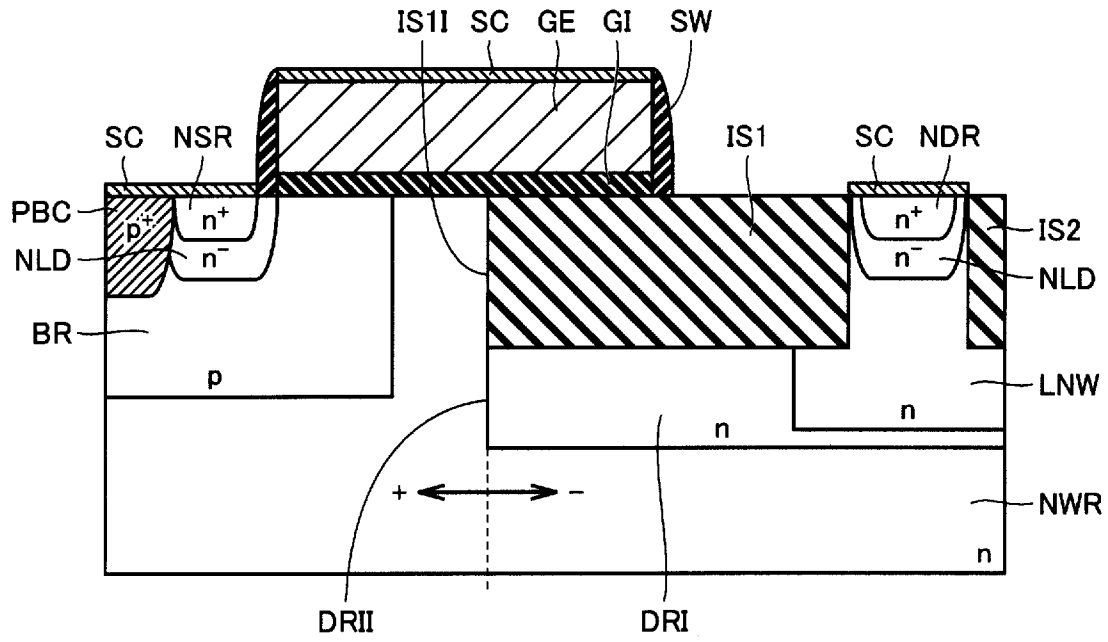
[図11]


TR
ICL
PL
SC
SC
SC
IS1
SC
IS2
SC
PSDR
IS2
SC
IS1
GI
GE
GE
GI
IL
TRE
IL
TRE
SC
p+
n+
p+
PSDR
PWR
PR
SUB
p
n
p
n
p
n+
n−
n
n−
p+
n−
n
n−
n
p
p−
PWR
NDR
NLD
DRI
PBC
BR
DRI
LNW
NDR
LNW
NLD
NLD
NWR
NLD

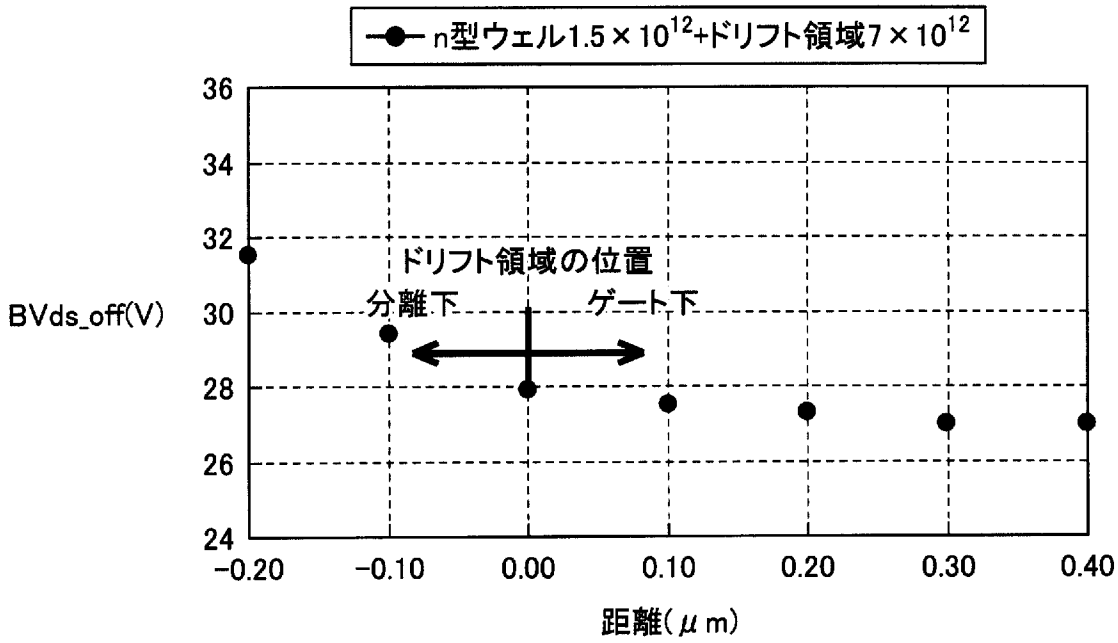
[図12]


n型ウェル1.5×10^12+ドリフト領域7×10^12
BVds_off(V)
36
34
32
30
28
26
24
実施の形態1
比較例A

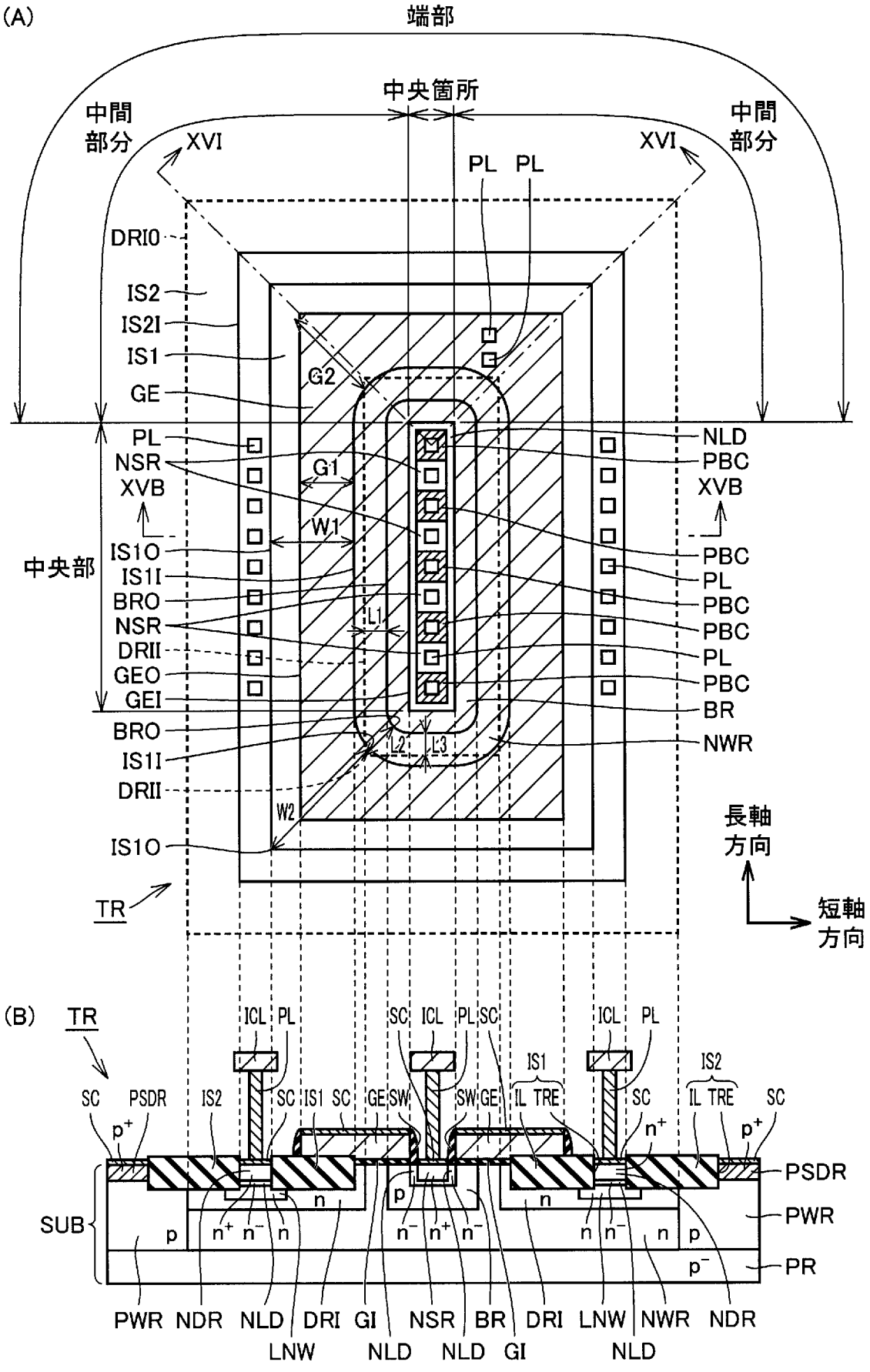
[図13]


IS1I
SC
GE
GI
SW
SC
NSR
IS1
SC
NDR
PBC
NLD
BR
p+
n+
n−
p
n+
n−
IS2
NLD
LNW
n
n
+
−
NWR
n
DRII
DRI

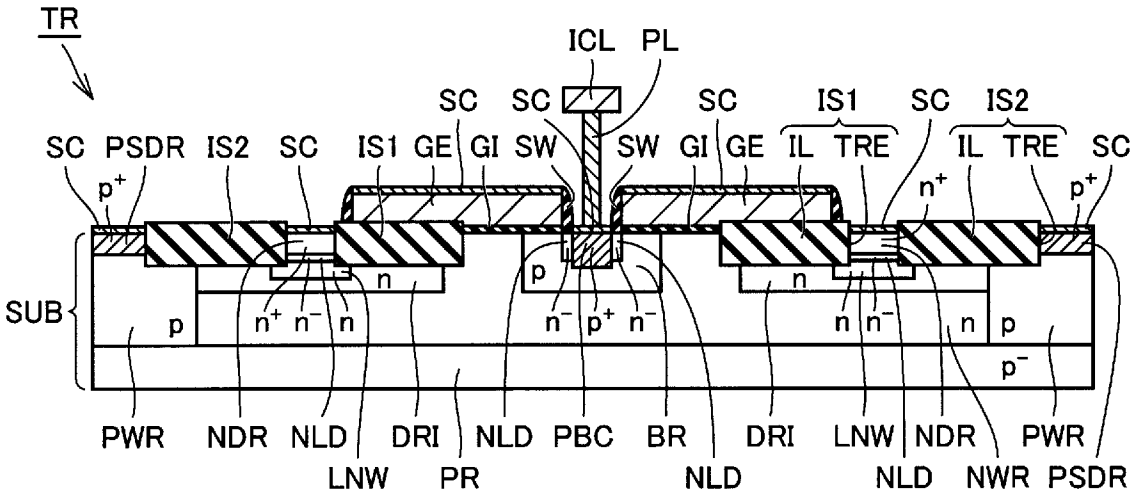
[図14]


n型ウェル1.5×10^12+ドリフト領域7×10^12
BVds_off(V)
36
34
32
30
28
26
24
ドリフト領域の位置
分離下
ゲート下
−0.20
−0.10
0.00
0.10
0.20
0.30
0.40
距離(μm)

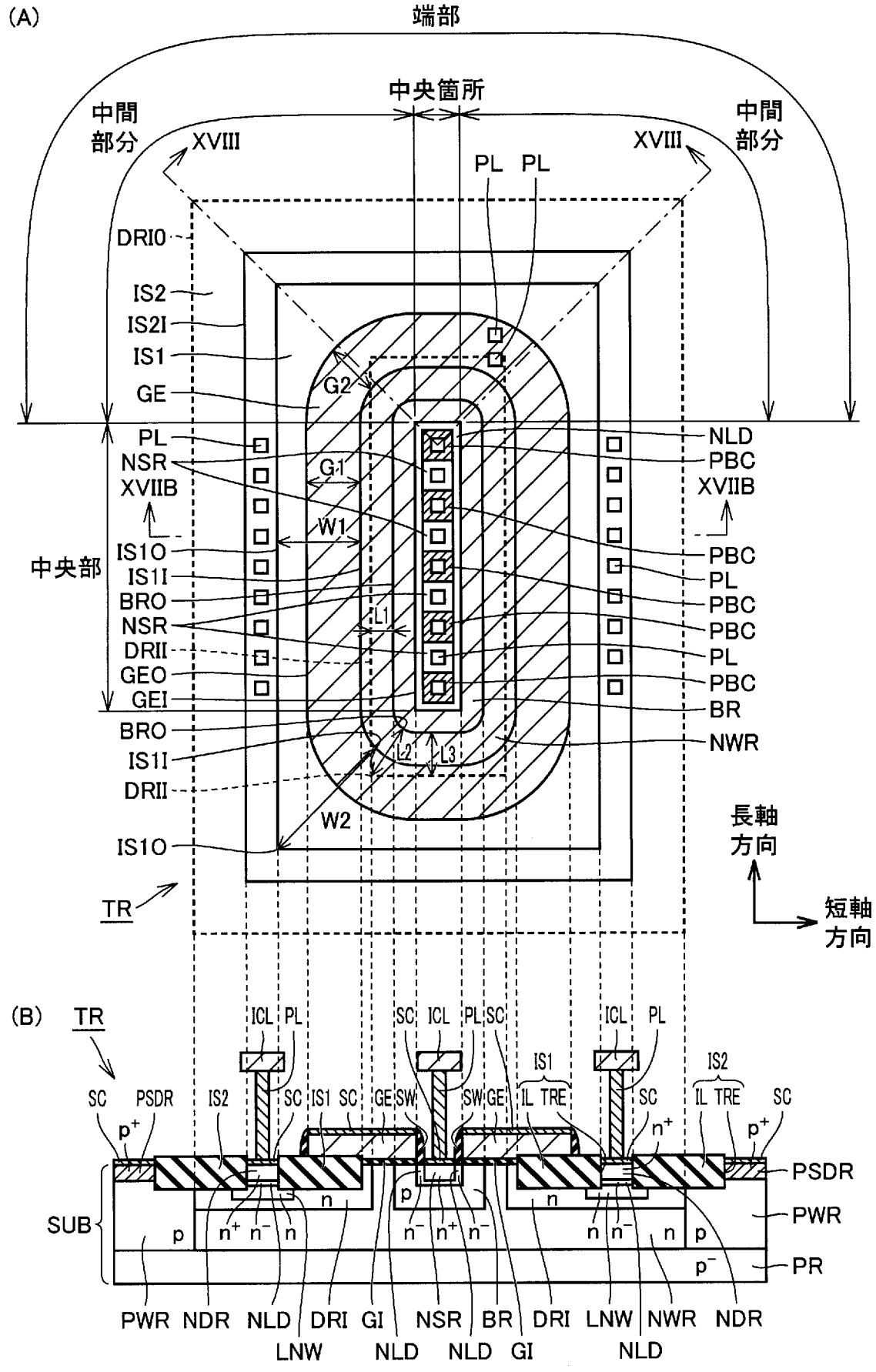
[図15]


(A)
端部
中央箇所
中間部分
中間部分
XVI
XVI
PL PL
DRI0
IS2
IS2I
IS1
GE
G2
G1
W1
L1
L2
L3
W2
PL
NSR
XVB
中央部
IS1O
IS1I
BRO
NSR
DRII
GEO
GEI
BRO
IS1I
DRII
IS1O
TR
NLD
PBC
XVB
PBC
PL
PBC
PBC
PL
PBC
BR
NWR
長軸方向
短軸方向
(B)
TR
ICL PL
SC ICL PL SC
ICL PL
IS1
IS2
SC PSDR
IS2
SC IS1 SC GE SW
SW GE
IL TRE
SC
IL TRE
SC
p+
n+
p+
PSDR
PWR
PR
SUB
n
p
n+ n− n
n− n+ n−
n n− n p
p−
PWR NDR NLD DRI GI NSR BR DRI LNW NWR NDR
LNW NLD NLD GI NLD

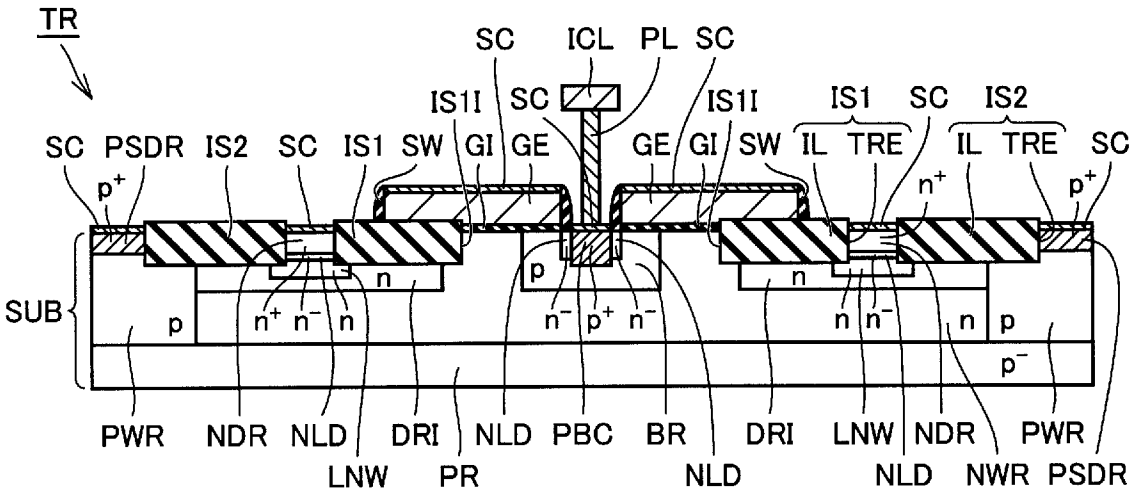
[図16]


TR
ICL
PL
SC
SC
SC
IS1
SC
IS2
SC
PSDR
IS2
SC
IS1
GE
GI
SW
SW
GI
GE
IL
TRE
IL
TRE
SC
p+
n+
p+
SUB
p
n
p
n
n+
n−
n
n−
p+
n−
n
n−
n
p
p−
PWR
NDR
NLD
LNW
DRI
PR
NLD
PBC
BR
NLD
DRI
LNW
NLD
NDR
NWR
PWR
PSDR

[図17]


(A)
端部
中央箇所
中間部分
中間部分
XVIII
XVIII
PL PL
DRI0
IS2
IS2I
IS1
GE
G2
PL
NSR
XVIIB
G1
W1
中央部
IS1O
IS1I
BRO
NSR
DRII
GEO
GEI
BRO
IS1I
DRII
W2
IS1O
TR
NLD
PBC
XVIIB
PBC
PL
PBC
PBC
PL
PBC
BR
NWR
L1
L2
L3
長軸方向
短軸方向
(B)
TR
ICL PL
SC ICL PL SC
ICL PL
IS1
IS2
SC PSDR
IS2
SC IS1 SC
GE SW
SW GE
IL TRE
SC
IL TRE
SC
p+
n+
p+
PSDR
SUB
PWR
PR
n
p
n+ n− n
n− n+ n−
n n−
n
p
p−
PWR NDR NLD DRI GI NSR BR DRI LNW NWR NDR
LNW
NLD
NLD GI
NLD

[図18]


TR
SC
ICL
PL
SC
IS1I
SC
IS1I
IS1
SC
IS2
SC
PSDR
IS2
SC
IS1
SW
GI
GE
GE
GI
SW
IL
TRE
IL
TRE
SC
p+
n+
p+
SUB
p
n
p
n
n+
n−
n
n−
p+
n−
n
n−
n
p
p−
PWR
NDR
NLD
LNW
DRI
PR
NLD
PBC
BR
NLD
DRI
LNW
NLD
NDR
NWR
PWR
PSDR

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/052635

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/336*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011
Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-258355 A (Sharp Corp.), 11 November 2010 (11.11.2010), entire text; fig. 1 to 3 (Family: none)	1-3,5,6,8 7 4
Y A	JP 2007-067181 A (Sharp Corp.), 15 March 2007 (15.03.2007), paragraphs [0043] to [0048]; fig. 3B & US 2007/0063271 A1 fig. 3B; paragraphs [0066] to [0070] & KR 10-2007-0026017 A & CN 1925170 A	7 4
A	JP 2005-079317 A (Matsushita Electric Industrial Co., Ltd.), 24 March 2005 (24.03.2005), fig. 1, 2 and the explanation passage thereof (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 March, 2011 (14.03.11)	29 March, 2011 (29.03.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/052635

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-320047 A (Toshiba Corp.), 16 November 2001 (16.11.2001), fig. 1, 4, 6 and the explanation passage thereof (Family: none)	1-8
A	JP 4-225570 A (Matsushita Electronics Corp.), 14 August 1992 (14.08.1992), fig. 2 and the explanation passage thereof (Family: none)	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５２６３５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/336(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2010-258355 A (シャープ株式会社) 2010.11.11, 全文及び図 1-3 (ファミリーなし)	1-3,5,6,8 7 4
Y A	JP 2007-067181 A (シャープ株式会社) 2007.03.15, 【0043】-【0048】及び図 3B & US 2007/0063271 A1 FIG.3B,[0066]-[0070] & KR 10-2007-0026017 A & CN 1925170 A	7 4

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１４．０３．２０１１	２９．０３．２０１１

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｍ　４４２９
宇多川　勉
電話番号　０３－３５８１－１１０１　内線　３４６２

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2005-079317 A（松下電器産業株式会社）2005.03.24, 図 1,2 及び図 1,2 の説明箇所（ファミリーなし）	1-8
A	JP 2001-320047 A（株式会社東芝）2001.11.16, 図 1,4,6 及び図 1,4,6 の説明箇所（ファミリーなし）	1-8
A	JP 4-225570 A（松下電子工業株式会社）1992.08.14, 図 2 及び図 2 の説明箇所（ファミリーなし）	1-8