

(12) 发明专利

(10) 授权公告号 CN 101106174 B

(45) 授权公告日 2011.06.08

(21) 申请号 200710104174.2

US 2005/0052904 A, 2005.03.10, 全文.

(22) 申请日 2007.05.21

US 5596522 A, 1997.01.21, 说明书第 26 页  
倒数第 1 段至第 39 页第 1 段、附图 6-10.

(30) 优先权数据

11/420, 933 2006.05.30 US

US 5414271 A, 1995.05.09, 全文.

US 2002/0041947 A1, 2002.04.11, 说明书第

[0002]-[0006] 段.

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416  
番地

审查员 赵敏

(72) 发明人 郑楣旭 孔峻赫 李智惠 赵栢衡

(74) 专利代理机构 中原信达知识产权代理有限  
责任公司 11219

代理人 林宇清 谢丽娜

(51) Int. Cl.

H01L 45/00 (2006.01)

H01L 27/24 (2006.01)

G11C 11/56 (2006.01)

(56) 对比文件

US 2005/0063364 A1, 2005.02.17, 说明书第  
1 页第 [0002]-[0003] 段、附图 1A.

US 2006/0105566 A1, 2006.05.18, 全文.

CN 1670979 A, 2005.09.21, 全文.

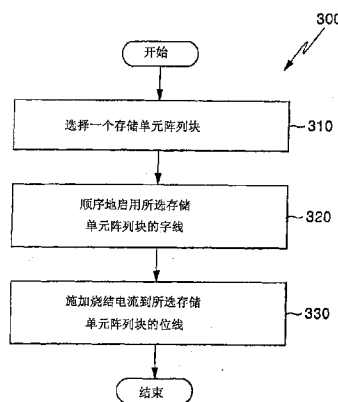
权利要求书 2 页 说明书 7 页 附图 13 页

(54) 发明名称

用于减小相变存储器件重置电流的方法

(57) 摘要

本发明涉及用于减小重置相变存储器件的存储单元中的部分相变材料用的重置电流的方法及相变存储器件。根据一个实施例,包括第一晶相的至少部分相变材料被转变为晶相和非晶相之一。与第一晶相相比,第二晶相更容易转变为非晶相。例如,第一晶相可以是六边形闭合密集结构,以及第一晶相可以是面心立方结构。



1. 一种用于减小重置电流的方法,该重置电流重置相变存储器件的存储单元中的部分相变材料,该方法包括:

执行烧结操作,以将包括第一晶相的至少部分相变材料转变为第二晶相和非晶相之一,与第一晶相相比,第二晶相更容易转变为非晶相;以及

施加重置电流,该重置电流用于在执行烧结操作的步骤之后重置部分相变材料。

2. 根据权利要求 1 的方法,其中第一晶相具有六边形闭合密集结构。

3. 根据权利要求 2 的方法,其中第二晶相具有面心立方结构。

4. 根据权利要求 1 的方法,其中第二晶相具有面心立方结构。

5. 根据权利要求 1 的方法,其中该烧结操作执行热处理,以将第一晶相转变为第二晶相和非晶相之一。

6. 根据权利要求 5 的方法,其中该热处理是在大于相变材料的熔化温度的温度下的快速热退火,以将第一晶相转变为非晶相。

7. 根据权利要求 5 的方法,其中,在该烧结操作之前,该方法包括:

将至少部分相变材料转变为第一晶相。

8. 根据权利要求 7 的方法,其中将至少部分相变材料转变为第一晶相的该步骤在低于相变材料的熔化温度的温度下烘焙该相变存储器件一段时间。

9. 根据权利要求 1 的方法,其中该烧结操作施加电流到相变材料。

10. 根据权利要求 9 的方法,其中施加的电流大于还未执行该烧结操作时施加的初始重置电流。

11. 权利要求 10 的方法,其中施加的电流大于或等于在还未执行烧结操作时重置电流的 1.1 倍。

12. 根据权利要求 10 的方法,其中当施加的电流增加时,该烧结操作之后的重置电流减小。

13. 根据权利要求 10 的方法,其中该烧结操作施加电流,以便该转变步骤之后的重置电流小于该转变步骤之前的重置电流至少 20%。

14. 根据权利要求 10 的方法,其中该烧结操作施加具有一脉冲宽度的电流,以便第一晶相转变为非晶相。

15. 根据权利要求 10 的方法,其中该烧结操作施加具有一脉冲宽度的电流,以便第一晶相转变为第二晶相。

16. 根据权利要求 9 的方法,在该烧结操作之前,其中,该相变材料为第一晶相。

17. 根据权利要求 16 的方法,其中在该烧结操作之前,该方法包括:

在低于相变材料的熔化温度的温度下烘焙该相变存储器件一段时间。

18. 根据权利要求 16 的方法,其中该烧结操作仅仅转变部分相变材料,以便相变材料的剩余部分保持第一晶相。

19. 根据权利要求 1 的方法,其中第一晶相具有低于第二晶相的电阻。

20. 一种用于减小重置电流的方法,该重置电流重置相变存储器件的存储单元中的部分相变材料,该方法包括:

执行烧结操作,以将处于混合相态的至少部分相变材料转变为单相状态;以及

施加重置电流,该重置电流用于在执行烧结操作的步骤之后重置部分相变材料。

21. 根据权利要求 20 的方法,其中该单相态是非晶相。

22. 根据权利要求 20 的方法,其中该单相态是单晶相。

23. 一种减小重置电流的方法,该重置电流用于重置相变存储器件的存储单元中的部分相变材料为非晶相,该方法包括:

施加烧结电流到相变材料;以及

施加重置电流,该重置电流用于在施加烧结电流的步骤之后重置部分相变材料,

其中,在施加烧结电流步骤之后相变材料的重置电流小于施加烧结电流步骤之前的重置电流。

24. 一种减小重置电流的方法,该重置电流用于重置相变存储器件的存储单元中的部分相变材料为非晶相,包括:

在相变存储器件上执行热处理;

施加重置电流,该重置电流用于在执行热处理的步骤之后重置部分相变材料,

其中,在执行热处理步骤之后相变材料的重置电流小于执行步骤热处理之前的重置电流。

25. 一种提高操作相变存储器件的方法,该相变存储器件至少包括具有相变材料的一个存储单元,该方法包括:

对相变材料执行烧结操作,以便减小将部分相变材料从晶相转变为非晶相需要的能量;

施加重置电流,该重置电流用于在该烧结操作之后重置部分相变材料。

## 用于减小相变存储器件重置电流的方法

### 技术领域

[0001] 本发明涉及一种用于减小重置相变存储器件的存储单元中的部分相变材料用的重置电流的方法及相变存储器件。

### [0002] 背景技术

[0003] 图 1 图示了相变存储单元的现有技术结构。如图所示,在衬底 100 上方形成下绝缘层 102。在下绝缘层 102 中形成第一接触孔 105,以及在第一接触孔 105 中形成下电极 113(有时称为加热器)。典型地,下电极 113 由 TiAlN、TiN 等形成。在下电极 113 上方的下绝缘层 102 上形成相变材料 115。典型地,该相变材料是诸如  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  等的硫化物材料。在相变材料 115 上形成上电极 119。上电极 119 可以由 TiN、TaN、WN 等形成。在衬底 100 上方形成上绝缘层 122。在上绝缘层 122 中形成第二接触孔 125,以露出部分上电极 119。在第二接触孔 125 中形成导电栓塞 127。导电栓塞 127 可以由 W、Al、Cu 等形成。然后在上绝缘层 122 上方可以形成与栓塞 127 接触的金属图形 129(例如,导电线)。该金属图形可以由与栓塞 127 相同的材料形成。典型地,金属图形 129 是包括图 1 的相变存储单元的相变存储器件的位线。

[0004] 图 1 的存储单元可基于施加到相变材料 115 的热量来编程。热量的施加可以通过使电流经过相变材料 115(例如,通过施加电流到上电极 119)来执行。图 2A 图示了用于编程相变材料 115 的电流重置脉冲和电流设置脉冲。如图 2A 所示,重置脉冲是短时间周期提供的强电流,而设置脉冲是较长时间周期提供的较低电流。如图 2B 所示,重置脉冲具有增加相变材料 115 的电阻的效果,而设置脉冲具有降低相变材料 115 的电阻的效果。通过改变相变材料 115 的状态,致使电阻改变。重置脉冲使得相变材料 115 的可编程体积(volume)变为非晶体,如图 3 所示。相反,设置脉冲使得相变材料 115 的可编程体积变为晶体。较高电阻的非晶态通常对应于逻辑“1”的存储,而较低电阻的结晶态对应于逻辑“0”的存储。

[0005] 为了保持低功耗,希望重置电流和设置电流都较低。但是,也希望源于重置操作的相变材料的所得电阻相对于设置操作之后的相变材料电阻具有尽可能大的差值。通常,当重置电流被减小时,重置和设置状态之间的电阻率差值减小。因此,在设法获得低设置和重置电流之间存在相反的折衷,而在设置和重置电阻中也保持希望的差值。

### 发明内容

[0006] 本发明提供一种用于减小重置相变存储器件的存储单元中的部分相变材料用的重置电流的方法。

[0007] 根据一个实施例,包括第一晶相的至少部分相变材料被转变为晶相和非晶相之一。与第一晶相比,第二晶相更容易转变为非晶相。例如,第一晶相可以是六边形闭合堆积结构(hexagonal closed packed structure),以及第二晶相可以是面心立方结构(face centered cubic structure)。

[0008] 在一个实施例中,通过热处理执行该转变。例如,可以在大于相变材料的熔化温度的温度下执行快速热退火,以将第一晶相转变为非晶相。

[0009] 根据另一实施例,该热处理可以包括在低于相变材料的熔化温度的温度下烘焙该相变存储器件一段时间,以便将第一晶相转变为第二晶相。

[0010] 在本发明的另一实施例中,通过施加电流到相变材料实现该转变步骤。例如,如果不执行该转变步骤,那么施加电流大于重置电流。作为更具体的例子,如果不执行转变步骤,那么施加电流可以是重置电流的 1.1 倍。在本发明的另一实施例中,在如上所述烘焙相变存储器件之后,执行电流的施加。

[0011] 在本发明的另一实施例中,通过将处于混合相态的至少部分相变材料转变为单相状态,实现重置电流的减小。例如,处于混合晶相态的至少部分相变材料被转变为单相态。该相态可以是非晶相,或可以是单晶相。

[0012] 本发明还涉及一种相变存储器件。

[0013] 在一个实施例中,该相变存储器件包括上电极、下电极和在上下电极之间布置的相变材料。该相变材料可以完全是单相,以及该单相可以是非晶相和面心立方相之一。

[0014] 在另一实施例中,该相变材料包括与下电极接触的下部和剩余部分。该下部可以是第一晶相和非晶相之一。该剩余部分至少包括第二晶相。与第二晶相相比,第一晶相更容易转变为非晶相。

## 附图说明

[0015] 由下面给出的详细描述和仅仅作为例示给出的附图将更完全地理解本发明,其中相同参考标记指各个附图中的相应部分,以及其中:

[0016] 图 1 图示了现有技术相变存储单元的结构。

[0017] 图 2A 图示了在编程图 1 的存储单元中施加的设置和重置脉冲。

[0018] 图 2B 图示了由于图 2A 中施加的脉冲,存储单元的电阻态。

[0019] 图 3 图示了图 1 的存储单元中的相变材料的可编程体积。

[0020] 图 4 图示了在相变材料经受烧结操作之前该相变材料的设置电阻分布图。

[0021] 图 5 图示了在相变材料经受烧结操作之后该相变材料的设置电阻分布图。

[0022] 图 6 图示了根据本发明的实施例的烧结方法的流程图。

[0023] 图 7 图示了根据本发明的相变存储器件的方框图。

[0024] 图 8 图示了图 7 的驱动单元的示意图。

[0025] 图 9 图示了图 7 的相变存储器件的操作时序图。

[0026] 图 10A 和 10B 图示了烧结电流被施加到根据本发明的相变材料的实施例。

[0027] 图 11 图示了相对于烧结电流的百分比变化的重置电流的百分比变化。

[0028] 图 12 图示了烧结操作的数目对重置电流的影响。

[0029] 图 13 图示烧结操作对设置和重置状态之间的电阻差值的影响。

[0030] 图 14A 和 14B 图示了冲击烧结对重置电流的影响的具体例子。

[0031] 图 15 图示根据本发明的烧结的另一例子实施例。

[0032] 图 16 图示了根据本发明的烧结操作的再一例子实施例。

## 具体实施方式

[0033] 在采用如图 1 所示的相变存储单元的相变存储器件的操作之前,可以执行烧结操

作。烧结操作是在至少部分相变材料中产生热量的操作,以便在包括相变材料的之后操作过程中改进结果。根据本发明的一个例子改进是减小重置电流。

[0034] 图 4 图示了在相变材料经受初始烧结操作之前其初始设置电阻分布的视图。参考图 4,在范围 (i) 中,设置电阻值被广泛地分布,并且平均设置电阻值是高的。因此,在读操作时,可能发生缺陷,且因此,可能减少成品率。

[0035] 图 5 图示了在相变材料经受初始烧结操作之后其设置电阻分布的视图。参考图 5,在范围 (ii) 中,设置电阻值被狭窄地和均匀地分布,并且平均设置电阻值低于相变材料经受初始烧结操作之前的平均设置电阻值。为了提供相变存储器件的更稳定的读操作,执行初始烧结操作。

[0036] 仅仅为了例子的目的,假定相变存储单元具有图 1 所示的结构描述本发明的实施例。但是,应当理解本发明的实施例可以使用任意相变存储单元结构。

[0037] 图 6 示出了根据本发明的实施例的初始烧结方法的流程图。参考图 6,根据本发明的实施例,具有相变材料的相变存储器件的初始烧结方法 300 包括:选择多个存储器阵列块之一的步骤 310;连续地启用所选存储单元阵列块的字线的步骤 320;以及施加烧结电流到所选存储单元阵列块的位线的步骤 330。烧结电流大于重置电流,这允许相变材料成为重置状态。

[0038] 图 7 图示了根据本发明的相变存储器件 400 的一个实施例的方框图。参考图 7,相变存储器件 400 包括多个存储单元阵列块 BLK1 和 BLK2 至 BLKi、计数器时钟产生单元 410、解码单元 420 和驱动单元 440。每个存储单元阵列块 BLK1 和 BLK2 至 BLKi 包括如图 1 所示的相变存储单元。计数器时钟产生单元 410 响应于外部时钟信号 EXCLK 和烧结模式信号 XWIF,输出第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3,其中第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3 具有不同的周期。

[0039] 解码单元 420 响应于第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3,输出选择多个存储单元阵列块 BLK1 和 BLK2 至 BLKi 之一的块地址 BLKADD、启用所选存储单元阵列块的字线的字线地址 WLADD、以及启用所选存储单元阵列块的冗余字线的冗余字线地址 REDADD。

[0040] 驱动单元 440 响应于烧结模式信号 XWIF,施加烧结电流 IFC 到存储单元阵列块 BLK1 和 BLK2 至 BLKi。

[0041] 下面将参考图 6 和 7 描述根据本发明实施例的相变存储器件和初始烧结方法。相变存储器件 400 中的存储单元阵列块 BLK1 和 BLK2 至 BLKi 包括多个相变存储单元(未示出)。计数器时钟产生单元 410 响应于外部时钟信号 EXCLK 和烧结模式信号 XWIF,输出第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3,其中第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3 具有不同的周期。

[0042] 当执行初始烧结操作时,从外部输入外部时钟信号 EXCLK、具有一周期的时钟信号,并仅仅在初始烧结模式下激活。在相变存储器件 400 处于初始烧结模式的时候,产生烧结模式信号 XWIF。

[0043] 计数器时钟产生单元 410 包括多个计数器。计数器的输出被解码,以连续地选择存储单元阵列块 BLK1 和 BLK2 至 BLKi,以便可以执行初始烧结操作。

[0044] 计数器时钟产生单元 410 包括第一至第 n 个行计数器 RC1 和 RC2 至 RCn、冗余计数

器 RDDC 以及第一至第  $m$  个计数器 CC1 和 CC2 至 CC $m$ 。

[0045] 第一至第  $n$  个行计数器 RC1 和 RC2 至 RC $n$  响应于烧结模式信号 XWIF 被导通或截止, 并且响应于外部时钟信号 EXCLK, 产生第一至第  $n$  个行计数器时钟信号 RCCLK1 和 RCCLK2 至 RCCLK $n$ , 其中第一至第  $n$  个行计数器时钟信号 RCCLK1 和 RCCLK2 至 RCCLK $n$  构成第一计数器时钟信号 CCLK1。

[0046] 冗余计数器 RDDC 响应于烧结模式信号 XWIF 被导通或截止, 并且响应于外部时钟信号 EXCLK 产生第二计数器时钟信号 CCLK2。第一至第  $m$  个列计数器 CC1 和 CC2 至 CC $m$  响应于烧结模式信号 XWIF 被导通或截止, 并且响应于外部时钟信号 EXCLK, 产生第一至第  $m$  个列计数器时钟信号 CCCLK1 和 CCCLK2 至 CCCLK $m$ , 其中第一至第  $m$  个列计数器时钟信号 CCCLK1 和 CCCLK2 至 CCCLK $m$  构成第三计数器时钟信号 CCLK3。

[0047] 第二至第  $n$  个行计数器 RC2 至 RC $n$  响应于从前一行计数器输出的进位指令 C 被连续地操作。冗余计数器 RDCC 响应于从第  $n$  个行计数器 RC $n$  输出的进位指令 C 而操作。第一列计数器 CC1 响应于从第冗余计数器 RDDC 输出的进位指令 C 而操作。第二至第  $n$  个列计数器 CC2 至 CC $m$  响应于从前一列计数器输出的进位指令 C 被连续地操作。

[0048] 下面将参考图 9 的时序图, 详细描述计数器时钟产生单元 410 的操作。图 9 图示了图 7 的相变存储器件的操作时序图。

[0049] 第一至第  $n$  个行计数器 RC1 和 RC2 至 RC $n$ 、冗余计数器 RDDC 和第一至第  $m$  个列计数器 CC1 和 CC2 至 CC $m$  响应于外部时钟信号 EXCLK 和烧结模式信号 XWIF 执行它们自己的计数操作。如果烧结模式信号 XWIF 被禁止, 那么计数器时钟产生单元 410 的计数器也被截止。此外, 第二行计数器 RC2 响应于由第一行计数器 RC1 产生的进位指令 C 而操作。第三行计数器 RC3 响应于由第二行计数器 RC2 产生的进位指令 C 而操作。冗余计数器 RDDC 响应于由第  $n$  个行计数器 RC $n$  产生的进位指令 C 而操作。第一列计数器 CC1 响应于由冗余计数器 RDDC 产生的进位指令 C 而操作。类似地, 第  $m$  个列计数器 CC $m$  响应于由第  $(m-1)$  个列计数器 (未示出) 产生的进位指令 C 而操作。以此方式, 计数器时钟产生单元 410 的计数器被连续地操作。

[0050] 如图 9 所示, 从计数器时钟产生单元 410 的计数器产生的信号周期被连续地加倍。亦即, 从第一至第  $n$  个行计数器 RC1 和 RC2 至 RC $n$  输出的第一至第  $n$  个行计数器时钟信号 RCCLK1 和 RCCLK2 至 RCCLK $n$  的周期被连续地加倍。从冗余计数器 RDDC 输出的第二计数器时钟信号 CCLK2 的周期长达从第  $n$  个行计数器 RC $n$  输出第  $n$  个行计数器时钟信号 RCCLK $n$  的两倍。从第一列计数器 CC1 输出的第一列计数器时钟信号 CCCLK1 的周期长达从冗余计数器 RDDC 输出的第二计数器时钟信号 CCLK2 的两倍。类似地, 第二至第  $m$  个计数器时钟信号 CCCLK2 至 CCCLK $m$  的周期被连续地加倍。由此, 连续地产生第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3。第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3 被输入到解码单元 420。

[0051] 解码单元 420, 响应于第一至第三计数器时钟信号 CCLK1、CCLK2 和 CCLK3, 输出选择多个存储单元阵列块 BLK1 和 BLK2 至 BLK $i$  之一的块地址 BLKADD、启用所选存储单元阵列块的字线的字线地址 WLADD、以及启用所选存储单元阵列块的冗余字线的冗余字线地址 REDADD。解码单元 420 包括行解码器 425、冗余解码器 430 以及列解码器 435。行解码器 425 输出字线地址 WLADD, 字线地址 WLADD 响应于第一计数器时钟信号被连续地启用。亦即, 行

解码器 425 接收并解码第一至第  $n$  个具有不同周期的行计数器时钟信号 RCCLK1 和 RCCLK2 至 RCCLK $n$ , 并输出该解码结果作为字线地址 WLADD。字线地址 WLADD 连续地从最低有效位至最高有效位启用所选存储单元阵列块的字线。

[0052] 冗余解码器 425 响应于第二计数器时钟信号 CCLK2, 输出冗余字线地址 REDADD。列解码器 435 响应于第三计数器时钟信号 CCLK3, 输出选择多个存储单元阵列块 BLK1 和 BLK2 至 BLK $i$  之一的块地址 BLKADD。列解码器 435 接收并解码具有不同周期的第一至第  $m$  个列计数器时钟信号 CCCLK1 和 CCCLK2 至 CCCLK $m$ , 并输出该解码结果作为块地址 BLKADD。块地址 BLKADD 启用所选存储单元阵列块的所有位线。用于接收并解码从计数器时钟产生单元 410 输出的时钟信号的解码单元 420 可以采用各种类型的结构。

[0053] 驱动单元 440 响应于烧结模式信号 XWIF, 施加烧结电流 IFC 到存储单元阵列块 BLK1 和 BLK2 至 BLK $i$ 。下面将参考图 8 描述驱动单元 440 的操作。图 8 图示了图 7 的驱动单元 440 的方框图。参考图 8, 驱动单元 440 包括多个晶体管 TR1 至 TR $i$ 。每个晶体管具有连接到烧结电压 VPP 的第一端、连接到存储单元阵列块 BLK1 和 BLK2 至 BLK $i$  的位线 BLO 和 BL1 至 BL $p$  的第二端, 以及连接到烧结模式信号 XWIF 的栅极。每个晶体管 TR1 至 TR $i$  具有这种开启电流 IFC 可以被施加到位线 BLO 和 BL1 至 BL $p$  的适合尺寸。

[0054] 图 8 仅仅图示了具有  $(k+1)$  字线、 $(p+1)$  位线和一个冗余字线 WLred 的第一存储单元阵列块 BLK1。

[0055] 在初始烧结操作时, 第一存储单元阵列块 BLK1 被块地址 BLKADD 自动地选择。接收时钟信号 CCLK1 的行解码器 425 输出字线地址 WLADD, 以连续地启用第一存储单元阵列块 BLK1 的字线 WL0 以及 WL1 至 WL $k$ 。即, 第一字线 WL0 被首先启用。驱动单元 440 施加烧结电流 IFC 到第一存储单元阵列块 BLK1 的位线 BLO 和 BL1 至 BL $p$ 。然后在被连接到第一字线 WL0 的存储单元的相变材料上执行初始烧结操作。

[0056] 接下来, 第一字线 WL0 被禁止以及第二字线 WL1 被启用。然后在连接到第二字线 WL1 的存储单元的相变材料上执行初始烧结操作。类似地, 在被连接到第  $k$  字线 WL $k$  和冗余字线 WLred 的存储单元的相变材料上执行初始烧结操作。结果, 完成第一存储单元阵列块上的初始烧结操作。由于计数器时钟产生单元 410 的第一至第  $n$  个行计数器 RC1 和 RC2 至 RC $n$  以及冗余计数器 RDDC 被连续地操作, 以连续地输出第一至第  $n$  个行计数器时钟信号 RCCLK1 和 RCCLK2 至 RCCLK $n$  以及第二计数器时钟信号 CCLK2, 第一至第  $k$  个字线 WL0 和 WL1 至 WL $k$  和冗余字线 WLred 被连续地启用。

[0057] 如果冗余字线 WLred 被禁止, 那么列解码器 435 通过第一至第  $m$  个列计数器 CC1 和 CC2 至 CC $m$  的操作, 输出块地址 BLKADD, 并且块地址 BLKADD 选择第二存储单元阵列块 BLK2。这些在图 9 的时序图中可以看到。如果第二存储单元阵列块 BLK2 被选择, 那么第一至第  $n$  个字线 (未示出) 和冗余字线 (未示出) 被连续地启用, 并且执行烧结操作。

[0058] 烧结电压 VPP 可以等于或高于电源电压。考虑到连接的存储单元阵列的数目, 电压电平可以被增加或减少。下面将相对于本发明的进一步实施例更详细论述烧结电压 VPP。下面还将相对于本发明的进一步实施例更详细地论述大于重置电流的烧结电流 IFC。

[0059] 驱动单元 440 可以进一步包括控制单元 510, 响应于块地址 BLKADD 和烧结模式信号 XWIF, 控制将被仅仅施加到相变存储单元阵列的位线的烧结电流 IFC, 相变存储单元阵列的位线被块地址 BLKADD 选择。由于烧结电流 IFC 仅仅被施加到所选的存储单元阵列块,



因此更准确地执行烧结操作。控制单元 510 可以是 NAND 门。只有当块地址 BLKADD 和烧结模式信号 XWIF 能够处于高电平时, NAND 门的输出处于低电平, 并且晶体管 TR1 至 TR1 被导通。尽管它们被图示为 PMOS 晶体管, 但是晶体管 TR1 至 TR1 不必是 PMOS 晶体管。

[0060] 在根据本发明的相变存储器件 400 中, 由于外部输入信号被减小为外部时钟信号 EXCLK、烧结模式信号 XWIF、烧结电压 VPP、电源电压和地电压, 因此可以同时测试一个晶片上的大量芯片。

[0061] 本申请的发明人发现当处于结晶态时, 相变材料是六边形闭合密集 (HCP) 晶体结构和面心立方 (FCC) 晶体结构的混合物。FCC 晶体结构与 HCP 晶体结构相比, 提供约高两个数量级的较高电阻。但是, 该发明人发现, 将 HCP 晶体结构转变为非晶相与将 FCC 晶体结构转变为非晶相所需要的能量相比, 需要更大的能量。换言之, 与 HCP 相比, FCC 状态是更良好的晶态 - 至 - 非晶的过渡态, 因为 FCC 状态更容易从结晶态转变为非晶态。

[0062] 本发明人进一步发现, 通过施加足够高的烧结电流或温度, 相变材料或其部分 (例如, 可编程体积) 可以被转变为非晶相或 FCC 晶相。此外, 本发明人发现, 在该烧结之后, 当设置时, 相变材料的可编程 体积将获得 FCC 结晶态。结果, 本发明人进一步发现, 通过正确地选择烧结电流, 它们可以减小获得重置状态需要的重置电流。该烧结也减小设置状态的电阻, 但是与烧结之前存在的相比, 在设置和重置电阻之间提供更大的余量。

[0063] 图 10A 图示了根据本发明施加的烧结电流的一个实施例。烧结电流的施加可以如上述实施例执行。如图所示, 在烧结之后, 通过施加较高的电流脉冲, 相变材料变为非晶相。如图 10A 进一步所示, 这些在将来操作过程中导致所需的重置电流更低得多。

[0064] 图 10B 图示了本发明的另一实施例。在该实施例中, 施加同样高的烧结电流, 然后随着时间逐步降低。由于该烧结操作, 相变材料变为高阻的 FCC 结晶态。但是, 获得同样的效果, 即, 获得同样低的重置电流和低设置电阻状态。

[0065] 图 11 进一步图示了烧结电流对重置电流的影响。更具体, 相对于初始预烧结重置电流, 该图示出了重置电流的百分比减少相对于烧结电流的百分比增加。这里, 重置脉冲宽度被设为 500 纳秒, 与图 10A 的实施例一致。亦即, 烧结使得相变材料获得非晶相。如图所示, 因为重置电流增至高于初始预烧结重置电流, 后烧结重置电流减小。更具体, 当烧结电流被增加到初始重置电流的 10% 至 20% 倍 (例如, 初始重置电流的 1.1 至 1.2 倍) 或以上时, 获得的重置电流显著减小。

[0066] 图 12 图示烧结数目对重置电流的影响。对于大于初始预烧结重置电流 20% (例如, 初始重置电流的 1.2 倍) 的烧结电流, 以及 500 纳秒的脉冲宽度 (在烧结之后获得非晶相), 图 12 图示对于大量这种烧结的重置电流的变化。如图所示, 该图图示了重置电流没有大大地受进行的多个烧结影响。

[0067] 图 13 图示根据本发明的烧结对设置和重置状态之间的电阻余量的影响。图 13 的左侧图示了用于烧结之前的重置和设置状态的电阻分布。图 13 的右侧图示了用于烧结之后的重置和设置状态的电阻分布。如图 13 所示, 在烧结之前, 设置和重置分布基本上重叠。结果, 可能发生存储器缺陷。相反, 在烧结之后, 在设置和重置分布之间存在大得多的余量, 以致存储器缺陷的数目显著地减小。

[0068] 图 14A 和 14B 图示了源于根据本发明的烧结工序的改进的两个例子情况。图 14A 图示了获得非晶相的烧结的情况, 以及图 14A 图示了获得 FCC 结晶态的烧结的情况。如图

所示,在该例子实施例中,大于初始重置电流 20% (例如,1.2 倍初始重置电流) 的烧结电流被选择用于图 14A 和 14B 的例子。这些图进一步表明,由检查图 11 将预期到重置电流的减小大于 20%。

[0069] 图 15 图示根据本发明的另一实施例。如图所示,在步骤 S1510 中,在一温度下烘焙半导体存储器一段时间,以便相变材料获得 HCP 结晶态。例如,该温度低于相变材料的熔化温度。在该实施例中,相变材料的可编程体积和剩余部分获得 HCP 结晶态。接下来,在步骤 S1512 中,根据图 10B 所示的实施例施加烧结电流,以便可编程体积获得 FCC 结晶态。应当理解,相变材料的剩余部分保持 HCP 结晶态。

[0070] 图 16 图示本发明的另一实施例。前一实施例通过施加电流到相变材料获得烧结操作。如先前所述,电流的施加获得热量的施加。代替使用电流,施加热量到相变材料,热量可以被更直接地施加。例如,图 16 表明,在步骤 S1610 中,在包括相变存储单元的半导体器件上进行快速热退火工序。该快速热退火在足够的温度下进行,并进行足够的时间,以便将相变材料改变为非晶态。例如,该温度大于相变材料的熔化温度。

[0071] 如上所述,本发明提供一种用于显著地减小相变存储单元用的重置电流的方法。此外,本发明提供一种增加相变存储单元的设置和重置状态之间的电阻差值的附加优点。

[0072] 在此描述了本发明,显然可以用多种方式改变本发明。这些改变不允许被认为是背离本发明,所有这些改进被确定为包括在本发明的范围内。

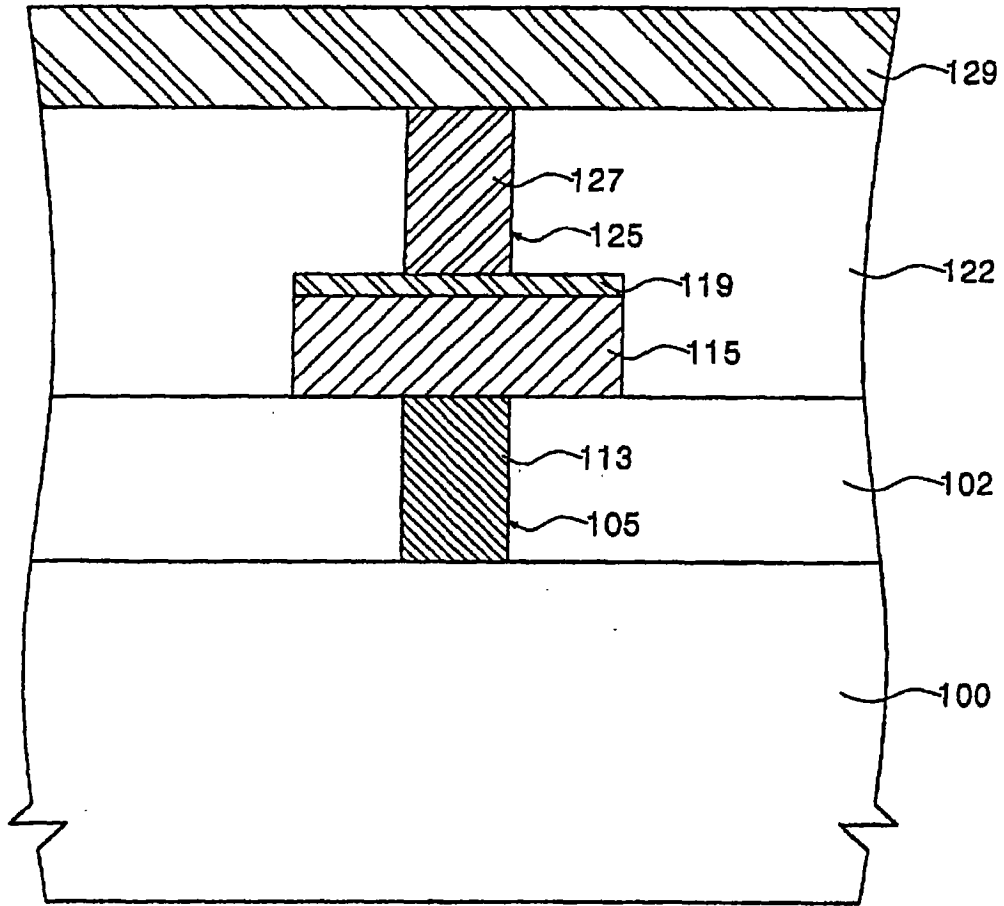


图 1

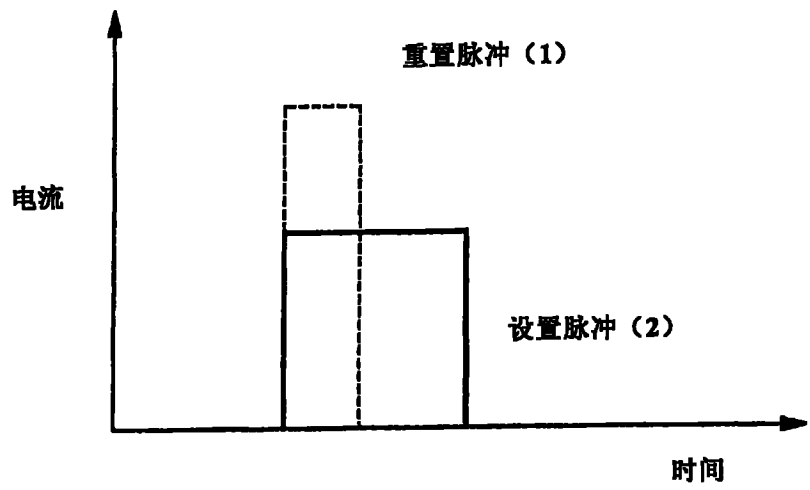


图 2A

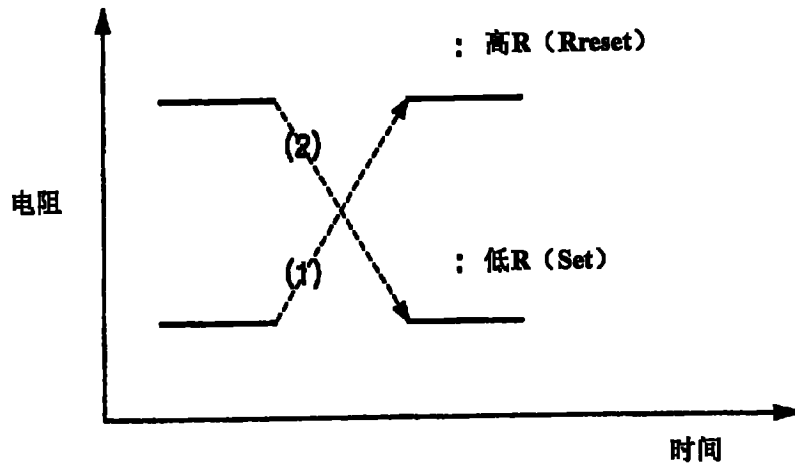


图 2B

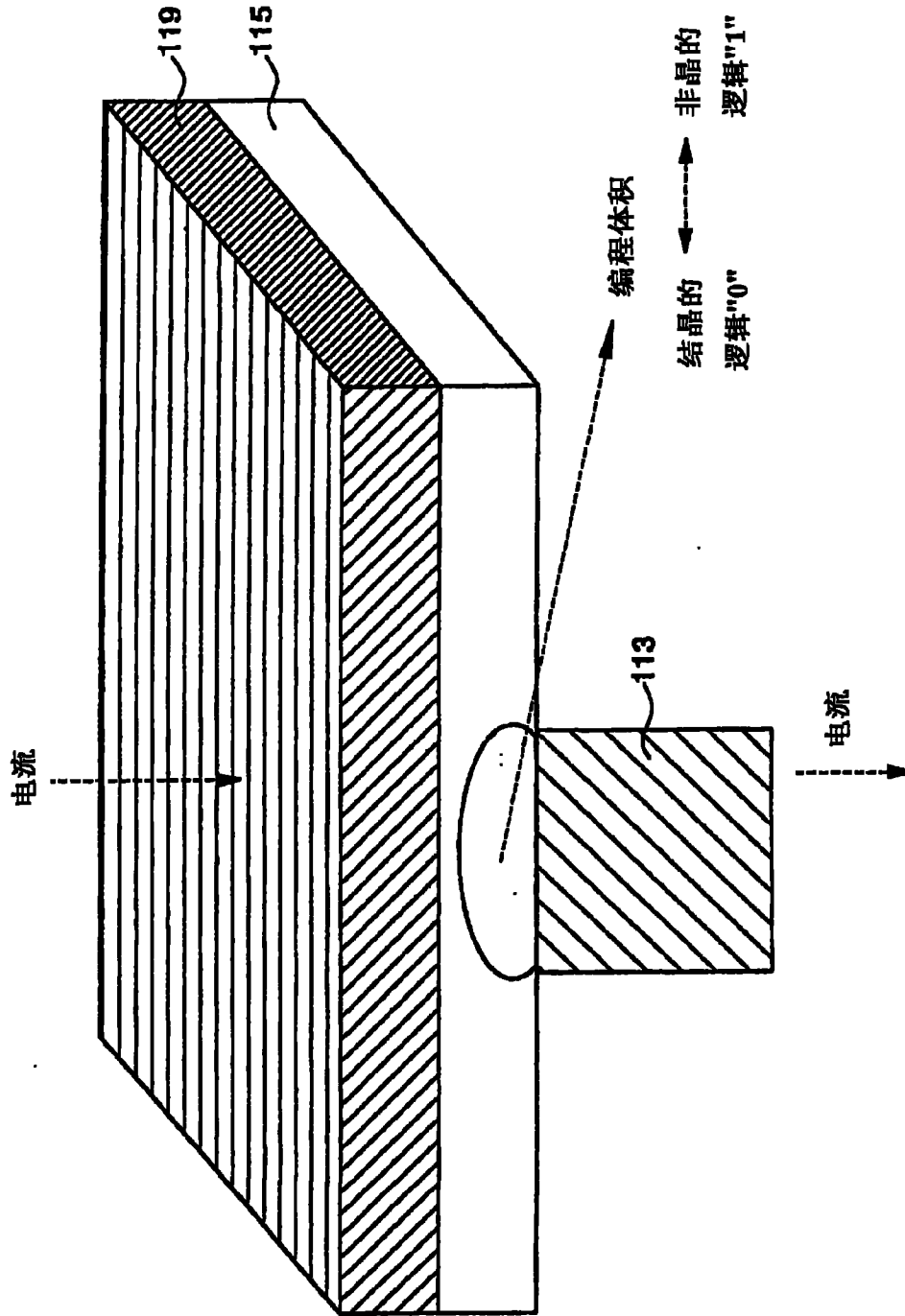


图3

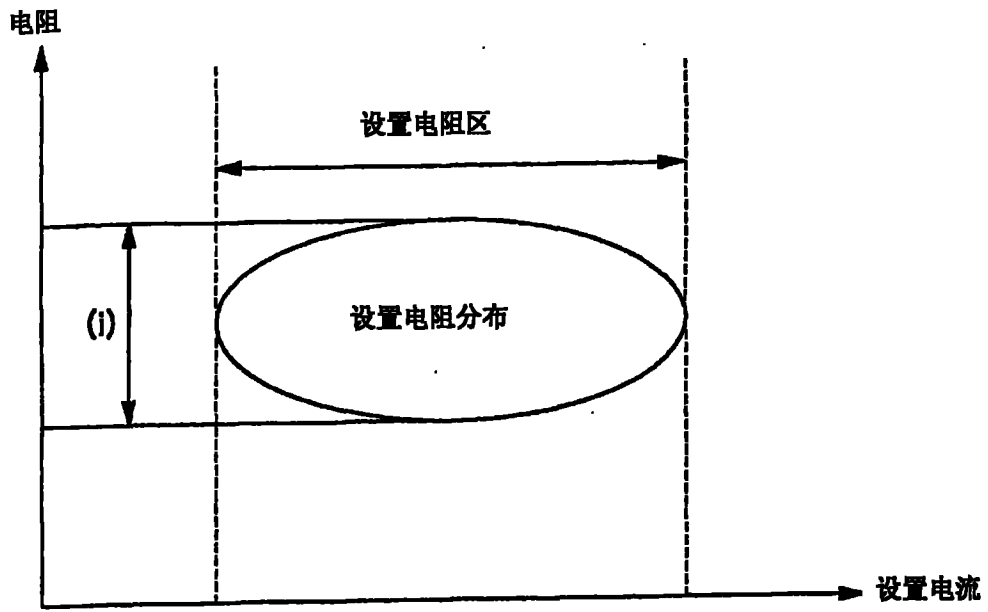


图 4

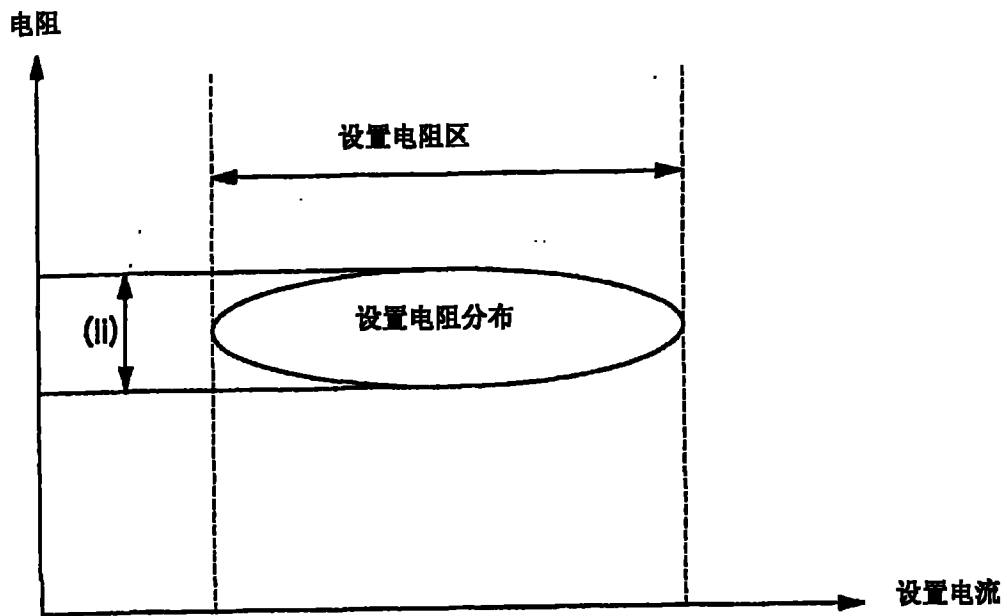


图 5

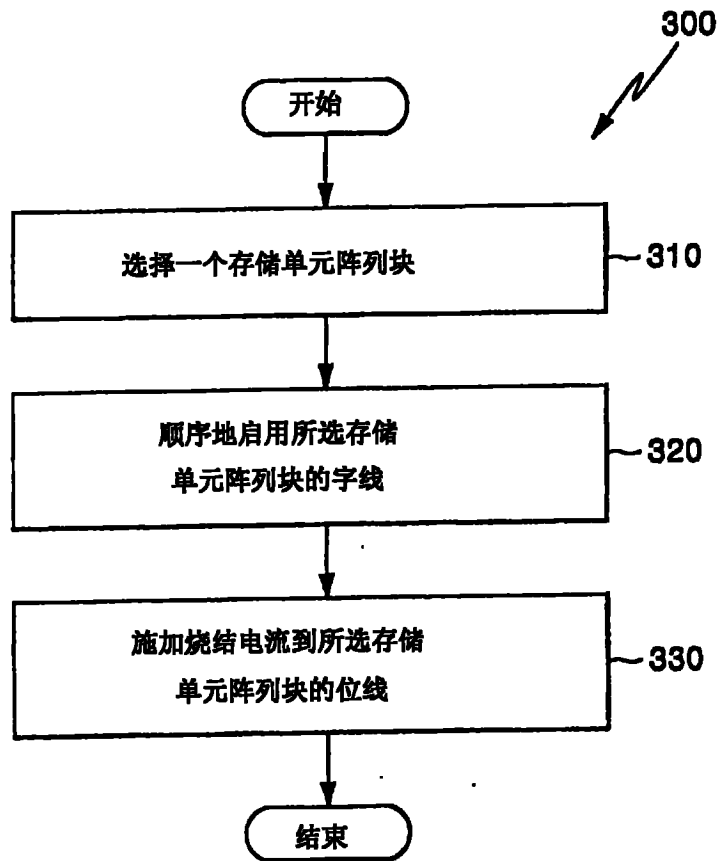
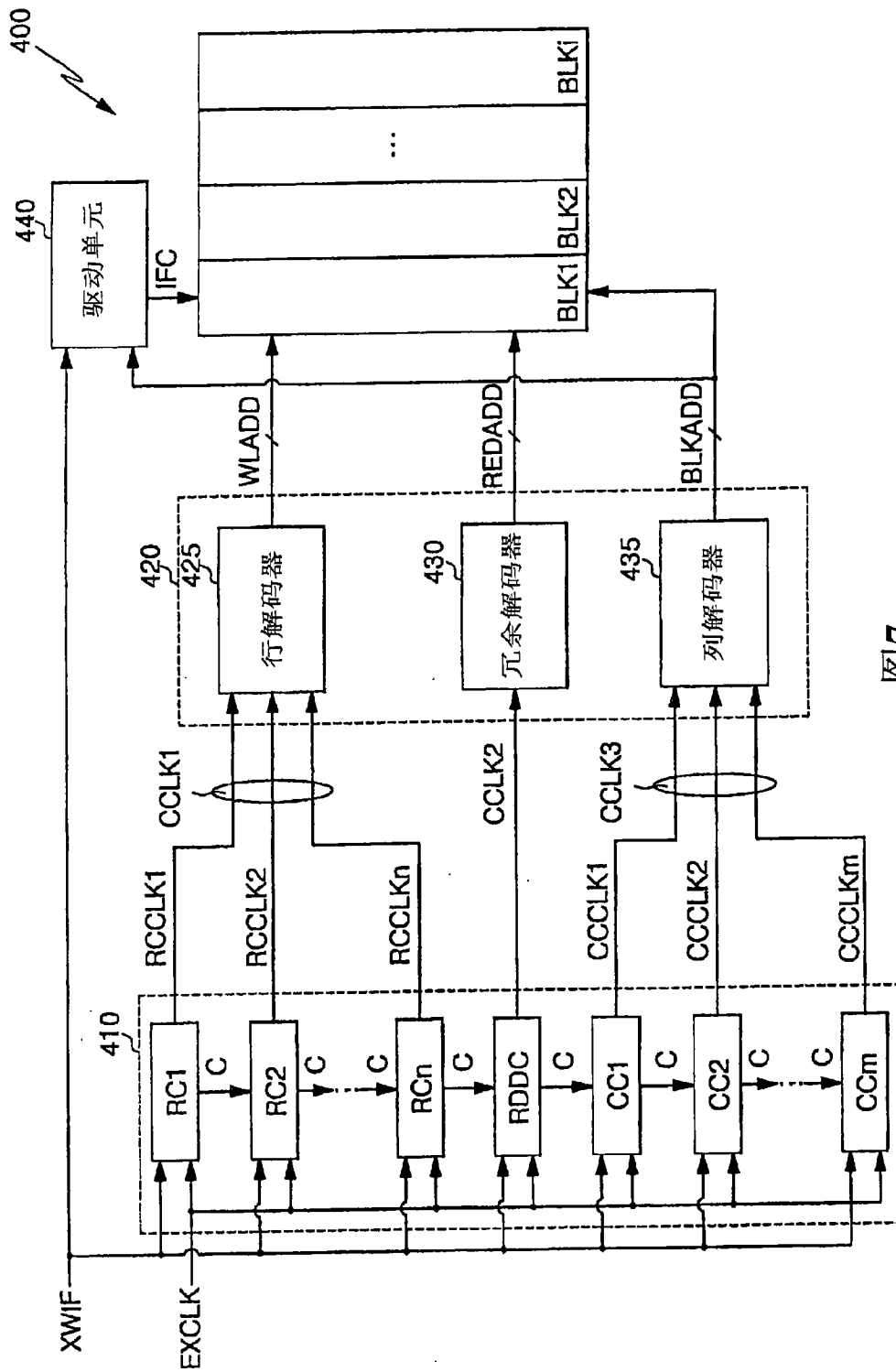


图 6





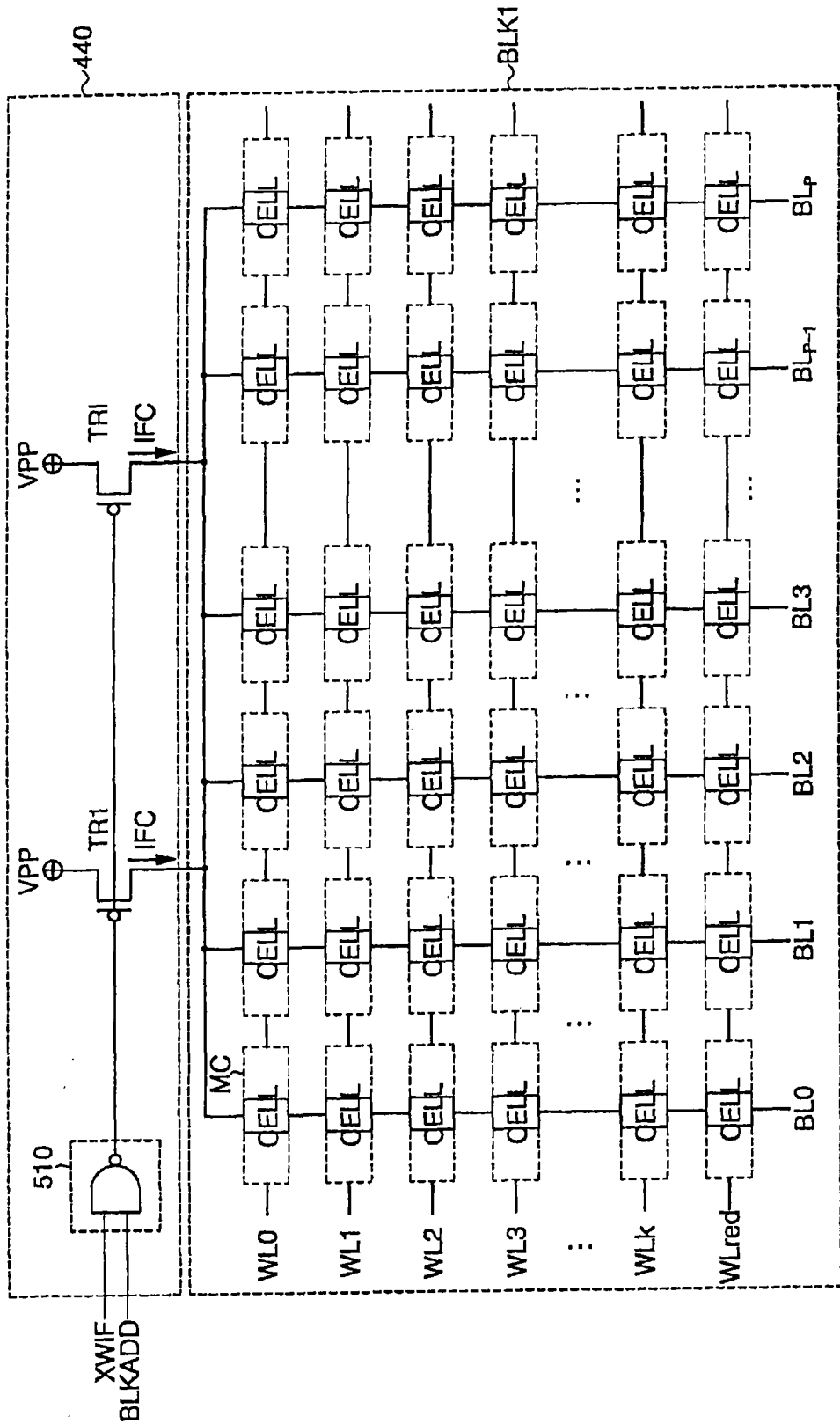


图8

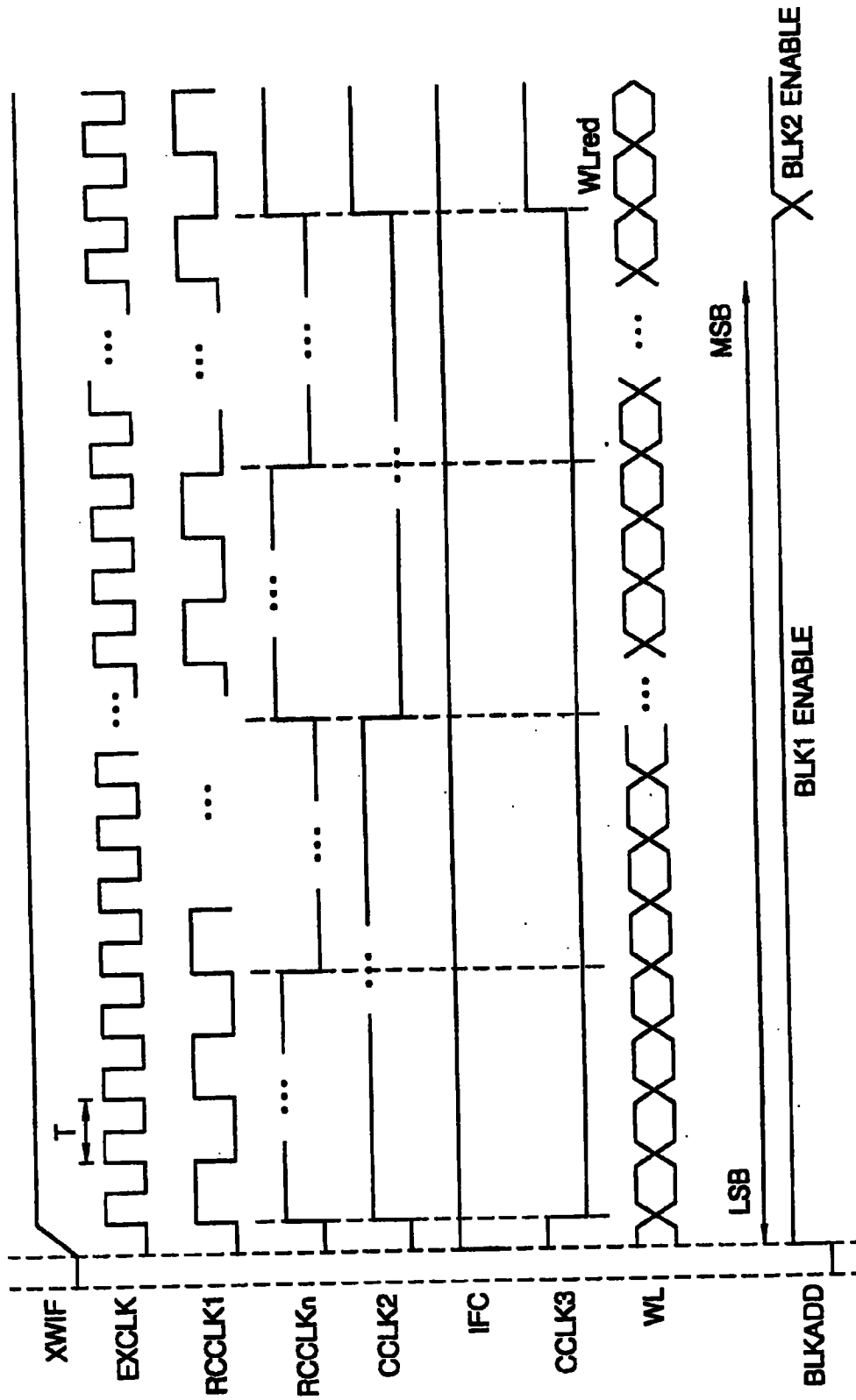


图9

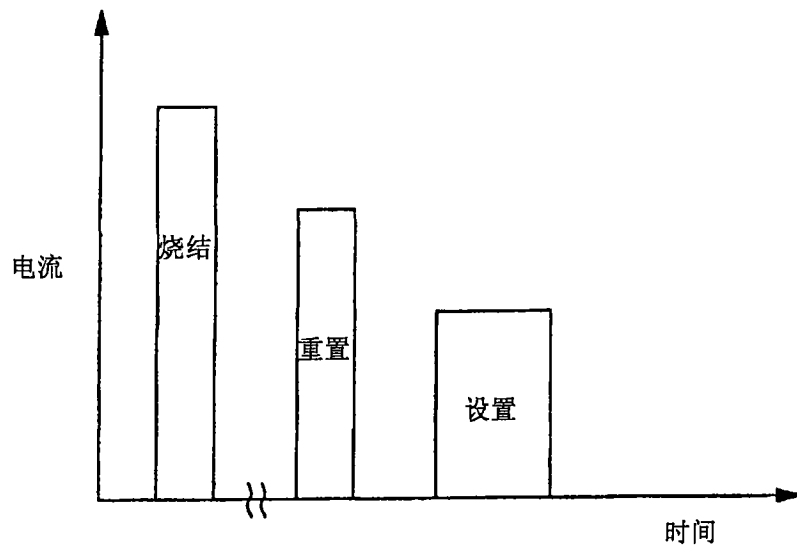


图 10A

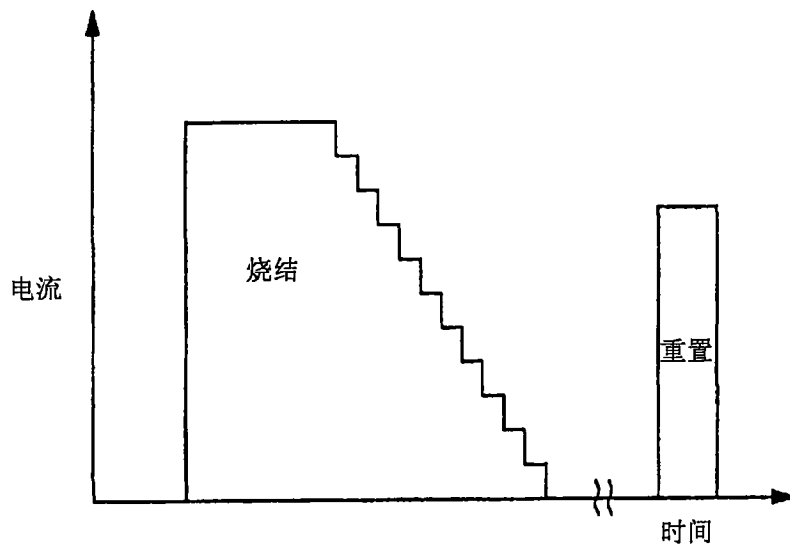


图 10B

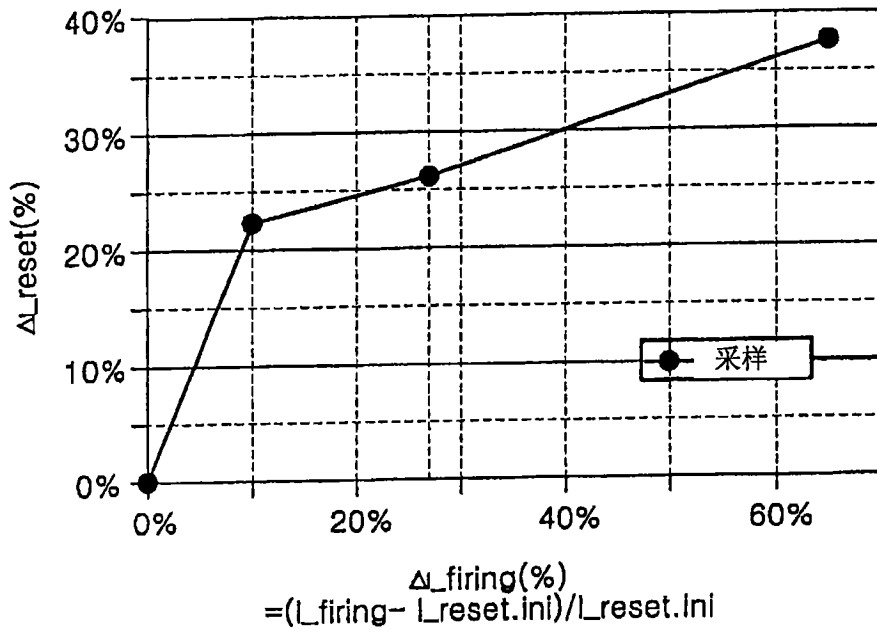


图 11

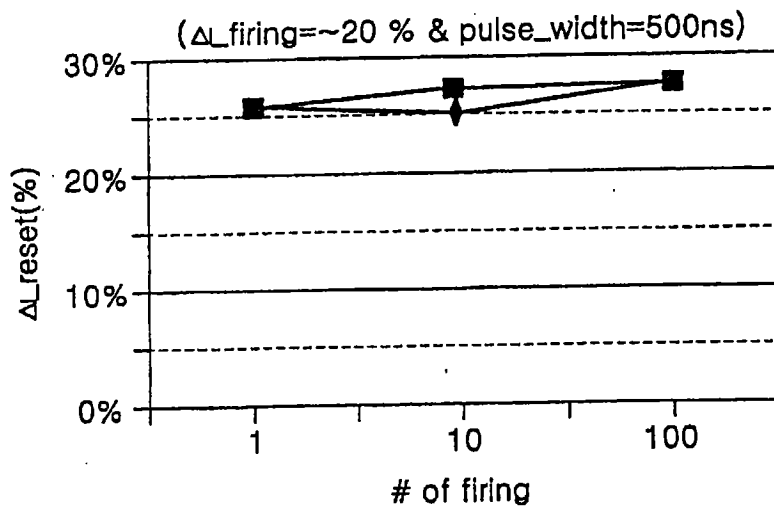


图 12

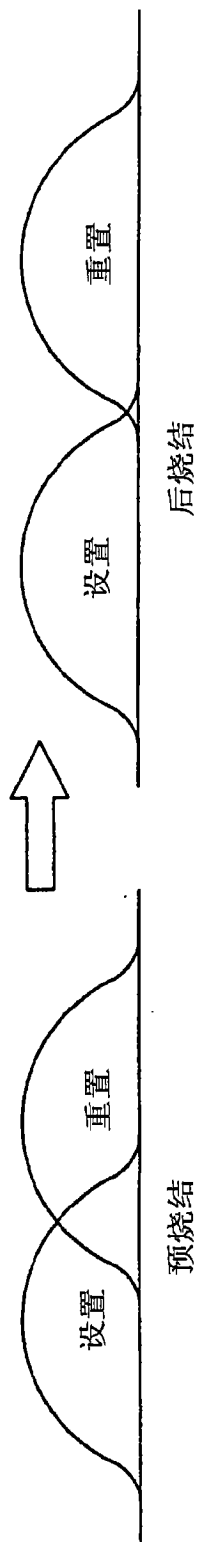


图13

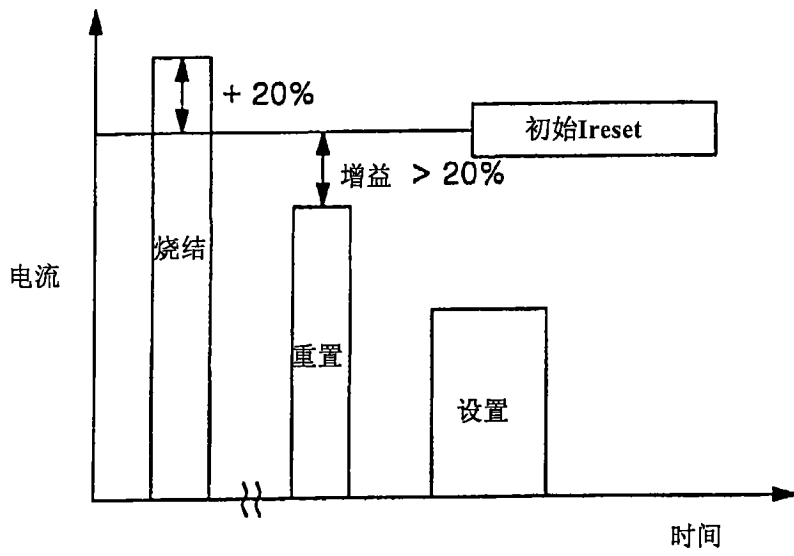


图 14A

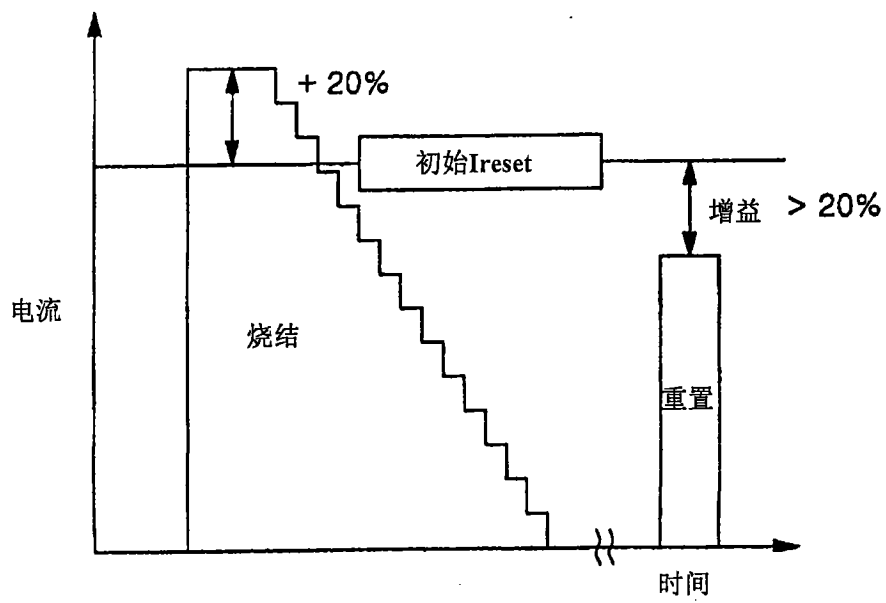


图 14B

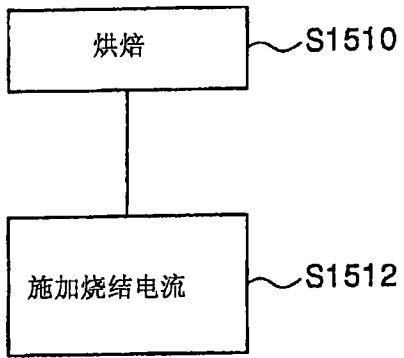


图 15



图 16