

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年3月26日(2020.3.26)

【公表番号】特表2019-507436(P2019-507436A)

【公表日】平成31年3月14日(2019.3.14)

【年通号数】公開・登録公報2019-010

【出願番号】特願2018-544830(P2018-544830)

【国際特許分類】

G 0 6 F	13/12	(2006.01)
G 0 6 F	12/00	(2006.01)
G 0 6 F	13/16	(2006.01)
G 0 6 F	12/02	(2006.01)
G 0 6 F	13/36	(2006.01)

【F I】

G 0 6 F	13/12	3 3 0 A
G 0 6 F	12/00	5 5 0 E
G 0 6 F	13/16	5 2 0 B
G 0 6 F	12/02	5 8 0 J
G 0 6 F	13/36	5 3 0 B

【手続補正書】

【提出日】令和2年2月7日(2020.2.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリバスの複数のデータレーンに結合されるように構成された物理層(PHY)インターフェースと、

読み取りレジスタと、

前記PHYインターフェースに結合されたメモリコントローラであって、データパターンチェックカーリン理回路を備え、

前記データパターンチェックカーリン理回路を使用して、前記メモリバスを介してメモリ要素に書き込むべきデータに繰り返し可能なデータのパターンが存在するかどうかを判定することと、

前記データをより少ないレーン内に統合し、列アドレス選択(CAS)コマンドによって修正される書込みコマンドを使用して前記データを前記メモリバスの前記複数のデータレーンのうちのいくつかのデータレーンのみを介して送ることと、

前記PHYインターフェースを介して前記メモリ要素からデータを受信することと、

前記メモリ要素から受信された情報に基づいて前記読み取りレジスタ内のデータを複製させることと

をするように構成された、メモリコントローラとを備える、ホストプロセッサ。

【請求項2】

前記メモリコントローラは、ルックアップテーブルをさらに備え、前記メモリコントローラは、前記メモリ要素に書き込まれるデータに関するアドレス情報を前記ルックアップテーブルに書き込む、請求項1に記載のホストプロセッサ。

【請求項 3】

前記メモリコントローラは、前記ルックアップテーブルを使用して、統合された読み取りコマンドが使用されてもよいように、前記メモリ要素から読み取られるデータが繰り返し可能なデータの前記パターンを有するかどうかを判定するように構成される、請求項2に記載のホストプロセッサ。

【請求項 4】

前記メモリコントローラは、8つのレーンからの複製されたデータを1つのデータレーン上に統合するように構成される、請求項1に記載のホストプロセッサ。

【請求項 5】

前記メモリコントローラは、8つのレーンからの複製されたデータを2つまたは4つのデータレーン上に統合するように構成される、請求項1に記載のホストプロセッサ。

【請求項 6】

前記PHYインターフェースはバックチャネルレーンを備える、請求項1に記載のホストプロセッサ。

【請求項 7】

前記メモリコントローラは、前記メモリコントローラからのデータが統合されたデータであることの表示を受信するように構成される、請求項6に記載のホストプロセッサ。

【請求項 8】

集積回路(IC)に組み込まれた、請求項1に記載のホストプロセッサ。

【請求項 9】

メモリシステムであって、

メモリバスに結合されるように構成された入出力(I/O)ブロックと、

メモリ要素を備えたメモリバンクであって、前記I/Oブロックに通信可能に結合された、メモリバンクと、

前記I/Oブロックを介して前記メモリバスからデータを受信し、ホストプロセッサからの列アドレス選択(CAS)コマンドによって修正される書き込みコマンドに応じた回数だけ前記データを複製するように動作可能な書き込みレジスタであって、前記CASコマンドは、どのように前記データを複製するかを前記メモリシステムに通知する、書き込みレジスタとを備える、メモリシステム。

【請求項 10】

前記メモリバンクは、前記メモリ要素内の前記書き込みレジスタからの前記複製されたデータを記憶するように構成される、請求項9に記載のメモリシステム。

【請求項 11】

前記メモリバンクに結合されたデータパターンチェッカー論理回路をさらに備える、請求項9に記載のメモリシステム。

【請求項 12】

前記データパターンチェッカー論理回路は、前記メモリ要素から読み取られたデータに繰り返し可能なデータのパターンが存在するかどうかを判定し、前記データをより少ないレーン内に統合し、前記メモリバスの複数のデータレーンのうちのいくつかのデータレーンのみを介して前記データを送るように構成される、請求項11に記載のメモリシステム。

【請求項 13】

バックチャネルレーン出力をさらに含む、請求項9に記載のメモリシステム。

【請求項 14】

前記メモリシステムは、複製されたデータの表示をバックチャネルレーンを介して前記バックチャネルレーン出力によって前記ホストプロセッサに送るように構成される、請求項13に記載のメモリシステム。