

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年1月2日(02.01.2020)



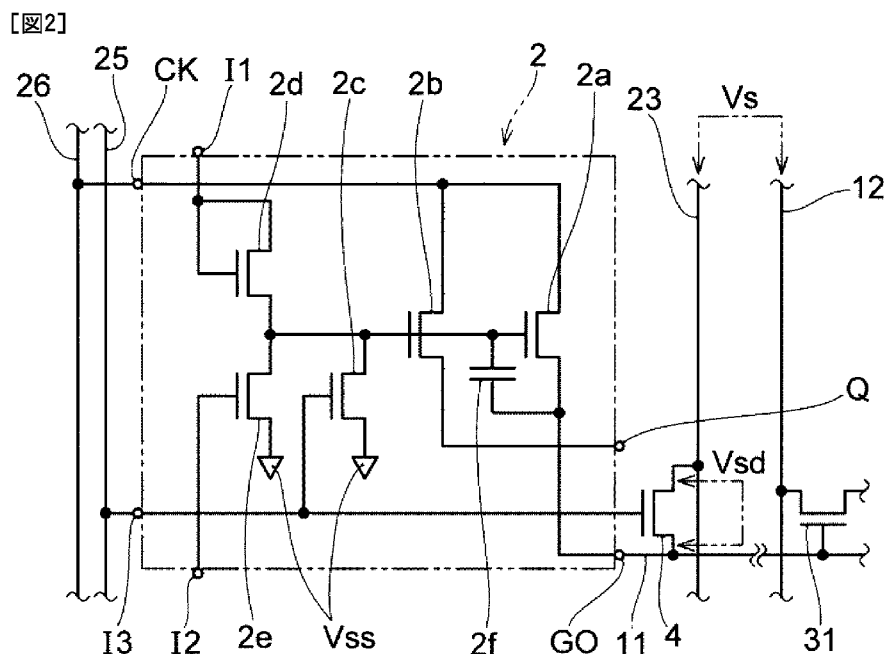
(10) 国際公開番号

**WO 2020/003445 A1**

- (51) 国際特許分類:  
*G09F 9/30* (2006.01) *G09F 9/00* (2006.01)  
*G02F 1/1368* (2006.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2018/024626
- (22) 国際出願日: 2018年6月28日(28.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 堺 ディ ス プ レ イ プ ロ ダ ク ト 株 式 会 社 (**SAKAI DISPLAY PRODUCTS CORPORATION**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 中川 英 俊 (**NAKAGAWA, Hidetoshi**); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).
- (74) 代理人: 特 許 業 務 法 人 朝 日 奈 特 許 事 務 所 (**ASAHI NA & CO.**); 〒5400012 大阪府大阪市中央区谷町二丁目2番22号 N Sビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** DISPLAY PANEL, METHOD FOR INSPECTING DISPLAY PANEL, AND METHOD FOR MANUFACTURING DISPLAY PANEL

(54) 発明の名称: 表示パネル、表示パネルの検査方法および表示パネルの製造方法



(57) **Abstract:** This display panel comprises: a first bus line and a second bus line provided on a substrate and intersecting with each other; an insulating film interposed between the first bus line and the second bus line; a pixel provided at the intersection between the first bus line and the second bus line and including a portion of the insulating film; a drive circuit formed on the surface of the substrate, the drive circuit supplying a signal to the pixel through the first bus line; a switching element provided on the substrate and connected to the first bus line; and a third bus line connected to the first bus line



**WO 2020/003445 A1**

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

via the switching element, the third bus line being used for screening the insulating film. The drive circuit is provided with an output transistor that is connected to the first bus line and outputs a signal. The switching element is provided separately from the output transistor.

(57) 要約：表示パネルは、基板の上に設けられ、互いに交差する第1バスラインおよび第2バスラインと、第1バスラインと第2バスラインとの間に介在する絶縁膜と、第1バスラインと第2バスラインとの交差部に設けられていて絶縁膜の一部を含む画素と、基板の表面に形成されていて第1バスラインを介して画素に信号を供給する駆動回路と、基板の上に形成されると共に第1バスラインに接続されているスイッチング素子と、スイッチング素子を介して第1バスラインに接続されていて絶縁膜のスクリーニングに用いられる第3バスラインと、を備え、駆動回路は、第1バスラインに接続されていて信号を出力する出力トランジスタを備えており、スイッチング素子は出力トランジスタと別個に設けられている。

## 明 細 書

発明の名称：

表示パネル、表示パネルの検査方法および表示パネルの製造方法

### 技術分野

[0001] 本発明は、表示パネル、表示パネルの検査方法および表示パネルの製造方法に関する。

### 背景技術

[0002] 携帯機器のディスプレイやテレビ受信機の画面などに用いられる液晶表示パネルや有機EL表示パネルなどは、マトリクス状に配置された複数の画素を含んでおり、各画素には、所望の輝度の光が出射されるように動作する画素駆動回路が備えられている。液晶表示パネルなどは、さらに、各画素に供給される信号が伝わるバスラインを備えており、このバスラインは、画素駆動回路を構成する薄膜トランジスタのゲート電極またはソース電極などに接続されている。この薄膜トランジスタのゲート電極およびこのゲート電極に接続されるゲートバスラインと、ドレイン電極およびソース電極ならびにこのソース電極に接続されるソースバスラインとの間には、薄膜トランジスタのゲート絶縁膜を構成する絶縁膜が介在している。

[0003] 表示パネルの製造工程において、この絶縁膜は、たとえば化学気相蒸着（CVD）などを用いて、二酸化ケイ素（ $\text{SiO}_2$ ）などの膜を成膜することによって形成される。しかしこの絶縁膜は、その形成過程においてピンホールまたは異物のように絶縁性を低下させる欠陥を含んでしまうことがある。そして、このような初期の欠陥は、ゲート絶縁膜において経時的絶縁破壊（TDDB）と呼ばれる現象を加速させることがある。しかし時間の経過と共に進行する欠陥を、その初期段階で検出するのは困難なことがある。そのため、完成状態の表示パネルを短時間だけ通常の使用状況よりも過酷な状況に置くことによって潜在的な不良を顕在化させたうえで検査を行うスクリーニングが実施されることがある。たとえば特許文献1では、液晶表示パネルのス

クリーニングとして、画素電極に接続された薄膜トランジスタのゲート電極とソース電極との間に所定の大きさの高電圧が印加されている。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開平 1 0 - 1 7 0 9 5 6 号公報

## 発明の概要

## 発明が解決しようとする課題

[0005] 表示パネルの画素駆動回路には、ソースドライバなどと称される駆動回路、および、ゲートドライバ（またはスキンドライバ）などと称される駆動回路から、ソース信号およびゲート信号が供給される。近年、これらの駆動回路を表示パネル上に形成する技術が導入されており、特にゲートドライバを表示パネル上に形成するケースが増加している。その場合、スクリーニングにおいて通常の使用電圧よりも高い電圧が画素駆動回路に印加されると、その高い電圧がゲートドライバなどにも意図せずに印加される虞がある。そしてその場合、ゲートドライバなどを構成する回路素子をこのスクリーニングにおいて劣化させ、または破壊してしまうことがある。すなわち、特に欠陥を抱えていない駆動回路を、その耐圧を上回り得る高い電圧の印加によって意図せずに破壊してしまい、略完成している表示パネルを不良品に転じさせてしまう虞がある。また、ゲートドライバなどの駆動回路が破損すると、その修復は困難なため、その表示パネルに費やされたコストが全て無駄になり、歩留まりも低下する。一方、破損には至らずともある程度劣化したゲートドライバなどを含む表示パネルが出荷されると、それらが使用時に不良に転じ、表示パネルの信頼性を低下させる虞がある。

[0006] そこで本発明は、バスラインを介して画素に信号を供給する駆動回路を内部に備える表示パネルにおいて、安定して生産され、しかも、画素および駆動回路両方の信頼性の高い表示パネルを提供すること、ならびに、歩留まりの低下を抑制しながら信頼性の高い表示パネルを得ることができる表示パネ

ルの検査方法および製造方法を提供することを目的とする。

### 課題を解決するための手段

- [0007] 本発明の第1実施形態の表示パネルは、基板の上に設けられ、互いに交差する第1バスラインおよび第2バスラインと、前記第1バスラインと前記第2バスラインとの間に介在する絶縁膜と、前記第1バスラインと前記第2バスラインとの交差部に設けられていて前記絶縁膜の一部を含む画素と、前記基板の表面に形成されていて前記第1バスラインを介して前記画素に信号を供給する駆動回路と、前記基板の上に形成されると共に前記第1バスラインに接続されているスイッチング素子と、前記スイッチング素子を介して前記第1バスラインに接続されていて前記絶縁膜のスクリーニングに用いられる第3バスラインと、を備え、前記駆動回路は、前記第1バスラインに接続されていて前記信号を出力する出力トランジスタを備えており、前記スイッチング素子は前記出力トランジスタと別個に設けられている。
- [0008] 本発明の第2実施形態の表示パネルの検査方法は、絶縁膜を介して互いに交差する第1バスラインおよび第2バスラインと、前記第1バスラインと前記第2バスラインとの交差部に設けられた画素と、前記第1バスラインに接続されている出力トランジスタから前記画素に信号を供給すべき駆動回路と、スイッチング素子を介して前記第1バスラインに接続されている第3バスラインと、を少なくとも備える表示パネルを用意し、前記スイッチング素子を制御して前記第1バスラインと前記第3バスラインとを電氣的に接続し、前記第2バスラインと前記第3バスラインとの間に所定の試験電圧を印加することによって、前記駆動回路を介さずに前記第1バスラインと前記第2バスラインとの間に電圧を印加し、前記試験電圧の印加後に前記画素の機能試験を実施する、ことを含んでいる。
- [0009] 本発明の第3実施形態の表示パネルの製造方法は、第2実施形態の検査方法を用いて表示パネルの検査を行うことを含み、前記基板の上に、前記第1バスラインと、前記絶縁膜と、前記第2バスラインと、複数の前記画素と、前記出力トランジスタを含む前記駆動回路と、前記スイッチング素子と、前

記第3バスラインと、を形成することによって前記表示パネルを用意し、前記複数の画素のうちの前記機能試験で不良と判定された画素への通電を不能にする、ことをさらに含んでいる。

## 発明の効果

[0010] 本発明の第1実施形態によれば、バスラインを介して画素に信号を供給する駆動回路を内部に備える表示パネルにおいて、駆動回路の破損を防いで表示パネルの生産を安定させ、しかも、画素および駆動回路の信頼性を高めることができる。また、本発明の第2および第3の実施形態によれば、駆動回路にダメージを与えるリスクを回避しながら絶縁膜をスクリーニングすることができるので、歩留まりの低下を抑制しながら信頼性の高い表示パネルを得ることができる。

## 図面の簡単な説明

[0011] [図1]本発明の実施形態1の表示パネルの構成の一例を模式的に示す図である。

[図2]実施形態1におけるスイッチング素子および駆動回路の一例を示す回路図である。

[図3A]実施形態1の表示パネルの第1バスラインを通る切断線での断面の一例を示す図である。

[図3B]実施形態1の表示パネルの薄膜トランジスタを通る切断線での断面の一例を示す図である。

[図4A]実施形態1の表示パネルの他の例を示す回路図である。

[図4B]実施形態1の表示パネルの他の例を示す回路図である。

[図4C]実施形態1の表示パネルの他の例を示す回路図である。

[図5]本発明の実施形態2および3における試験電圧の印加方法の一例を示す図である。

[図6]本発明の実施形態2の表示パネルの検査方法の一例を示すフローチャートである。

[図7]従来の表示パネルに対するスクリーニング方法の一例を示す図である。

## 発明を実施するための形態

[0012] 本発明者は、ゲートドライバなどの駆動回路を内部に有する表示パネルにおいて、絶縁膜のスクリーニングによる駆動回路へのダメージを回避するために鋭意検討を重ねた。そして、本発明者は、このスクリーニングによって破壊された駆動回路において各画素に供給する信号を出力する出力トランジスタが、そのソース電極とドレイン電極との間の部分で破損していることを見出した。スクリーニングのための電位差はこの出力トランジスタのドレイン電極とソース電極との間には印加されていないにも拘らず、この出力トランジスタが破損していたのである。また、本発明者は、駆動回路においてこのような破損が生じている表示パネルでは、絶縁膜においてもリークが生じていることを見出した。

[0013] 図7には、従来の表示パネルにおけるスクリーニングにおいて行われる電位差（試験電圧 $V_s$ ）の印加方法が示されている。表示パネルは、画素300、駆動回路200、ゲートバスライン110、およびソースバスライン120を備え、画素300は薄膜トランジスタ（TFT）310を含む画素駆動回路を備えている。TFT310のソース電極はソースバスライン120に接続され、そのゲート電極はゲートバスライン110に接続されている。駆動回路200は、ゲートバスライン110に接続されている出力トランジスタ210を含んでおり、ゲートバスライン110を介して画素300にゲート信号を供給する。スクリーニング時には駆動回路200が制御され、図7に示されるように、試験電圧 $V_s$ が出力トランジスタ210を介してゲートバスライン110とソースバスライン120との間、すなわち、TFT310のゲート絶縁膜（図示せず）に印加される。従って駆動回路200の出力トランジスタ210のソース電極とドレイン電極との間には、試験電圧 $V_s$ は直接印加されない。しかし、図示されないゲート絶縁膜が欠陥を有していてTFT310のゲート電極とソース電極との間が低抵抗状態またはショート状態に至ると、図7に符号 $V_{sd}$ で示されるように、試験電圧 $V_s$ に基づく大きな電位差が出力トランジスタ210のソース電極とドレイン電極と

の間に印加され得る。そして電位差  $V_{sd}$  が出力トランジスタ 210 の耐圧以上である場合、出力トランジスタ 210、すなわち駆動回路 200 が破壊される。表示パネル内に設けられる駆動回路におけるこのような破壊のメカニズムが、本発明者によって確かめられた。

[0014] そして、本発明者は、通常の画像表示における画素への信号の供給経路とは別に、スクリーニング時の試験電圧を絶縁膜（ゲート絶縁膜）に印加する経路を設けることによって、前述したメカニズムによる破壊から駆動回路を保護できることを見出した。すなわち、駆動回路を介さずにゲート絶縁膜にスクリーニングのための電位差が印加され得るため、たとえゲート絶縁膜の絶縁性に欠陥があっても、駆動回路の出力トランジスタなどを劣化または破壊させるような高い電位差は駆動回路に印加されない。一方、試験電圧の印加に用いられる回路素子が意図しない大きな電位差によって破壊されたとしても、表示パネルの画像表示機能は損なわれない。このように駆動回路にダメージを与えるリスクを回避しながら絶縁膜をスクリーニングすることができるので、表示パネルの生産を安定させ得ると共に、画素および駆動回路の両方に関して信頼性の高い表示パネルを得ることができる。

[0015] 以下、図面を参照し、本発明の実施形態の表示パネルならびに表示パネルの検査方法および製造方法を説明する。なお、以下に説明される各実施形態における各構成要素の材質、形状、それらの相対的な位置関係、ならびに、表示パネルの検査方法および製造方法における各処理の順序などは、明確に限定されているものを除いてあくまで例示に過ぎない。本発明の表示パネルならびに表示パネルの検査方法および製造方法はこれらによって限定的に解釈されるものではない。

[0016] 〔表示パネルの構造〕

図 1 には、実施形態 1 の表示パネル 1 の構成の一例が模式的に示されている。図 1 に示されるように、表示パネル 1 は、基板 10 の上に設けられ、互いに交差する第 1 バスライン 11 および第 2 バスライン 12 と、第 1 バスライン 11 と第 2 バスライン 12 との交差部に設けられた画素 3 と、基板 10

の表面に形成されていて第1バスライン11を介して画素3に信号を供給する駆動回路2と、を備えている。表示パネル1は、後述するように第1バスライン11と第2バスライン12との間に介在する絶縁膜13（図3A参照）をさらに備えており、画素3は絶縁膜13の一部を含んでいる。

[0017] 図1の例において表示パネル1は複数の第1バスライン11および複数の第2バスライン12を備えており、複数の第1バスライン11と複数の第2バスライン12との各交差部に画素3が設けられている。複数の画素3によって表示パネル1の画像表示部30が構成されており、駆動回路2は画像表示部30の外側に形成されている。複数の第1バスライン11のそれぞれは、マトリクス状に並ぶ複数の画素3のうちの同一行（図1において左右方向であるX方向と平行な各行）に並ぶ画素3それぞれに接続されている。また、第2バスライン12のそれぞれは、複数の画素3のうちの同一列（図1において上下方向であるY方向と平行な各列）に並ぶ画素3それぞれに接続されている。

[0018] 図1の例において表示パネル1は複数の駆動回路2を備えており、各駆動回路2は、同一行に並ぶ画素3それぞれに第1バスライン11を介して接続されている。各駆動回路2は、同一行に並ぶ画素3それぞれに略同時にゲート信号を供給し、複数の駆動回路2によって画素3の行毎に順次ゲート信号が供給される。すなわち、図1の駆動回路2は、所謂ゲートドライバ（スキヤンドライバ）として機能する駆動回路の例であり、個々の駆動回路2は、複数の画素3の各行に対する1段分のゲートドライバとして機能する。また、第1バスライン11は表示パネル1のゲートバスラインであり、第2バスライン12は表示パネル1のソースバスラインである。なお、本実施形態における駆動回路は、同一行ではなく、同一列に並ぶ複数の画素に略同時にゲート信号を供給してもよい。図1には、表示パネル1の外部に設けられていて複数の画素3の列毎にソース信号を供給する駆動回路（ソースドライバ）2sも併せて示されており、第2バスライン12は駆動回路2sに接続されている。

[0019] 表示パネル 1 は、さらに、基板 10 の上に形成されると共に第 1 バスライン 11 に接続されているスイッチング素子 4（第 1 スwitchング素子）、および、スイッチング素子 4 を介して第 1 バスライン 11 に接続されている第 3 バスライン 23 を備えている。スイッチング素子 4 によって第 1 バスライン 11 と第 3 バスライン 23 との接続状態が切り換えられ、たとえば、第 1 バスライン 11 と第 3 バスライン 23 とが電氣的に接続されるか、或いは、両者が電氣的に分離される。スイッチング素子 4 としては、後述するように、トランジスタ、またはトランジスタの各端子を適宜接続することによって構成されるダイオードなどが例示される。スイッチング素子 4 は、二つのバスラインの電氣的な接続状態を切り換えられるものであればこれらに限定されないが、製造および制御の容易性の面で薄膜トランジスタであることが好ましい。

[0020] 図 1 の表示パネル 1 は、第 1 ～第 3 のバスライン 11、12、23 以外に、複数の駆動回路 2 のそれぞれに接続されるクリアバスライン 25 をさらに備えている。クリアバスライン 25 は、後述するように、駆動回路 2 内に蓄積された電荷を放電させる信号を伝えるバスラインである。第 3 バスライン 23 およびクリアバスライン 25 は、図 1 に示されるように、ソースドライバとして機能する駆動回路 2s に接続されてもよく、その場合、第 3 バスライン 23 およびクリアバスライン 25 を通じて伝送される信号は駆動回路 2s から供給される。

[0021] 複数の画素 3 は、それぞれ、画素 3 からの光の出射状態を切り換える画素駆動回路 3a を備えている。駆動回路 2（以下、画素駆動回路 3a との区別を明確にするため、ゲートドライバとして機能する例における駆動回路 2 はゲートドライバ 2 とともに表記される）は、各画素 3 の画素駆動回路 3a に接続されている。画素駆動回路 3a は、図 1 の例では、薄膜トランジスタ（TFT）31 と、補助容量 3b とで構成されており、ゲートドライバ 2 は、第 1 バスライン 11 を介して TFT 31 のゲート電極に接続されている。TFT 31 のソース電極は、第 2 バスライン 12 を介して外部のソースドライバ（

駆動回路 2 s) に接続されている。T F T 3 1 のドレイン電極は、画素 3 毎に液晶層 L C に備えられる画素電極に接続されると共に補助容量 3 b に接続されている。すなわち、図 1 は、表示パネル 1 が液晶表示パネルである例を示している。なお、本実施形態の表示パネルは液晶表示パネル以外のアクティブマトリクス型の表示パネルであってもよく、たとえば、有機 E L 表示パネルであってもよい。

[0022] 図 2 には、本実施形態の表示パネル 1 におけるスイッチング素子 4、およびゲートドライバとして機能する駆動回路 2 の一例を示す回路図が示されている。また、図 2 には、第 2 バスライン 1 2 および画素 3 (図 1 参照) に備えられている T F T 3 1 も示されている。なお、図 2 では、駆動回路 2 を構成する回路素子の一部が適宜省略されている。図 2 の例では、駆動回路 2 は、画素 3 に供給する信号を出力する出力トランジスタ 2 a を含む五つのトランジスタ 2 a ~ 2 e およびキャパシタ 2 f を備えている。トランジスタ 2 a ~ 2 e は、好ましくは、基板 1 0 の上に形成された薄膜トランジスタである。出力トランジスタ 2 a のドレイン電極およびソース電極の一方は駆動回路 2 の出力 G O を介して第 1 バスライン 1 1 に接続されており、それらの他方は駆動回路 2 の入力 C K を介してクロックバスライン 2 6 に接続されている。クロックバスライン 2 6 は、駆動回路 2 からのゲート信号の出力時機を規定するクロック信号を伝えるバスラインであり、好ましくは、クリアバスライン 2 5 と並列するように配置される。図 1 の例のように複数の駆動回路 2 が設けられる場合、駆動回路 2 の入力 I 1 および I 2 ならびに出力 Q は、他の駆動回路 2 に接続され得る。

[0023] 図 2 の例において、スイッチング素子 4 は電解効果型トランジスタであり、好ましくは、基板 1 0 の上に形成された薄膜トランジスタである。図 2 の例においてスイッチング素子 4 は、後述する試験電圧が印加される入力端と、出力端と、入力端と出力端との間の電気抵抗の制御に用いられる制御端とを有している。スイッチング素子 4 の出力端が第 1 バスライン 1 1 に接続されており、スイッチング素子 4 の入力端が第 3 バスライン 2 3 に接続されて

いる。換言すると、図2の例のスイッチング素子4（薄膜トランジスタ）において、第1バスライン11に接続される端子（電極）は出力端であり、第3バスライン23に接続される端子（電極）は入力端である。薄膜トランジスタは、ドレイン電極またはソース電極と称される二つの電極を有するが、これらの電極は略同じ構造を有しており、同様の機能を有し得る。図2～図5が参照される以下の説明では、スイッチング素子4が薄膜トランジスタ以外である場合でも解り易いように「ソース電極」および「ドレイン電極」という用語が多用される。しかし、スイッチング素子4が薄膜トランジスタである場合、そのソース電極およびドレイン電極のいずれがスイッチング素子4の入力端であっても、または出力端であってもよい。そして、薄膜トランジスタにおいてこれら電極間の導通と遮断の制御に用いられるゲート電極が、スイッチング素子4の制御端である。

[0024] 第3バスライン23は表示パネル1が備える絶縁膜13（図3A参照）のスクリーニングに用いられる。具体的には、スイッチング素子4が、適切なゲート電位の入力によってオン状態へと制御される。そして、所定の電圧の印加などによって第3バスライン23および第2バスライン12それぞれの電位が制御され、第3バスライン23と第2バスライン12との間に試験電圧（電位差） $V_s$ が印加される。そうすることによって、第1バスライン11と第2バスライン12との間に介在する絶縁膜13に試験電圧 $V_s$ に基づく電位差を印加することができる。一方、絶縁膜13に対するスクリーニングの実施時以外の期間では、スイッチング素子4をオフにし得る電位にそのゲート電位を制御することによって、TF T 3 1および第1バスライン11と、第3バスライン23とを電氣的に分離することができる。

[0025] ここで、「試験電圧」は、その印加によって、潜在的な欠陥を含む絶縁膜の絶縁性を初期の絶縁膜に必要とされる絶縁性以下まで所定の時間内に劣化させることが可能な電圧である。従って、第3バスライン23は、絶縁膜13に対するスクリーニングにおいて、絶縁膜13の欠陥を顕在化させ得る大きさの電圧が第2バスライン12との間に印加されるバスラインである。「

試験電圧」は、また、その印加によって正常な絶縁膜の信頼性を、求められる水準未満に低下させない電圧であり、画素駆動回路 3 a（図 1 参照）の製造プロセス、ならびに表示パネル 1 に求められる特性および信頼性水準などに基づいて適宜決定され得る。

[0026] 図 2 に示されるように、スイッチング素子 4 は、駆動回路 2 の出力トランジスタ 2 a と別個に設けられている。従って、絶縁膜 1 3（図 3 A 参照）に対するスクリーニングにおいて絶縁膜 1 3 に欠陥が生じても駆動回路 2 が破壊されることはない。すなわち、スクリーニングにおいて絶縁膜 1 3 が万一ショート状態に至っても、試験電圧  $V_s$  に基づく電位差は、駆動回路 2、具体的にはその出力トランジスタ 2 a に印加されることはない。従って、絶縁膜 1 3 のスクリーニングを実施しながら、駆動回路 2 へのダメージを防いでその信頼性を高めることができる。また、駆動回路 2 の破壊による歩留まりの低下を抑えることができ、表示パネル 1 の生産を安定させることができる。

[0027] なお、絶縁膜 1 3 がショート状態に至った場合、スイッチング素子 4 のソース電極とドレイン電極との間には、図 2 に符号  $V_{sd}$  で示されるように試験電圧  $V_s$  に基づく電位差が印加され得る。その場合、スイッチング素子 4 がダメージを受ける可能性があるが、スイッチング素子 4 は、通常、表示パネル 1 の使用時に用いられないので、表示パネル 1 の信頼性を低下させることはない。

[0028] また、万一スイッチング素子 4 がスクリーニング中に破壊されても、その破壊がスイッチング素子 4 のソース電極とドレイン電極との間をショート状態にする破壊であれば、スクリーニングにおいて特に問題はない。第 3 バスライン 2 3 および第 1 バスライン 1 1 を介した絶縁膜 1 3 への試験電圧  $V_s$  の印加が、そのまま継続され得る。そして、たとえば、破壊されたスイッチング素子 4 のソース電極およびドレイン電極と、第 1 バスライン 1 1 および第 3 バスライン 2 3 とを、スクリーニング後に電氣的に分離することによって、その破壊の影響が表示パネル 1 の画像表示機能に及ぶことを防ぐことが

できる。この場合、スイッチング素子4のゲート電極と、そのゲート電極が接続されている導体（図2の例ではクリアバスライン25）との間が電氣的に分離され、スイッチング素子4のソース電極またはドレイン電極の一方だけが、第1バスライン11または第3バスライン23から電氣的に分離されてもよい。

[0029] 一方、スクリーニング中のスイッチング素子4における破壊がソース電極とドレイン電極との間をオープン状態にする破壊であれば、表示パネル1の画像表示機能がその破壊の影響を受けることはない。

[0030] 図2の例において駆動回路2は、さらに入力13を備えており、トランジスタ2cのゲート電極は入力13を介してクリアバスライン25に接続されている。トランジスタ2cのソース電極およびドレイン電極の一方はトランジスタ2aのゲート電極およびキャパシタ2fに接続され、トランジスタ2cのソース電極およびドレイン電極の他方は、任意の定電位ノード（図2の例では負側の基準電位 $V_{ss}$ ）に接続される。従って、トランジスタ2cは、クリアバスライン25の電位に応じて、トランジスタ2aのゲート容量およびキャパシタ2fに蓄積された電荷を放電させる。なお「負側の基準電位」は、たとえば、表示パネル1の外部に設けられるオンボード電源などの電圧源において生成され、提供され得る。負側の基準電位 $V_{ss}$ としては、 $-6V$ 、または $-8V$ などが例示されるが、これらに限定されない。

[0031] クリアバスライン25には、トランジスタ2c以外にも、駆動回路2が有する任意の容量成分に蓄積された電荷を放電させ得る任意のトランジスタのゲート電極が接続されていてもよい。クリアバスライン25は、このように、駆動回路2内に蓄積された電荷を放電させる際にトランジスタ2cなどがオンし得る所定の電位の信号を伝えるバスラインである。たとえば、駆動回路2内に蓄積された電荷を所定のタイミング、たとえば所定の周期で若しくは不定期の所望の時機に放電させるためにトランジスタ2cなどをオン状態にする信号が、クリアバスライン25を通じて伝送される。好ましくは、表示画像の1フレーム分の画像データが各画素3に順次書き込まれ始めるとき

に、駆動回路 2 が有する容量成分における放電を可能にする信号がクリアバスライン 25 を通じて伝送される。

[0032] 図 2 の例では、スイッチング素子 4 の制御端（ゲート電極）はクリアバスライン 25 に接続されている。従って、クリアバスライン 25 にトランジスタ 2c およびスイッチング素子 4 がオンし得る電位の信号を入力するだけで、駆動回路 2 内の容量成分に蓄積された電荷を放電することができ、同時に、第 1 バスライン 11 と第 3 バスライン 23 とを電氣的に接続することができる。すなわち、絶縁膜 13（図 3A 参照）のスクリーニングの際に、出力トランジスタ 2a を安定的にオフ状態に保ちながら、絶縁膜 13 をスクリーニングすることができる。

[0033] また、図 2 の例では、第 3 バスライン 23 およびスイッチング素子 4 は、TF T 31 のゲート容量および保持容量 3b（図 1 参照）に蓄積された電荷の放電にも利用され得る。詳述すると、TF T 31 のゲート容量および保持容量 3b には、TF T 31 への画像データの書き込みの度に、その画像データに応じた量の電荷が蓄えられる。そして、1 フレーム分の画像の表示後、次のフレームの画像データの書き込みが始まる前に、好ましくは、先のフレームにおいて蓄えられた電荷が放電される。図 2 の例では、スイッチング素子 4 の制御端（ゲート電極）はクリアバスライン 25 に接続されており、前述したように、1 フレーム分の画像データが各画素 3 に順次書き込まれ始めるときに、所定の信号がクリアバスライン 25 を通じて伝送される。このときに第 3 バスライン 23 を任意の定電位ノード、たとえば負側の基準電位  $V_{ss}$  などに接続することによって、TF T 31 のゲート容量に蓄えられた電荷をスイッチング素子 4 および第 3 バスライン 23 を通じて放電させることができる。

[0034] 図 3A には、本実施形態の表示パネル 1 における基板 10 の厚さ方向の断面であって第 1 バスライン 11 を通る切断線での断面の一例が示されている。また図 3B には、図 3A に示される断面と同様に基板 10 の厚さ方向の断面であって TF T 31 およびスイッチング素子 4 を通る切断線での断面の一

例が示されている。なお、図3Bでは、駆動回路2、および、画素駆動回路3aを構成するTF T 3 1以外の回路素子の図示は省略されている。

[0035] 図3Aに示されるように、基板10の表面上に、第1バスライン11と第2バスライン12とが、互いに交差するように形成されており、第1バスライン11と第2バスライン12との間に絶縁膜13が介在している。絶縁膜13は、図3Bに示されるように、TF T 3 1において、ソース電極35およびドレイン電極36とゲート電極32との間に介在しており、TF T 3 1のゲート絶縁膜を構成している。換言すると、TF T 3 1を画素駆動回路3a内に備える複数の画素3（図1参照）のそれぞれは、絶縁膜13の一部を含んでいる。図3Aおよび図3Bでは明示されていないが、TF T 3 1のゲート電極32は、第1バスライン11に接続され、ソース電極35は第2バスライン12に接続されている。このゲート電極32とソース電極35に挟まれた絶縁膜13（ゲート絶縁膜）において、製造時の欠陥などによる絶縁性の低下または短絡がスクリーニング中に生じ得る。本実施形態では、前述したように、その場合でも駆動回路2の破壊を防ぐことができる。

[0036] 図3Aおよび図3Bの例では、基板10の表面上に第1バスライン11が形成されており、第1バスライン11を覆う絶縁膜13が基板10の略全面に形成され、絶縁膜13上に第2バスライン12が形成されている。第3バスライン23は基板10の上に第1バスライン11と略直交する方向に沿って形成されており、基板10の縁部とスイッチング素子4との間に形成されている。しかし、第3バスライン23は、スイッチング素子4と画像表示部30との間に形成されてもよく、或いは、図3Bには示されていない駆動回路2（図1参照）よりも基板10の縁部に近い位置に形成されてもよい。なお、第1バスライン11と第2バスライン12との基板10の上での上下の位置関係は、図3Aおよび図3Bの例と逆であってもよい。また、第3バスライン23は、第2バスライン12と同様に絶縁膜13上に形成されていてもよい。

[0037] さらに、クリアバスライン25が、第1バスライン11と同様に基板10

の表面上に形成されている。クリアバスライン25は、基板10の縁部に、第1バスライン11と略直交する方向に沿って形成されている。

[0038] 図3Bにおいてスイッチング素子4は、TF T 3 1と同様に薄膜トランジスタによって構成されており、画像表示部30（図1参照）の外側に形成されている。スイッチング素子4を構成する薄膜トランジスタおよびTF T 3 1は、それぞれ、ゲート電極42、32上に、絶縁膜13の一部で構成されるゲート絶縁膜を介して半導体層43、33を備えている。絶縁膜13としては、シリコン酸化膜（ $\text{SiO}_2$ ）またはシリコン窒化膜（ $\text{SiN}_x$ ）などが例示される。半導体層43、33は、たとえば、アモルファスシリコン、低温多結晶シリコン（LT P S）、または、混晶系半導体などを用いて形成される。半導体層43、33上には、不純物濃度の高い半導体によってコンタクト層44、34が形成されており、コンタクト層44、34上、および絶縁膜13の一部の上に、ソース電極45、35およびドレイン電極46、36が形成されている。ゲート電極42、32および第1バスライン11、ならびに、ソース電極45、35、ドレイン電極46、36、第2バスライン12および第3バスライン23は、たとえばタングステン、モリブデン、チタン、アルミニウム、または銅-チタン合金などを用いて形成される。なお、図3Aおよび図3Bにおいて省略されている駆動回路2を構成するトランジスタ2a~2e（図2参照）も、図3Bに示されるスイッチング素子4およびTF T 3 1と同様の材料を用いて形成され、これらと同様の構造を有し得る。なお、図3Bに示されるTF T 3 1およびスイッチング素子4の構造は一例に過ぎない。TF T 3 1およびスイッチング素子4は、たとえば、トップゲート型の薄膜トランジスタであってもよい。

[0039] スwitching素子4のソース電極45とドレイン電極46との間には、前述したように、意図せずに大きな電位差が印加され得る。従って、スイッチング素子4を構成する薄膜トランジスタのソース電極45とドレイン電極46との間のギャップG4は、好ましくは、図示されない駆動回路2内のトランジスタのソース電極とドレイン電極との間のギャップよりも大きい。さら

に、このギャップG4は、TFT31のソース電極35とドレイン電極36との間のギャップG3よりも大きくてもよい。

[0040] 図3Aおよび図3Bは図1と同様に液晶表示パネルである表示パネル1を例示しているため、画素駆動回路3aの上には液晶層LCなどが形成されている。具体的には、図3Bに示されるように、画素駆動回路3aを覆う平坦化膜14aが形成されており、平坦化膜14aの表面に画素電極16aが形成されている。画素電極16aは、平坦化膜14aに形成されたコンタクト導体15を介してドレイン電極36に接続されている。平坦化膜14aおよび画素電極16aの上に第1配向膜17aが形成され、第1配向膜17aと第2配向膜17bとの間に、ネマティック液晶などを注入することによって液晶層LCが形成されている。第2配向膜17bは、対向基板10bにおける基板10を向く表面に、カラーフィルタ19、平坦化膜14bおよび対向電極16bと共に積層されている。対向基板10bは、画素駆動回路3aを挟んで基板10と対向するように配置され、基板10と対向基板10bの間にはスペーサ18によって所定の間隔が確保されている。また、図示されていないが、基板10および対向基板10bそれぞれの液晶層LCと反対方向を向く表面には偏光板が備えられていてもよく、表示パネル1が透過型の液晶表示パネルである場合には、基板10に備えられる偏光板に対向して、LEDなどによって構成される光源、または導光板（いずれも図示せず）が備えられる。画素駆動回路3aの上の画素電極16a、第1および第2の配向膜17a、17b、ならびに液晶層LCなどの各構成要素は一般的な構造を有し得るため、それらの詳細な説明は省略される。なお、表示パネル1が有機EL表示パネルである場合は、液晶層LCなどの代わりに、画素3毎に有機発光素子が形成される。

[0041] 〔表示パネルの変形例1〕

図4Aには、本実施形態の変形例1におけるスイッチング素子4が、駆動回路2と共に示されている。図4Aの例においてスイッチング素子4は、先に参照した図2の例と同様にトランジスタによって構成されており、好まし

くは薄膜トランジスタによって構成される。本変形例では、スイッチング素子4の制御端（ゲート電極）が、クリアバスライン25および駆動回路2には接続されず、スイッチング素子4の入力端（薄膜トランジスタのソース電極またはドレイン電極）と共に第3バスライン23に接続されている。従って、スイッチング素子4を構成する薄膜トランジスタは所謂ダイオード接続によってダイオードの機能を有し得る。

[0042] 一方、スイッチング素子4の出力端（ソース電極およびドレイン電極のうちの第3バスライン23に接続されていない電極）は、図2の例と同様に第1バスライン11に接続されている。従って、スイッチング素子4を構成する薄膜トランジスタのスレッシュホールド電圧を超える電位差が第3バスライン23と第1バスライン11との間に印加されれば、スイッチング素子4はオン状態となり、第3バスライン23と第1バスライン11とが電氣的に接続される。従って、第3バスライン23と第2バスライン12との間に、スイッチング素子4を構成する薄膜トランジスタのスレッシュホールド電圧を十分に超える電位差を印加することによって、絶縁膜13（図3A参照）のスクリーニングを行うことができる。すなわち、図2の例と異なり、クリアバスライン25を伝わる信号に影響を受けずに絶縁膜13のスクリーニングを行うことができる。スイッチング素子4の制御端が第3バスライン23に接続される点を除いて、本変形例の構成は図2に示される構成と同様であり、同様の構成要素についての重複となる説明は省略される。

[0043] [表示パネルの変形例2]

図4Bには、本実施形態の変形例2におけるスイッチング素子4が、駆動回路2と共に示されている。図4Bの例においてスイッチング素子4は、先に参照した図2の例と同様にトランジスタによって構成されており、好ましくは薄膜トランジスタによって構成される。本変形例では、表示パネル1（図1参照）は、さらに、第4バスライン24を備えており、スイッチング素子4の制御端（ゲート電極）は、クリアバスライン25および駆動回路2には接続されず、第4バスライン24に接続されている。従って、第4バスラ

イン 2 4 は、スイッチング素子 4 の制御に用いられると共に、絶縁膜 1 3 （図 3 A 参照）のスクリーニングに用いられる。すなわち、本変形例では、絶縁膜 1 3 のスクリーニングの際には、スイッチング素子 4 がオンし得る所定の電位の信号が第 4 バスライン 2 4 を通じて伝送される。そして、第 3 バスライン 2 3 と第 2 バスライン 1 2 との間に所定の試験電圧を印加することによって絶縁膜 1 3 をスクリーニングすることができる。

[0044] 前述した変形例 1 と同様に、本変形例では、クリアバスライン 2 5 から独立して、スイッチング素子 4 を制御することができる。従って、駆動回路 2 の動作に影響を及ぼすことなく、絶縁膜 1 3 のスクリーニングを実施することができる。また、本変形例では、スイッチング素子 4 のソース電極およびドレイン電極は、ゲート電極を伴わずに単独で第 3 バスライン 2 3 または第 1 バスライン 1 1 にそれぞれ接続されている。従って、スイッチング素子 4 がオン状態の時のソース電極とドレイン電極との電位差は、変形例 1 におけるその電位差よりも小さい。従って、たとえば、変形例 1 と変形例 2 とにおいて第 3 バスライン 2 3 を伝わる信号の電位が同じであれば、変形例 2 には、より高い電位差を絶縁膜 1 3 に印加することができると考えられる。スイッチング素子 4 を構成する薄膜トランジスタのゲート電極が第 4 バスライン 2 4 に接続される点を除いて、本変形例の構成は図 2 に示される構成と同様であり、同様の構成要素についての重複となる説明は省略される。

[0045] [表示パネルの変形例 3]

図 4 C には、本実施形態の変形例 3 におけるスイッチング素子 4 が、駆動回路 2 と共に示されている。図 4 C の例においても、スイッチング素子 4 は、前述した変形例 2 と同様にトランジスタによって構成されており、好ましくは薄膜トランジスタによって構成される。また、本変形例においても、第 4 バスライン 2 4 が備えられており、スイッチング素子 4 の制御端（ゲート電極）は第 4 バスライン 2 4 に接続されている。従って、駆動回路 2 の動作に影響を及ぼすことなく、絶縁膜 1 3 （図 3 A 参照）をスクリーニングすることができる。また、図 2 の例と同様にクリアバスライン 2 5 が備えられて

いる。クリアバスライン 25 を通じて、駆動回路 2 内に蓄積された電荷、たとえば、出力トランジスタ 2a のゲート電極と第 1 バスライン 11 との間に蓄えられた電荷を所定のタイミングで、たとえば所定の周期で若しくは不定期の所望の時機に放電させる信号が伝送される。

[0046] 本変形例では、さらに、第 4 バスライン 24 および駆動回路 2 の出力トランジスタ 2a のゲート電極に接続されている第 2 スイッチング素子 4b が備えられている。第 2 スイッチング素子 4b としては、各種トランジスタ、サイリスタ、および半導体スイッチ IC などが例示されるが、スイッチング素子 4a と同様に薄膜トランジスタが第 2 スイッチング素子 4b として好ましい。従って第 2 スイッチング素子 4b は図 3B に例示されるスイッチング素子 4 と同様の構造を有し得る。図 4C の例において、トランジスタによって構成されている第 2 スイッチング素子 4b のゲート電極が第 4 バスライン 24 に接続されている。そして第 2 スイッチング素子 4b のソース電極およびドレイン電極の一方が駆動回路 2 の出力トランジスタ 2a のゲート電極に接続され、第 2 スイッチング素子 4b のソース電極およびドレイン電極の他方は任意の定電位ノード（図 4C の例では負側の基準電位  $V_{ss}$ ）に接続されている。従って、第 2 スイッチング素子 4b は、第 4 バスライン 24 の電位に応じて出力トランジスタ 2a をオフ状態に制御することができる。

[0047] 前述したように、絶縁膜 13 のスクリーニングの際には、スイッチング素子 4 がオンし得る所定の電位の信号が第 4 バスライン 24 を通じて伝送される。本変形例では、このスクリーニングの際に、スイッチング素子 4 に加えて第 2 スイッチング素子 4b もオンし得る所定の電位の信号を伝送することによって、出力トランジスタ 2a のゲート電極と第 1 バスライン 11 との間に蓄えられた電荷を放電させることができる。すなわち、クリアバスライン 25 への特定の信号の印加を要することなく、出力トランジスタ 2a のゲート容量およびキャパシタ 2f などに蓄えられた電荷を放電させることができる。そして、クリアバスライン 25 への特定の信号の印加を要することなく、先に参照した図 2 の例と同様に出力トランジスタ 2a を安定的にオフ状態

に保ちながら、絶縁膜 13 をスクリーニングすることができる。駆動回路 2 の回路構成次第では、クリアバスライン 25 に特定の信号を印加し得る時機が制限されることがある。そのような場合、変形例 3 のような構成は有益である。

[0048] 〔表示パネルの検査方法〕

実施形態 2 の表示パネルの検査方法を、図 1、図 2、図 3 A および図 3 B に例示される実施形態 1 の表示パネル 1 を例に、適宜これらの図面を再度参照すると共に、図 5 および図 6 を参照しながら説明する。

[0049] まず、表示パネル 1 が用意される（図 6 の S 1）。図 1、図 2、図 3 A および図 3 B に例示されるように、表示パネル 1 は、絶縁膜 13 を介して互いに交差する第 1 バスライン 11 および第 2 バスライン 12 と、第 1 バスライン 11 と第 2 バスライン 12 との交差部に設けられた画素 3 と、第 1 バスライン 11 に接続されている出力トランジスタ 2 a から画素 3 に信号を供給すべき駆動回路 2 と、スイッチング素子 4 を介して第 1 バスライン 11 に接続されている第 3 バスライン 23 と、を少なくとも備えている。表示パネル 1 は、たとえば、後述する実施形態 3 の表示パネルの製造方法において説明されるように、基板 10 の上に、少なくとも、第 1 バスライン 11、絶縁膜 13、第 2 バスライン 12、画素 3、出力トランジスタ 2 a を含む駆動回路 2、スイッチング素子 4、および、第 3 バスライン 23 を形成することによって用意され得る。なお、本実施形態の表示パネルの検査方法は、第 1 バスライン 11 などの表示パネル 1 の構成要素の形成を必ずしも含んでいなくてもよく、たとえば、表示パネル 1 は、必要な構成要素を備えた表示パネル 1 を検査の実施場所に単に持ち込むことによって用意されてもよい。

[0050] そして、スイッチング素子 4 が制御され、第 1 バスライン 11 と第 3 バスライン 23 とが電氣的に接続される（図 6 の S 2）。図 5 の例ではスイッチング素子 4 がトランジスタで構成されているため、スイッチング素子 4 のゲート電極にスイッチング素子 4 がオン状態となり得る電圧が印加される。図 5 の例においてスイッチング素子 4 のゲート電極はクリアバスライン 25 に

接続されているため、クリアバスライン 25 には、スイッチング素子 4 がオンし得る電圧が印加される。それにより、スイッチング素子 4 のソース電極またはドレイン電極にそれぞれ接続されている第 1 バスライン 11 と第 3 バスライン 23 とが電氣的に接続される。なお、表示パネル 1 が図 4 A に例示される変形例 1 である場合、後述する第 2 バスライン 12 と第 3 バスライン 23 との間への試験電圧の印加と共に、第 1 バスライン 11 と第 3 バスライン 23 とが電氣的に接続される。また、表示パネル 1 が図 4 B または図 4 C に例示される変形例 2 または変形例 3 である場合、変形例 2 または変形例 3 の表示パネル 1 が備える第 4 バスライン 24 に、スイッチング素子 4 がオンし得る電圧が印加される。

[0051] 図 5 に示されるように、第 2 バスライン 12 と第 3 バスライン 23 との間に、絶縁膜 13 (図 3 A 参照) の潜在的な欠陥を顕在化させ得る所定の試験電圧  $V_s$  が印加される (図 6 の S3)。それにより、第 3 バスライン 23 と電氣的に接続されている第 1 バスライン 11 と、第 2 バスライン 12 との間に試験電圧  $V_s$  に基づく電圧 (電位差) が印加される。図 5 に示されるように、第 1 バスライン 11 と第 2 バスライン 12 の間には、駆動回路 2 を介さずに試験電圧  $V_s$  に基づく電圧が印加される。

[0052] 試験電圧  $V_s$  は、前述したように、画素駆動回路 3a (図 1 参照) の製造プロセス、ならびに表示パネル 1 に求められる特性および信頼性水準などに基づいて適宜決定され得る。試験電圧  $V_s$  (第 2 バスライン 12 と第 3 バスライン 23 の間の電位差) は、たとえば 50 V 以上、100 V 以下であり、好ましくは 70 V である。その場合、通常の画像表示のために表示パネル 1 に供給される正負の電源電圧を利用することができる。

[0053] また、試験電圧  $V_s$  の極性は、第 2 バスライン 12 と第 3 バスライン 23 との間で一定であってもよく、適宜反転されてもよい。また、パルス電圧が印加されてもよい。たとえば、1 秒以上、10 秒以下程度の時間毎に極性が反転されてもよい。そうすることで、効率よく絶縁膜 13 の欠陥を顕在化させ得ることがある。なお、試験電圧  $V_s$  の印加中、好ましくは、駆動回路 2

における入力C Kなどの各入力端子には0 V（グランド電位）が入力される。スクリーニング中に画素3のT F T 3 1においてリークが生じて、スイッチング素子4に加わる電圧よりも高い電圧が駆動回路2の出力トランジスタ2 aに加わることを防ぐことができる。試験電圧V sは、たとえば、単独またはスクリーニング装置に組み込まれた外部の電圧源またはパルスジェネレータなどを用いて供給され得る。

[0054] 試験電圧の印加後に画素3の機能試験が実施される（図6のS 4）。機能試験の方法は特に限定されないが、たとえば、全白、全黒、市松模様、縦および／または横ストライプならびにグレースケールなどの試験画像が表示され、目視によって、またはCCDなどの撮像装置を備えた画像検査装置を用いて各画素3の良否が判定される。第1バスライン1 1と第2バスライン1 2との間に試験電圧V sに基づく電位差が先に印加されているため、これらのバスラインに介在する絶縁膜1 3に潜んでいた欠陥を含む画素を不良画素として適切に判別することができる。

[0055] 本実施形態の表示パネルの検査方法では、絶縁膜1 3のスクリーニングのために第1バスライン1 1と第2バスライン1 2との間に印加される電位差は、駆動回路2を介さずに印加される。そのため、絶縁膜1 3が欠陥を含んでいて第1バスライン1 1と第2バスライン1 2とが万一ショートした場合でも、スクリーニング中に駆動回路2がダメージを受けたり、破壊されたりすることが防がれる。

[0056] 本実施形態の表示パネルの検査方法では、試験電圧V sの印加中、駆動回路2の出力トランジスタ2 aをオフ状態に制御することが好ましい。試験電圧V sが、駆動回路2を構成する回路素子に印加されるのを防ぐことができ、駆動回路2を安定した状態に維持することができる。図5の例において、スイッチング素子4に加えて駆動回路2のトランジスタ2 cもオンし得る電圧をクリアバスライン2 5に印加することによって、出力トランジスタ2 aをオフ状態にすることができる。表示パネル1が図4 A～図4 Cのいずれかに例示される変形例1～変形例3のいずれかである場合も、クリアバスライ

ン 2 5 に、駆動回路 2 のトランジスタ 2 c がオンし得る電圧を印加することによって、出力トランジスタ 2 a をオフ状態にすることができる。表示パネル 1 が変形例 3 である場合は、第 4 バスライン 2 4 に第 2 スイッチング素子 4 b がオンし得る電圧を印加することによって出力トランジスタ 2 a をオフ状態にすることもできる。

[0057] スクリーニング中は、画素 3 が有する容量成分に、試験電圧  $V_s$  に基づく量の電荷が蓄積される。従って、試験電圧  $V_s$  の印加後に、画素 3 に蓄えられている電荷をスイッチング素子 4 および第 3 バスライン 2 3 を介して放電させてもよい。具体的には、TFT 3 1 のゲート容量に蓄えられた電荷が放電される。これらの容量成分に蓄えられた電荷は、たとえば図 5 の例において、クリアバスライン 2 5 にスイッチング素子 4 がオンし得る電圧を印加し、任意の定電位ノード（たとえば負側の基準電位  $V_{ss}$ ）に第 3 バスライン 2 3 を接続することによって放電され得る。第 1 バスライン 1 1 と、駆動回路 2 における出力トランジスタ 2 a のゲート電極が接続されているノード（ $net A$ ）との間に電位差があると、この  $net A$  が意図せずに充電され、駆動回路 2 が誤動作を起こすことがある。しかし、画素 3 に蓄えられた電荷を意図的に放電させることによって、そのような誤動作を防ぐことができる。なお、表示パネル 1 が、図 4 B または図 4 C に示される変形例 2 または変形例 3 である場合、第 4 バスライン 2 4 にスイッチング素子 4 がオンし得る電圧を印加し、任意の定電位ノードに第 3 バスライン 2 3 を接続することによって、画素 3 に蓄えられた電荷を放電させることができる。

[0058] [表示パネルの製造方法]

実施形態 3 の表示パネルの製造方法を、図 1、図 2、図 3 A および図 3 B に例示される実施形態 1 の表示パネル 1 を例に、適宜これらの図面を再度参照しながら説明する。

[0059] 本実施形態の表示パネルの製造方法は、前述した実施形態 2 の表示パネルの検査方法を用いて表示パネル 1 の検査を行うことを含んでいる。まず、図 1、図 2、図 3 A および図 3 B に示されるように、基板 1 0 の上に、第 1 バ

スライン 1 1 と、絶縁膜 1 3 と、第 2 バスライン 1 2 と、複数の画素 3 と、出力トランジスタ 2 a を含む駆動回路 2 と、スイッチング素子 4 と、第 3 バスライン 2 3 と、を形成することによって表示パネル 1 が用意される。第 1 ～第 3 のバスライン 1 1、1 2、2 3、複数の画素 3、駆動回路 2、およびスイッチング素子 4 の形成方法の一例が以下に説明されるが、これら各要素が形成される方法は、以下に説明される方法に限定されない。なお、以下の説明は、図 1、図 2、図 3 A および図 3 B に例示される表示パネル 1 を例として用いているため、スイッチング素子 4 は薄膜トランジスタで構成される。また、駆動回路 2 は、前述したように、好ましくは、薄膜トランジスタで主に構成されるため、スイッチング素子 4 と同様に薄膜トランジスタを形成することによって形成され得る。従って、その説明は適宜省略される。

[0060] 図 3 A および図 3 B に示されるように、第 1 バスライン 1 1、第 3 バスライン 2 3、スイッチング素子 4 のゲート電極 4 2、および、画素駆動回路 3 a の T F T 3 1 のゲート電極 3 2 が、基板 1 0 の表面に形成される。図 3 A および図 3 B の例では、クリアバスライン 2 5 も第 1 バスライン 1 1 などと共に形成されている。なお、図 3 A および図 3 B は、スイッチング素子 4 および T F T 3 1 がボトムゲート型のアモルファスシリコントランジスタである例を示している。

[0061] 第 1 および第 3 のバスライン 1 1、2 3、ならびに各ゲート電極 4 2、3 2 などの形成では、まず、基板 1 0 の表面に、タングステンまたはモリブデンなどの金属膜がスパッタリングなどによって成膜される。そして、その金属膜が、フォトリソグラフィ技術を用いたエッチングレジストの形成およびドライもしくはウェットエッチングによってパターンニングされる。その結果、その金属膜が、所望の形状を有する導体パターンに分離され、各導体パターンからなる各バスライン 1 1、2 3 および各ゲート電極 4 2、3 2 などが形成される。同時に、クリアバスライン 2 5 および第 4 バスライン 2 4 (図 4 B 参照) などの他のバスライン、および、補助容量 3 b (図 1 参照) などの他の回路素子を構成する導体パターンも第 1 バスライン 1 1 などと共に形

成され得る。

[0062] 図3Bに示されるように、第1バスライン11および各ゲート電極42、32を覆う絶縁膜13が形成される。絶縁膜13は、たとえばプラズマCVD法を用いて $\text{SiO}_2$ 膜または $\text{SiN}_x$ 膜を成膜することによって形成される。絶縁膜13の一部が、スイッチング素子4、画素駆動回路3a（図1参照）を構成するTFT31、および、駆動回路2を構成するトランジスタ2a～2e（図2参照）のゲート絶縁膜を構成する。つぎに、絶縁膜13の上に、たとえばプラズマCVD法を用いて半導体層43、33が形成される。半導体層43、33は、ドライエッチングなどを用いて所望の形状にパターニングされる。その後、好ましくは、半導体層43、33上に高不純物濃度の半導体によってコンタクト層44、34が形成される。

[0063] そして、半導体層43（またはコンタクト層44）および絶縁膜13上に、スイッチング素子4のソース電極45およびドレイン電極46が形成されると共に、半導体層33（またはコンタクト層34）および絶縁膜13上に、TFT31のソース電極35およびドレイン電極36が形成される。同時に、絶縁膜13上に第2バスライン12、および、駆動回路2を構成するトランジスタ2a～2e（図2参照）の図示されないソース電極およびドレイン電極が形成される。たとえばスパッタリングを用いてタングステン膜またはチタン膜などが形成され、その形成された膜が、ドライもしくはウェットエッチングなどによって分離され、それにより、各電極および第2バスライン12が形成され得る。補助容量3bなどの他の回路素子を構成する導体パターンが、第2バスライン12などと共に形成されてもよい。その結果、少なくとも、第1～第3のバスライン11、12、23、スイッチング素子4、駆動回路2、および、TFT31および補助容量3bを含む画素駆動回路3a（図1参照）が形成される。なお、第3および第4バスライン23、24は、第2バスライン12と共に、絶縁膜13上に形成されてもよい。

[0064] その後、 $\text{SiO}_2$ または $\text{SiN}_x$ などからなる平坦化膜14aが、たとえばCVD法などによって形成される。さらに平坦化膜14a上に、液晶層LCな

どの液晶分子を用いた画像表示に必要な各構成要素が形成される。または、有機発光材料の蒸着などによって有機発光素子が形成される。液晶層LCおよび図示されない有機発光層は、一般的な方法で形成されるため、その説明は省略される。たとえば、以上の工程を経ることによって表示パネル1が用意される。

[0065] 用意された表示パネル1に対して、前述した実施形態2の表示パネルの検査方法に従って試験電圧の印加および画素3の機能試験が実施され、画素3の良否が判定される。

[0066] 実施形態3の表示パネルの製造方法は、複数の画素3のうち、実施形態2の表示パネルの検査方法における機能試験で不良と判定された画素3への通電を不能にする、ことをさらに含んでいる。たとえば、欠陥を含む画素3を構成するTFT31のゲート電極と第1バスライン11との接続部、および、このTFT31のソース電極と第2バスライン12とを接続している接続部のいずれかまたは両方が、レーザー光の照射などによって切断される。そうすることにより、不良と判定された画素3によって他の画素3の表示が影響を受けることを防ぐことができる。従って、不良画素の数や含有率などに関する所定の良否判定基準を満たす場合、欠陥を有する画素3を含む表示パネル1を、良品として扱い得る表示パネル1へと改修することができる。

[0067] このように、本実施形態の表示パネルの製造方法によれば、表示パネルが備える絶縁が欠陥を含んでいる場合でも駆動回路にダメージが加わることを回避しながら絶縁膜をスクリーニングすることができる。そして、その欠陥が検出された表示パネルを良品へと改修することも可能となり得る。従って、歩留まりの低下を抑制しながら信頼性の高い表示パネルを得ることができる。

[0068] [まとめ]

(1) 本発明の第1実施形態の表示パネルは、基板の上に設けられ、互いに交差する第1バスラインおよび第2バスラインと、前記第1バスラインと前記第2バスラインとの間に介在する絶縁膜と、前記第1バスラインと前記第

2バスラインとの交差部に設けられていて前記絶縁膜の一部を含む画素と、前記基板の表面に形成されていて前記第1バスラインを介して前記画素に信号を供給する駆動回路と、前記基板の上に形成されると共に前記第1バスラインに接続されているスイッチング素子と、前記スイッチング素子を介して前記第1バスラインに接続されていて前記絶縁膜のスクリーニングに用いられる第3バスラインと、を備え、前記駆動回路は、前記第1バスラインに接続されていて前記信号を出力する出力トランジスタを備えており、前記スイッチング素子は前記出力トランジスタと別個に設けられている。

[0069] (1)の構成によれば、駆動回路の破損を防いで表示パネルの生産を安定させ、しかも、画素および駆動回路の信頼性を高めることができる。

[0070] (2)上記(1)の表示パネルにおいて、前記第3バスラインは、前記スクリーニングにおいて前記絶縁膜の欠陥を顕在化させ得る大きさの電圧が印加されるバスラインであってもよい。その場合、潜在的な欠陥を顕在化させることができ、表示パネルの信頼性を高めることができる。

[0071] (3)上記(1)または(2)の表示パネルにおいて、前記スイッチング素子は、入力端、出力端および制御端を有する薄膜トランジスタであり、前記スイッチング素子の前記出力端が前記第1バスラインに接続されており、前記スイッチング素子の前記入力端が前記第3バスラインに接続されていてもよい。その場合、スイッチング素子を制御するだけで、第1バスラインと第3バスラインとの接続と分離を切り換えることができる。

[0072] (4)上記(3)の表示パネルにおいて、前記スイッチング素子の前記制御端が、前記スイッチング素子の前記入力端と共に前記第3バスラインに接続されていてもよい。その場合、第3バスラインと第2バスラインとの間に電圧を印加するだけで、絶縁膜のスクリーニングをすることができる。

[0073] (5)上記(3)の表示パネルにおいて、前記表示パネルは、前記駆動回路内に蓄積された電荷を所定のタイミングで放電させる信号を伝えるクリアバスラインをさらに備え、前記スイッチング素子の前記制御端が前記クリアバスラインに接続されていてもよい。その場合、駆動回路の出力トランジスタ

を安定的にオフ状態に保ちながら、絶縁膜をスクリーニングすることができる。

[0074] (6) 上記(3)の表示パネルは、前記スイッチング素子の前記制御端に接続されていて前記スクリーニングに用いられる第4バスラインをさらに備えていてもよい。その場合、駆動回路の動作に影響を及ぼすことなく、絶縁膜のスクリーニングを実施することができる。

[0075] (7) 上記(6)の表示パネルは、前記第4バスラインおよび前記出力トランジスタのゲート電極に接続されていて前記第4バスラインの電位に応じて前記出力トランジスタをオフ状態に制御する第2スイッチング素子をさらに備えていてもよい。その場合、駆動回路の動作に影響を及ぼすことなく、出力トランジスタを安定的にオフ状態に保ちながら絶縁膜をスクリーニングすることができる。

[0076] (8) 上記(7)の表示パネルにおいて、前記出力トランジスタの前記ゲート電極と前記第1バスラインとの間に蓄えられた電荷を所定のタイミングで放電させる信号を伝えるクリアバスラインをさらに備えていてもよい。その場合、駆動回路2内に蓄積された電荷をスクリーニング中であるか否かに関わらず所定の時機に放電させることができる。

[0077] (9) 本発明の第2実施形態の表示パネルの検査方法は、絶縁膜を介して互いに交差する第1バスラインおよび第2バスラインと、前記第1バスラインと前記第2バスラインとの交差部に設けられた画素と、前記第1バスラインに接続されている出力トランジスタから前記画素に信号を供給すべき駆動回路と、スイッチング素子を介して前記第1バスラインに接続されている第3バスラインと、を少なくとも備える表示パネルを用意し、前記スイッチング素子を制御して前記第1バスラインと前記第3バスラインとを電氣的に接続し、前記第2バスラインと前記第3バスラインとの間に所定の試験電圧を印加することによって、前記駆動回路を介さずに前記第1バスラインと前記第2バスラインとの間に電圧を印加し、前記試験電圧の印加後に前記画素の機能試験を実施する、ことを含んでいる。

- [0078] (9)の構成によれば、歩留まりの低下を抑制しながら信頼性の高い表示パネルを得ることができる。
- [0079] (10)上記(9)の表示パネルの検査方法は、前記試験電圧の印加後に、前記画素に蓄えられている電荷を前記スイッチング素子および前記第3バスラインを介して放電させることをさらに含んでもよい。そうすることによって、表示パネルの破損および劣化などを防ぐことができる。
- [0080] (11)上記(9)または(10)の表示パネルの検査方法において、前記試験電圧の印加中に、前記出力トランジスタをオフ状態に制御してもよい。そうすることによって、試験電圧の印加中、駆動回路を安定した状態に維持することができる。
- [0081] (12)本発明の第3実施形態の表示パネルの製造方法は、上記(9)～(11)のいずれかの検査方法を用いて表示パネルの検査を行うことを含み、前記基板の上に、前記第1バスラインと、前記絶縁膜と、前記第2バスラインと、複数の前記画素と、前記出力トランジスタを含む前記駆動回路と、前記スイッチング素子と、前記第3バスラインと、を形成することによって前記表示パネルを用意し、前記複数の画素のうちの前記機能試験で不良と判定された画素への通電を不能にする、ことをさらに含んでいる。
- [0082] (12)の構成によれば、歩留まりの低下を抑制しながら信頼性の高い表示パネルを得ることができる。

### 符号の説明

- [0083] 1 表示パネル
- 10 基板
- 11 第1バスライン
- 12 第2バスライン
- 13 絶縁膜（ゲート絶縁膜）
- 2 駆動回路
- 2a 出力トランジスタ
- 23 第3バスライン

|     |                  |
|-----|------------------|
| 2 4 | 第4バスライン          |
| 2 5 | クリアバスライン         |
| 3   | 画素               |
| 3 1 | 薄膜トランジスタ (T F T) |
| 4   | スイッチング素子         |
| 4 2 | ゲート電極            |
| 4 5 | ソース電極            |
| 4 6 | ドレイン電極           |
| 4 b | 第2スイッチング素子       |
| V s | 試験電圧             |

## 請求の範囲

- [請求項1]        基板の上に設けられ、互いに交差する第1バスラインおよび第2バスラインと、
- 前記第1バスラインと前記第2バスラインとの間に介在する絶縁膜と、
- 前記第1バスラインと前記第2バスラインとの交差部に設けられていて前記絶縁膜の一部を含む画素と、
- 前記基板の表面に形成されていて前記第1バスラインを介して前記画素に信号を供給する駆動回路と、
- 前記基板の上に形成されると共に前記第1バスラインに接続されているスイッチング素子と、
- 前記スイッチング素子を介して前記第1バスラインに接続されていて前記絶縁膜のスクリーニングに用いられる第3バスラインと、を備え、
- 前記駆動回路は、前記第1バスラインに接続されていて前記信号を出力する出力トランジスタを備えており、
- 前記スイッチング素子は前記出力トランジスタと別個に設けられている、表示パネル。
- [請求項2]        前記第3バスラインは、前記スクリーニングにおいて前記絶縁膜の欠陥を顕在化させ得る大きさの電圧が印加されるバスラインである、請求項1に記載の表示パネル。
- [請求項3]        前記スイッチング素子は、入力端、出力端および制御端を有する薄膜トランジスタであり、
- 前記スイッチング素子の前記出力端が前記第1バスラインに接続されており、前記スイッチング素子の前記入力端が前記第3バスラインに接続されている、請求項1または2に記載の表示パネル。
- [請求項4]        前記スイッチング素子の前記制御端が、前記スイッチング素子の前記入力端と共に前記第3バスラインに接続されている、請求項3に記

載の表示パネル。

[請求項5] 前記表示パネルは、前記駆動回路内に蓄積された電荷を所定のタイミングで放電させる信号を伝えるクリアバスラインをさらに備え、  
前記スイッチング素子の前記制御端が前記クリアバスラインに接続されている、請求項3に記載の表示パネル。

[請求項6] 前記スイッチング素子の前記制御端に接続されていて前記スクリーニングに用いられる第4バスラインをさらに備える、請求項3に記載の表示パネル。

[請求項7] 前記第4バスラインおよび前記出力トランジスタのゲート電極に接続されていて前記第4バスラインの電位に応じて前記出力トランジスタをオフ状態に制御する第2スイッチング素子をさらに備えている、請求項6に記載の表示パネル。

[請求項8] 前記出力トランジスタの前記ゲート電極と前記第1バスラインとの間に蓄えられた電荷を所定のタイミングで放電させる信号を伝えるクリアバスラインをさらに備える、請求項7に記載の表示パネル。

[請求項9] 絶縁膜を介して互いに交差する第1バスラインおよび第2バスラインと、前記第1バスラインと前記第2バスラインとの交差部に設けられた画素と、前記第1バスラインに接続されている出力トランジスタから前記画素に信号を供給すべき駆動回路と、スイッチング素子を介して前記第1バスラインに接続されている第3バスラインと、を少なくとも備える表示パネルを用意し、

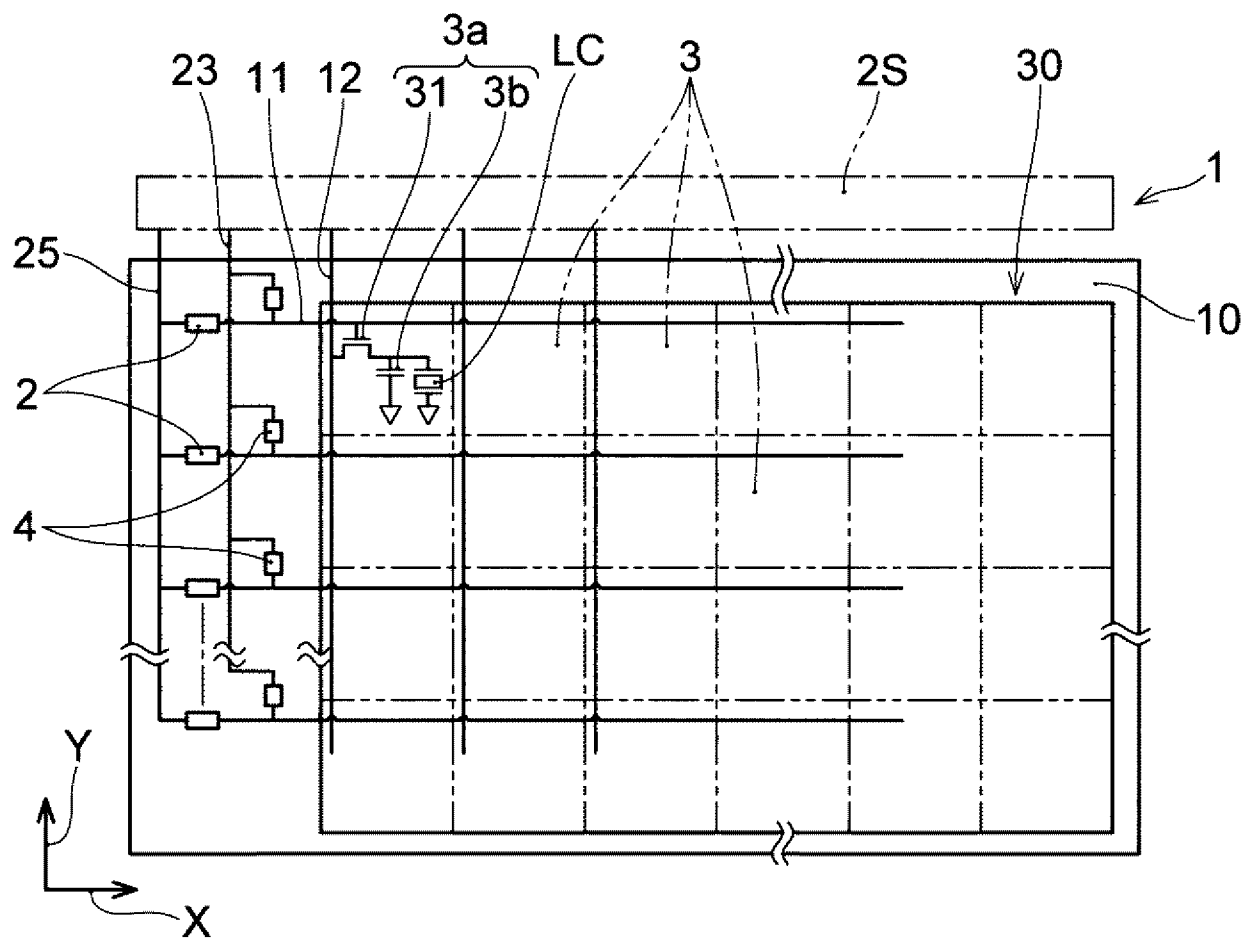
前記スイッチング素子を制御して前記第1バスラインと前記第3バスラインとを電氣的に接続し、

前記第2バスラインと前記第3バスラインとの間に所定の試験電圧を印加することによって、前記駆動回路を介さずに前記第1バスラインと前記第2バスラインとの間に電圧を印加し、

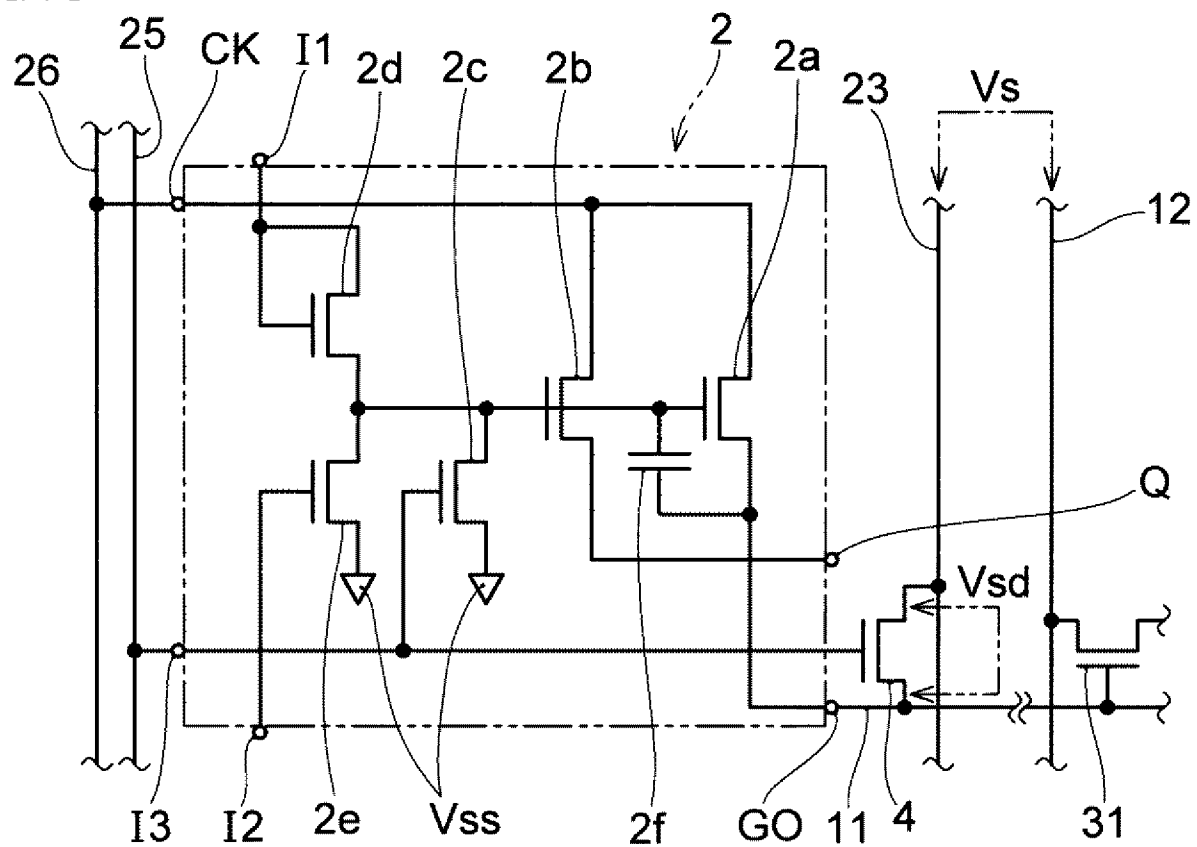
前記試験電圧の印加後に前記画素の機能試験を実施する、ことを含む表示パネルの検査方法。

- [請求項10] 前記試験電圧の印加後に、前記画素に蓄えられている電荷を前記スイッチング素子および前記第3バスラインを介して放電させることをさらに含む、請求項9に記載の表示パネルの検査方法。
- [請求項11] 前記試験電圧の印加中に、前記出力トランジスタをオフ状態に制御する、請求項9または10に記載の表示パネルの検査方法。
- [請求項12] 請求項9～11のいずれか1項に記載の検査方法を用いて表示パネルの検査を行うことを含み、  
前記基板の上に、前記第1バスラインと、前記絶縁膜と、前記第2バスラインと、複数の前記画素と、前記出力トランジスタを含む前記駆動回路と、前記スイッチング素子と、前記第3バスラインと、を形成することによって前記表示パネルを用意し、  
前記複数の画素のうちの前記機能試験で不良と判定された画素への通電を不能にする、ことをさらに含む表示パネルの製造方法。

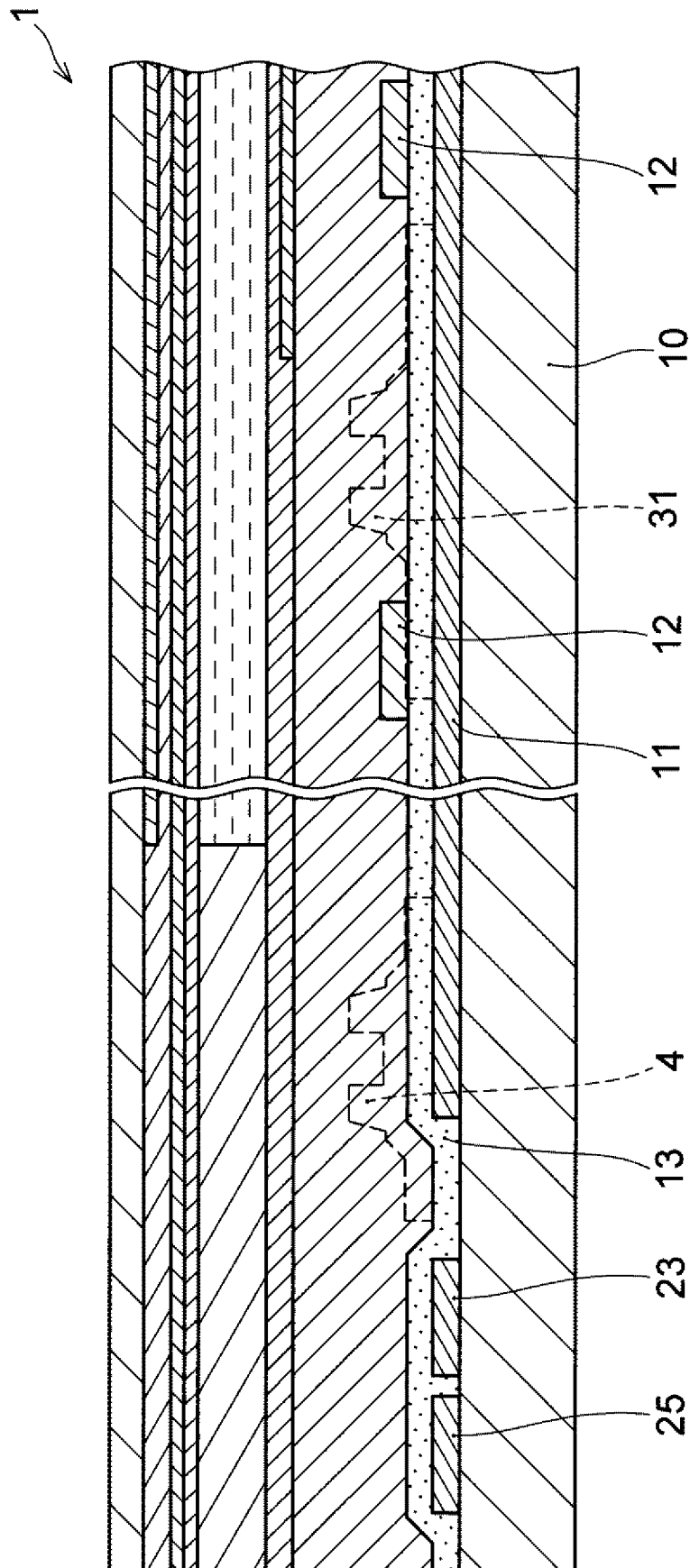
[図1]



[図2]



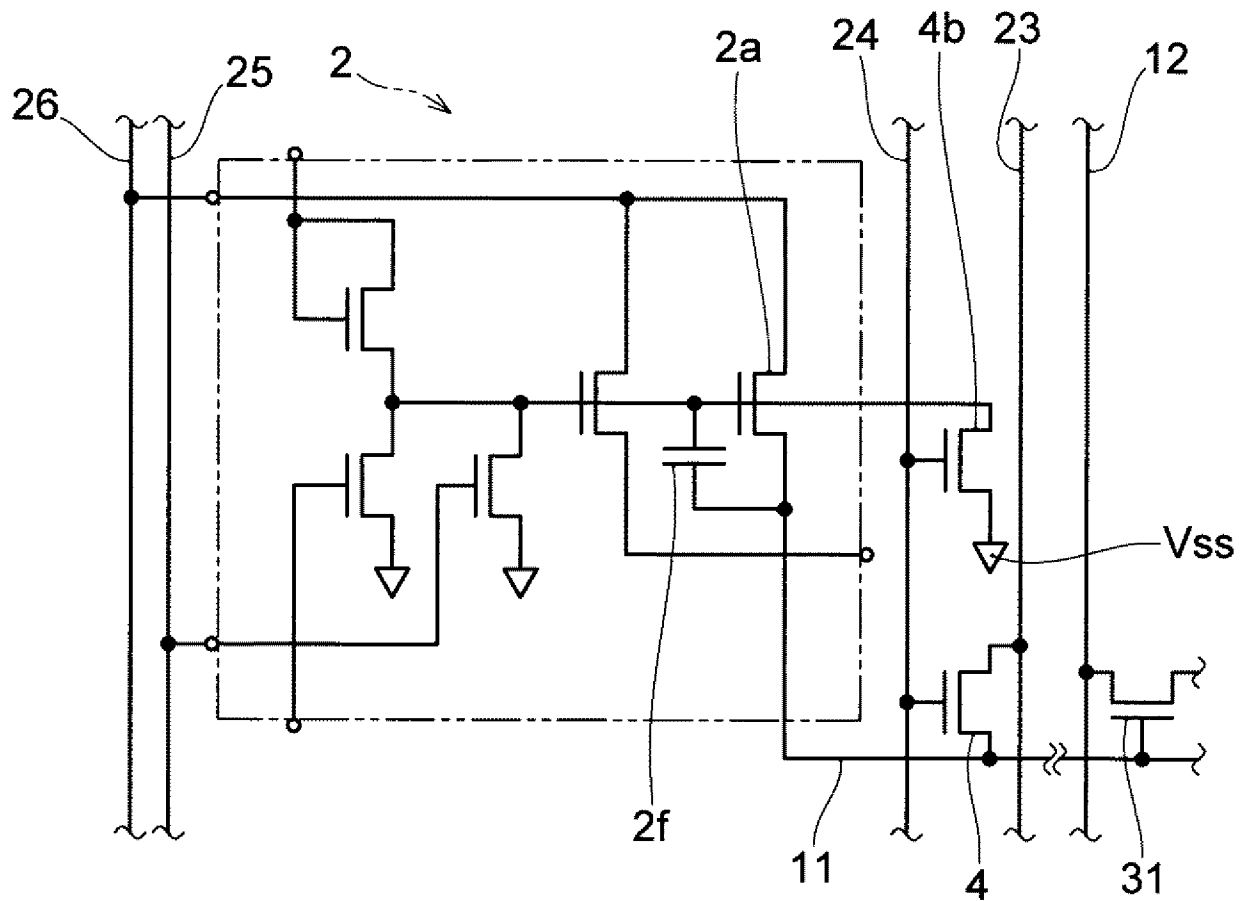
[図3A]



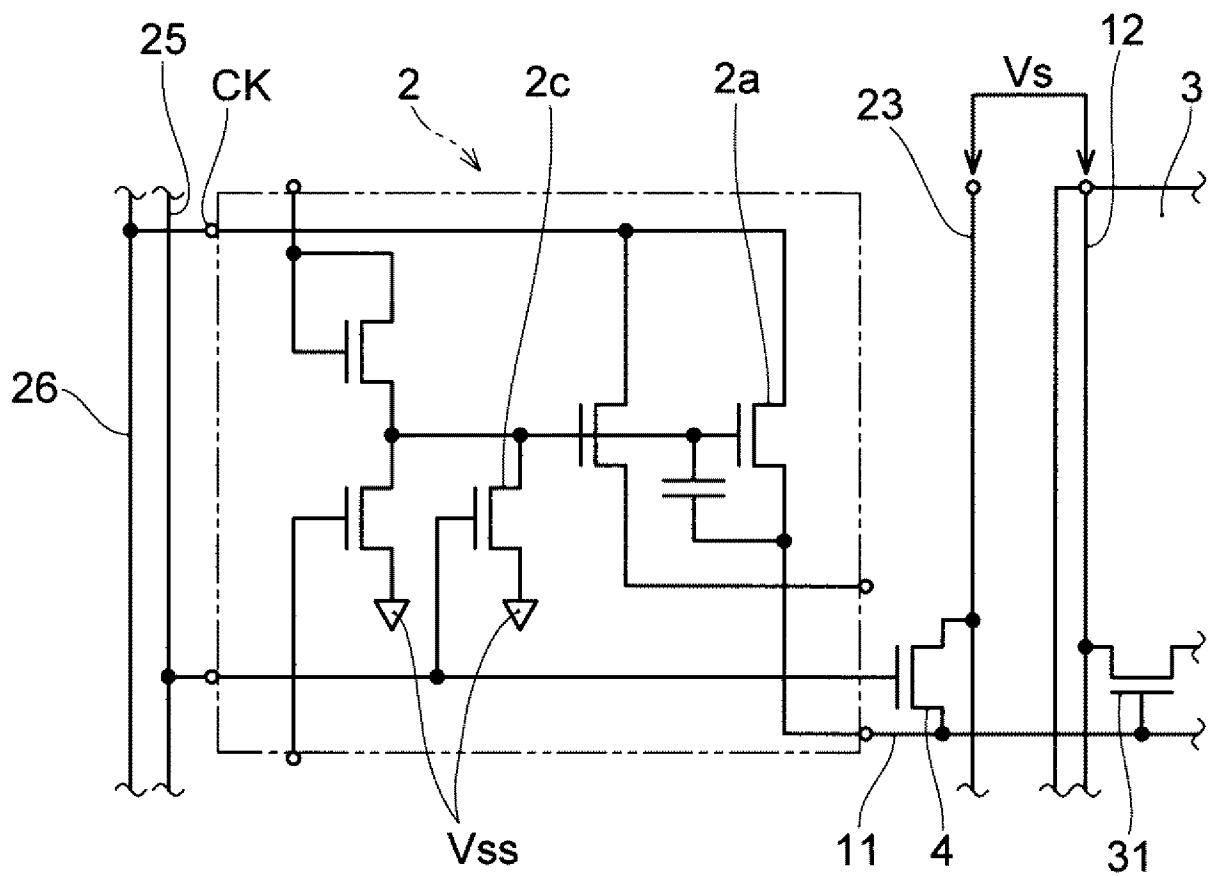




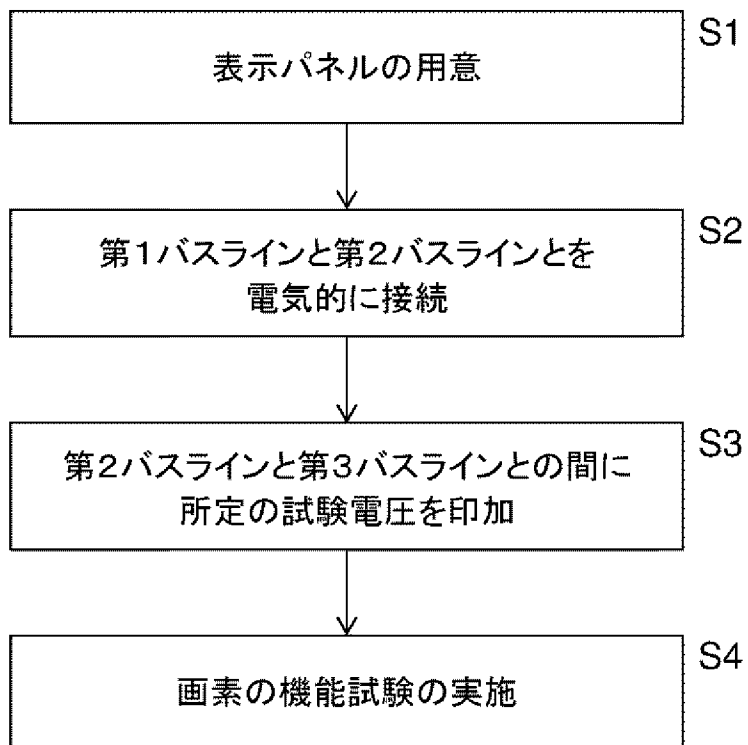
[図4C]



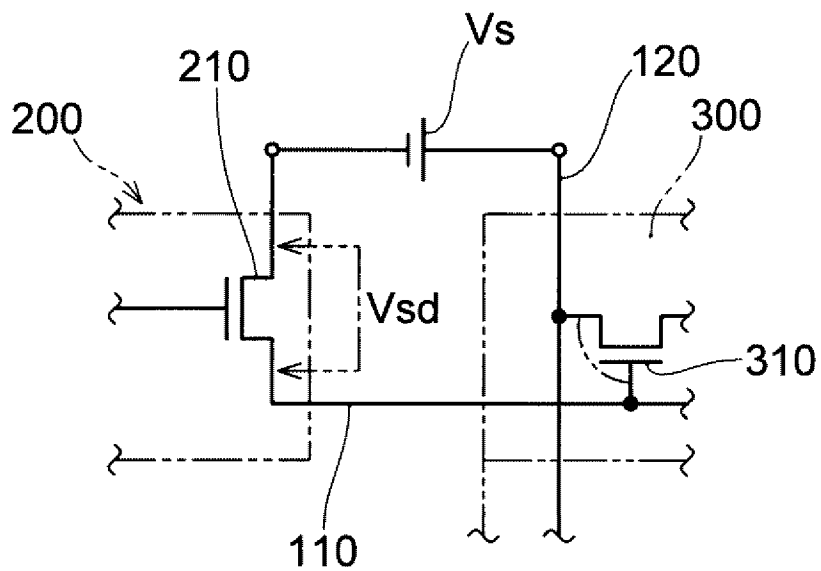
[図5]



[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/024626

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30 (2006.01) i, G02F1/1368 (2006.01) i, G09F9/00 (2006.01) i,  
G09G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/00-9/46, G02F1/1343-1/1345, G09G3/00-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2018 |
| Registered utility model specifications of Japan         | 1996-2018 |
| Published registered utility model applications of Japan | 1994-2018 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                             | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2006-189423 A (SAMSUNG ELECTRONICS CO., LTD.) 20                                                                            | 1-4                   |
| Y         | July 2006, paragraphs [0022]-[0033], fig. 1-2 & US                                                                             | 6                     |
| A         | 2006/0145996 A1 (paragraphs [0024]-[0034], fig. 1-2) & KR 10-2006-0080773 A & CN 1800926 A                                     | 5, 7-12               |
| Y         | JP 2005-266529 A (SHARP CORP.) 29 September 2005, paragraph [0064], fig. 1 (Family: none)                                      | 6                     |
| A         | JP 2002-277896 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 25 September 2002, entire text, all drawings (Family: none)        | 1-12                  |
| A         | JP 2005-17989 A (SONY CORP.) 20 January 2005, entire text, all drawings & US 2005/0024306 A1 & KR 10-1024621 B1 & CN 1577469 A | 1-12                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 September 2018 (14.09.2018)

Date of mailing of the international search report  
25 September 2018 (25.09.2018)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09G3/20(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/00-9/46, G02F1/1343-1/1345, G09G3/00-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2018年 |
| 日本国実用新案登録公報 | 1996-2018年 |
| 日本国登録実用新案公報 | 1994-2018年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                           | 関連する<br>請求項の番号      |
|-----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------|
| X<br>Y<br>A     | JP 2006-189423 A（三星電子株式会社）2006.07.20,<br>[0022]-[0033], Fig. 1-2<br>& US 2006/0145996 A1 ([0024]-[0034], Fig. 1-2)<br>& KR 10-2006-0080773 A & CN 1800926 A | 1-4<br>6<br>5, 7-12 |
| Y               | JP 2005-266529 A（シャープ株式会社）2005.09.29,<br>[0064], Fig. 1（ファミリーなし）                                                                                            | 6                   |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

14.09.2018

国際調査報告の発送日

25.09.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 健二

21

5061

電話番号 03-3581-1101 内線 3273

| C (続き) . 関連すると認められる文献 |                                                                                                           |                |
|-----------------------|-----------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                         | 関連する<br>請求項の番号 |
| A                     | JP 2002-277896 A (松下電器産業株式会社) 2002. 09. 25,<br>全文全図 (ファミリーなし)                                             | 1-12           |
| A                     | JP 2005-17989 A (ソニー株式会社) 2005. 01. 20,<br>全文全図<br>& US 2005/0024306 A1 & KR 10-1024621 B1 & CN 1577469 A | 1-12           |