

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K PATENTU

264 101

(11)

(13) B2

(51) Int. Cl.

H 03 K 19/08

(21) PV 8368-82
(22) Přihlášeno 23 11 82
(30) Právo přednosti od 24 11 81 HU 3500/81

(40) Zveřejněno 16 09 88
(45) Vydáno 11 11 91

(72) Autor vynálezu

LAJKÓ LÁSZLÓ ing., BUDAPEST, BARTOS IMRE
ing., BUDAPEST, MOLNÁRKA ZOLTÁN ing., SZÁRAZ
GYÖRGY dr. ing., SZÉKELY ISTVÁN ing., BUDA-
PEST, HÁMORI IVÁN, DUNAKESZI (HU)

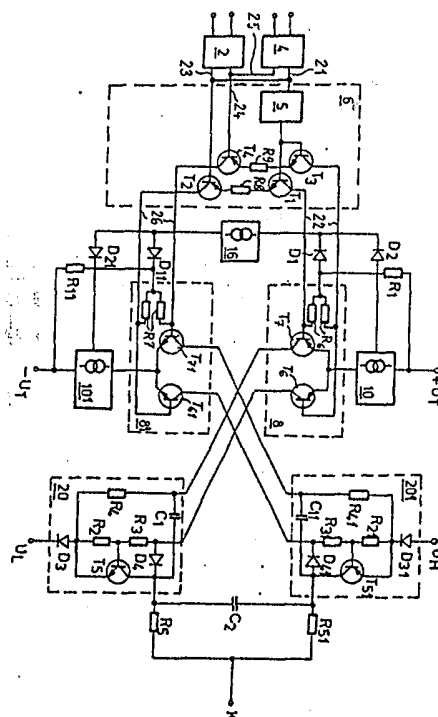
(73) Majitel patentu

MIKROELEKTRONIKAI VÁLLALAT, BUDAPEST (HU)

(54)

Zapojení pro spínání napěťových úrovní
se třemi stavy

(57) První stupeň pro příjem ovládacího signálu a druhý stupeň pro příjem signálu řídicího do třetího stavu jsou přes čtvrtý stupeň pro přenášení úrovně připojeny na vstup prvního diferenciálního zesilovače s dvěma stejnými jedenáctými odpory báze pro předpětí v závěrném stavu, opatřeného v emitorovém obvodu prvním řízeným generátorem proudu, a na vstup druhého diferenciálního zesilovače s dvěma stejnými dvanáctými odpory báze pro předpětí v závěrném směru, opatřeného v emitorovém obvodu druhým řízeným generátorem proudu, první a druhý diferenciální zesilovač mají společný generátor proudu, připojený jednak přes katodu první diody ke společné svorce jedenáctých odporů a přes katodu třetí diody k řídicímu vstupu prvního řídicího generátoru proudu, jednak přes anodu druhé diody ke společné svorce dvanáctých odporů a přes anodu čtvrté diody k řídicímu vstupu druhého řídicího generátoru proudu, v kolektorovém obvodu prvního a druhého diferenciálního zesilovače je první spínač opatřený pátým tranzistorem, popřípadě druhý spínač opatřený šestým tranzistorem, mezi jejichž kolektory je zapojen třetí kondenzátor a oba kolektory jsou spojeny přes devátý a desátý odpor v sérii a tvoří výstup zapojení.



Vynález se týká zapojení pro spínání napěťových úrovní se třemi stavy, obsahujícího linkové přijímače, obvody posouvání úrovně, diferenciální zesilovače, jakož i řízené generátory proudu.

Pro vytvoření takového zapojení jsou známa řešení, u nichž se používá dvou skupin diod stejného složení, uspořádaných v Graetzově zapojení, a logická napětí přiložená na vstup jednotlivých diodových skupin dvojčinně probíhajícími zapínáním a vypínáním proudu protékajícími diodovými skupinami se přikládají na výstup, zatím co třetí stav se dosahuje současným vypnutím obou skupin diod. Za výhodu zapojení lze pokládat, že přepínání do třetího stavu se děje bez vzniku přechodných jevů, současně je však nevýhodné překmitnutí, k němuž dochází při spínání logické úrovně, které je vyvoláváno modulací spínacích diod. Tímto způsobem mohou být zkonstruovány obvody uspokojující i vyšší nároky, pracující hlavně větší rychlostí, jen pomocí velmi nákladných diod, ale i v tomto případě jsou nezbytné kompromisy. Další nevýhoda tohoto zapojení spočívá v rozptylu nezávislém na řízení, který omezuje možnost použití obvodů integrovaných pro měření a zkoušení.

Druhou skupinu těchto zapojení tvoří ta řešení, u nichž je použito obvodu se dvěma stavy a v sérii zapojený třetí, zejména tranzistorizovaný, spínač.

Obvodem se dvěma stavy se spínají v sepnutém stavu sériové spínače definované napěťové úrovně v závislosti na řízení, zatímco třetí stav se vyvolává vypnutím sériového spínače. Taková zapojení se používají v měřicích automatech, sloužících pro integrované obvody.

Nedostatky takových obvodů spočívají ve vysoké výstupní impedanci obvodu, kterou představuje součet odporů sériového spínače a impedance signálového vedení. I při uspořádání sériového spínače v blízkosti místa, kde se signál používá, je její hodnota značně vysoká, asi 60 až 70 ohmů, když se vezmou v úvahu zatěžovací kapacity, což omezuje maximální strmost výstupního signálu. Přepínání do jednotlivých stavů může být v důsledku konečné kapacity mezi řídicí elektrodou a hlavní elektrodou tranzistoru realizujícího sériový spínač a výstupního odporu v závislosti na spínané napěťové úrovni realizováno poměrně pomalu a jen se značnými přechodovými jevy. Parametrem charakterizujícím přechodnou složku je velikost přechodného jevu při přepínání do třetího stavu, který při zatížení 10 Mohm a 12,5 pF činí 800 mV. Jako další nevýhodu lze uvést, že obvod se dvěma stavy má výstup s napěťovým generátorem, přičemž nedisponuje jištěním proti zkratu, protože je při dlouho trvajícím zkratu možné poškození obvodu.

Vývoj měření obvodů, zkrácení doby měření, posun horních mezních kmitočtů, jakož i vývoj velmi složitých obvodů podmiňují vypracování trojstavových zapojení pracujících vysokou rychlostí, jejichž funkce je prostá překmitů, přepínání do třetího stavu se děje bez přechodných jevů, v třetím stavu je příkon nepatrný a která mohou být zkonstruována za použití lacinějších obvodových prvků. Dále stávala potřeba vytvořit zapojení, za jehož pomoci může být spínatelná napěťová úroveň nastavena v širokém rozsahu.

Hořejší požadavky uspokojující zapojení spočívá na poznatku, že spínač s třemi stavy může být realizován stupněm s diferenciálním zesilovačem, přičemž spínač sám leží v kolektorovém obvodu stupně s diferenciálním zesilovačem a jednotlivé stavy mohou být dosaženy říditelným vytvořením generátoru proudu emitorového obvodu diferenciálního zesilovače, dále se k řízení používá stupeň přenášení úrovně se třemi stavy.

Tyto nevýhody jsou odstraněny u zapojení pro spínání napěťových úrovní se třemi stavy podle vynálezu, jehož podstatou je, že první stupeň pro příjem ovládacího signálu, který je linkovým přijímačem, a druhý stupeň pro příjem signálu řídicího do třetího stavu, který je rovněž linkovým přijímačem, jsou přes čtvrtý stupeň pro přenášení úrovně připojeny na vstup prvního diferenciálního zesilovače s oddělenými stejnými jedenáctými odpory báze pro předpětí v závěrném směru, opatřeného v emitorovém obvodu prvním řízeným generátorem proudu, a na vstup druhého diferenciálního zesilovače s oddělenými stejnými dvanáctými odpory báze pro předpětí v závěrném směru, opatřeného v emitorovém obvodu druhým řízeným generátorem proudu, první a druhý diferenciální zesilovač mají společný generátor proudu, připo-

jený jednak přes katodu první diody ke společné svorce jedenáctých odporů a přes katodu třetí diody k řídícímu vstupu prvního řídícího generátoru proudu, jednak přes anodu druhé diody ke společné svorce dvanáctých odporů a přes anodu čtvrté diody k řídícímu vstupu druhého řídícího generátoru proudu, dále se v kolektorovém obvodu prvního diferenciálního zesilovače nalézá první spínač a v kolektorovém obvodu druhého diferenciálního zesilovače druhý spínač, první spínač je opatřen pátým tranzistorem, druhý spínač je opatřen šestým tranzistorem, přičemž spojené kolektory pátého a šestého tranzistoru tvoří výstup zapojení, mezi kolektorem pátého tranzistoru a kolektorem šestého tranzistoru je zapojen třetí kondenzátor a oba kolektory jsou spojeny přes devátý a desátý odpor v sériovém zapojení.

Další podstatou vynálezu je, že první a druhý řízený generátor proudu jsou tepelně kompenzovány.

Jinou podstatou vynálezu je, že báze pátého tranzistoru je připojena jednak přes třetí odpor k jeho emitoru, jednak přes pátý odpor ke kolektoru prvního tranzistoru prvního diferenciálního zesilovače, který je přes sedmou diodu spojen s kolektorem pátého tranzistoru, báze šestého tranzistoru je připojena jednak přes čtvrtý odpor k jeho emitoru, jednak přes šestý odpor ke kolektoru prvního tranzistoru druhého diferenciálního zesilovače, dále sedmý odpor, spojený s emitorem pátého tranzistoru, je jako kolektorový odpor druhého tranzistoru prvního diferenciálního zesilovače přes pátou diodu připojen ke vstupu první spínané napěťové úrovně a osmý odpor, spojený s emitorem šestého tranzistoru, je jako kolektorový odpor druhého tranzistoru druhého diferenciálního zesilovače přes šestou diodu připojen ke vstupu druhé spínané napěťové úrovně, mezi kolektorem druhého tranzistoru prvního diferenciálního zesilovače a kolektorem pátého tranzistoru je zapojen první kondenzátor a mezi kolektorem druhého tranzistoru druhého diferenciálního zesilovače a kolektorem šestého tranzistoru je zapojen druhý kondenzátor.

Ještě jinou podstatou vynálezu je, že ve čtvrtém stupni je emitor prvního tranzistoru spojen s emitorem druhého tranzistoru přes třináctý odpor, emitor třetího tranzistoru spojen s emitorem čtvrtého tranzistoru přes čtrnáctý odpor, báze prvního tranzistoru a třetího tranzistoru jsou spolu připojeny na první výstup druhého stupně přes třetí stupeň pro posouvání úrovně a jejich kolektory jsou spojeny se vstupy prvního diferenciálního zesilovače, báze druhého tranzistoru je spojena s druhým výstupem prvního stupně, který je spojen s prvním výstupem druhého stupně, báze čtvrtého tranzistoru je spojena s prvním výstupem prvního stupně, který je spojen s druhým výstupem druhého stupně, a jejich kolektory jsou spojeny se vstupy druhého diferenciálního zesilovače.

Zapojení podle vynálezu může být ovládáno řízením stupně pro příjem ovládacího signálu a stupně pro příjem signálu řídícího do třetího stavu. Tak dlouho, dokud se neobjeví povelový signál pro přepnutí do třetího stavu na stupni pro příjem signálu řídícího do třetího stavu, pracuje stupeň přenášení úrovně jako generátor proudu. Jeho výstupní proud protékající odporem báze prvního a druhého diferenciálního zesilovače přeruší jednak předpětí prvního a druhého diferenciálního zesilovače v závěrném směru a poskytuje proud báze pro pracovní bod; jednak při průchodu společným členem odporů báze poskytuje předpětí prvních diod v závěrném směru. Proud společného generátoru proudu řídí přes propouštějící druhé diody první a druhý řízený generátor proudu, čímž je dodáván prvnímu a druhému diferenciálnímu zesilovači emitorový proud pracovního bodu. Na druhé straně řídí výstupní proud stupně přenášení úrovně, jak odpovídá řízení stupně pro příjem ovládacího signálu, první a druhý diferenciální zesilovač a tím v protifázi ke kolektorovému obvodu prvního a druhého diferenciálního zesilovače připojené nepřesytitelné tranzistorové spínače. Pro první a druhý diferenciální zesilovač dodávají spínané napěťové úrovně napájecí napětí, protože napěťové úrovně objevující se na společném výstupu prvního a druhého spínáče souhlasí se spínanými napěťovými úrovněmi, popřípadě jsou tyto nižší o zbytkové napětí na prvním a druhém spínači.

Když se nyní objeví povelový signál pro přepnutí do třetího stavu, stupeň přenášení úrovně se třemi stavy vypne všechny generátory proudu. Tímto způsobem uplatní se předpětí v závěrném stavu u bázi tranzistorů diferenciálního zesilovače, první dioda dostane předpětí v propustném směru, druhá dioda předpětí v závěrném směru. Tak proud společného generátoru proudu, tekoucí první diodou, poskytuje předpětí bázi tranzistorů diferenciálního zesilovače v závěrném směru zvýšenou měrou, proud prvního a druhého řízeného generátoru proudu se zmenší, tím poklesne základna pracovního bodu a emitorové proudy na nulovou hodnotu a vypnou první a druhý diferenciální zesilovač. K sobě připojené výstupy prvního a druhého spínače, uspořádaných v kolektorových obvodech vykazují nedefinovaný potenciál, protože výstupem je indikován "přetržený" stav.

První kondenzátor snižuje předkmitnutí vyskytující se u výstupního signálu, vznikající působením vrstvosvé kapacity polovodičových prostředků připojených k výstupu.

Druhým kondenzátorem a pátým odporem je dosaženo, že je zachován ohmický charakter výstupu v širokém rozsahu. Snižuje se takto účinek rozptylových výstupních indukčností.

Nejdůležitější výhodou zapojení podle vynálezu je, že novým uspořádáním za použití lacinějších součástek ve srovnání se známými řešeními se dosahuje příznivějších parametrů a že zejména zapojení pracuje vyšší rychlostí. Míra překmitnutí vyskytujícího se při spínání definované, většinou programované, logické napěťové úrovně je akceptovatelná, při přepnutí do třetího stavu je míra překmitnutí zanedbatelná, současně je proudový příkon zapojení při definovaných stavech nízký a u třetího stavu je minimální. Zapojení podle vynálezu může být s nejlepším výsledkem použito jako část kolíkové elektroniky automatů sloužících pro zkoušení krajně komplikovaných obvodů.

Příklad provedení zapojení podle vynálezu je zobrazen na výkresu.

Jak patrně z obrázku, obsahuje zapojení první stupeň 2 pro příjem ovládacího signálu a druhý stupeň 4 pro příjem signálu řídicího do třetího stavu. Na jejich výstupy je připojen čtvrtý stupeň 6 pro přenášení úrovně, který je připojen k prvnímu diferenciálnímu zesilovači 8 a k druhému diferenciálnímu zesilovači 81.

První stupeň 2 a druhý stupeň 4 řídicího mají výstupy v dvoučinném zapojení a tvoří společně obvod logického součtu.

Ve čtvrtém stupni 6 jsou dvě tranzistorové dvojice, přičemž emitory prvního tranzistoru I₁ a druhého tranzistoru I₂, tvořících společně dvojici, jsou spolu spojeny třináctým odporem R₀ a rovněž tak je tomu u třetího tranzistoru I₃ a čtvrtého tranzistoru I₄, zde jsou emitory spojeny čtrnáctým odporem R₉. Členy dvojic jsou spolu spojeny pomocí odporů. Báze prvního tranzistoru I₁ a třetího tranzistoru I₃ jsou spolu spojeny a přes třetí stupeň 5 pro posouvání úrovně připojeny k prvnímu výstupu 21 druhého stupně 4. Báze druhého tranzistoru I₂ je připojena k prvnímu výstupu 21 druhého stupně 4 a k druhému výstupu 23 prvního stupně 2. Báze čtvrtého tranzistoru I₄ je připojena k prvnímu výstupu 24 prvního stupně 2 a k druhému výstupu 25 druhého stupně 4.

Kolektory prvního tranzistoru I₁, druhého tranzistoru I₂, třetího tranzistoru I₃ a čtvrtého tranzistoru I₄ jsou otevřené, přičemž kolektory dvojice tvořené prvním tranzistorem I₁ a třetím tranzistorem I₃ tvoří jednu výstupní dvojici čtvrtého stupně 6 a kolektory druhého tranzistoru I₂ a čtvrtého tranzistoru I₄ tvoří druhou dvojici výstupů čtvrtého stupně 6.

První diferenciální zesilovač 8 má dělený odpor báze, poskytující předpětí v závěrném směru, přičemž odpor báze je tvořen jako společným členem prvním odporem R₁, připojeným ke zdroji kladného napájecího napětí +U_T, a dvěma stejnými jedenáctými odpory R₆. Dále je v jeho emitorovém obvodu teplotně kompenzovaný první řízený generátor 10 proudu, napojený rovněž na zdroj kladného napájecího napětí +U_T. Vstup napájecího napětí prvního diferenciálního zesilovače 8 je tvořen vstupem první spínání napěťové úrovně U₁, v kolektorovém

obvodu jeho sedmého tranzistoru I_6 je uspořádán tranzistorový první spínač 20 . Stejně tak druhý diferenciální zesilovač 81 má dělený odpor báze předpínající v závěrném směru, přičemž odpor báze je tvořen jako společným členem druhým odpor R_{11} , připojeným ke zdroji záporného napájecího napětí $-U_T$, a oddělenými stejnými dvanáctými odpory R_7 . V emitorovém obvodu je teplotně kompenzovaný druhý řízený generátor 101 proudu, napojený též na zdroj záporného napájecího napětí $-U_T$. Vstup napájecího napětí druhého diferenciálního zesilovače 81 je tvořen vstupem druhé spínané napěťové úrovně U_H a v kolektorovém obvodu jeho devátého tranzistoru I_{61} je uspořádán tranzistorovaný druhý spínač 201 .

Na vstupy 22 prvního diferenciálního zesilovače 8 je připojen kolektor prvního tranzistoru I_1 , a kolektor třetího tranzistoru I_3 čtvrtého stupně 6 , zatímco na vstupy 26 druhého diferenciálního zesilovače 81 je připojen kolektor druhého tranzistoru I_2 a kolektor čtvrtého tranzistoru I_4 , a sice tak, že u prvního diferenciálního zesilovače 8 je báze sedmého tranzistoru I_6 majícího ve svém kolektorovém obvodu první spínač 20 , spojená s třetím tranzistorem I_3 a u druhého diferenciálního zesilovače 81 je báze devátého tranzistoru I_{61} majícího ve svém kolektorovém obvodu druhý spínač 201 spojená s druhým tranzistorem I_2 .

První diferenciální zesilovač 8 a druhý diferenciální zesilovač 81 mají dále společný generátor 16 proudu, který je u prvního řízeného generátoru 10 proudu a druhého řízeného generátoru 101 proudu připojen jednak přes první diodu D_1 a přes druhou diodu D_{11} ke společné svorce odporů báze prvního diferenciálního zesilovače 8 a druhého diferenciálního zesilovače 81 , jednak přes třetí diodu D_2 a čtvrtou diodu D_{21} , které jsou souhlasně polarizovány s první diodou D_1 , popřípadě druhou diodou D_{11} , k vstupům prvního řízeného generátoru 10 proudu řízeného generátoru 101 proudu.

První diferenciální zesilovač 8 a druhý diferenciální zesilovač 81 , první řízený generátor 10 proudu a druhý řízený generátor 101 proudu, dále první spínač 20 a druhý spínač 201 , jakož i obvodové části tvořící spojení se společným generátorem 16 proudu, mají podobné obvodové uspořádání, rozdíl plyne z vodivostního typu tranzistorů připojených na opačná napájecí napětí, jakož i ze směru propustnosti diod.

První spínač 20 a druhý spínač 201 jsou opatřeny pátým tranzistorem I_5 a šestým tranzistorem I_{51} , jejichž báze jsou jednak přes třetí odpor R_2 , čtvrtý odpor R_{21} , spojeny s emitorem, jednak přes pátý odpor R_3 , popřípadě šestý odpor R_{31} , spojeny s kolektorem sedmého, případně devátého tranzistoru I_6, I_{61} prvního, popřípadě druhého diferenciálního zesilovače $8, 81$, přičemž tento kolektor je přes sedmou diodu D_4 , popřípadě osmou diodu D_{41} , spojen s kolektorem pátého tranzistoru I_5 , popřípadě šestého tranzistoru I_{51} . Kolektor osmého, případně desátého tranzistoru I_7, I_{71} prvního diferenciálního zesilovače 8 a druhého diferenciálního zesilovače 81 je spojen jednak přes kolektorový sedmý odpor R_4 , popřípadě osmý odpor R_{41} , s emitorem pátého tranzistoru I_5 , popřípadě šestého tranzistoru I_{51} , a přes pátou diodu D_3 , popřípadě šestou diodu D_{31} , se vstupem vysoké druhé spínané napěťové úrovně U_H , popřípadě nízké první spínané napěťové úrovně U_L , jednak přes první kondenzátor C_1 , popřípadě druhý kondenzátor C_{11} , se společnou svorkou pátého tranzistoru I_5 , popřípadě šestého tranzistoru I_{51} , a sedmé diody D_4 , popřípadě osmé diody D_{41} .

Výstup prvního spínače 20 , popřípadě druhého spínače 201 , je tvořen společnou svorkou sedmé diody D_4 , popřípadě osmé diody D_{41} , prvního kondenzátoru C_1 , popřípadě druhého kondenzátoru C_{11} , a kolektoru pátého tranzistoru I_5 , popřípadě šestého tranzistoru I_{51} .

Mezi výstupy prvního spínače 20 a druhého spínače 201 je zapojen třetí kondenzátor C_2 . Oba výstupy, spojené přes devátý odpor R_5 a desátý odpor R_{51} , tvoří výstup K zapojení.

Pri funkci zapojení, aby se mohl zajistit výskyt definované logické napěťové úrovně, to jest první spínané napěťové úrovně U_L nebo druhé spínané napěťové úrovně U_H , na výstupu K zapojení, je druhý stupeň 4 řízen logickou úrovní "1" a první stupeň 2 je řízen způsobem odpovídajícím žádané první spínané napěťové úrovni U_L nebo druhé spínané napěťové úrovni U_H . Signál objevující se na výstupu druhého stupně 4 dospěje ke čtvrtému stupni

6 a předepne první tranzistor I_1 a třetí tranzistor I_3 do vodivého stavu, čímž se stanou druhý tranzistor I_2 a čtvrtý tranzistor I_4 vodivými. Velikost proudu protékajícího jednotlivými tranzistorovými dvojicemi závisí na okamžitém řízení prvního stupně 2.

Sečtený proud prvního tranzistoru I_1 a třetího tranzistoru I_3 teče společným členem, to jest prvním odporem R_1 odporu báze prvního diferenciálního zesilovače 8, kdežto sečtený proud druhého tranzistoru I_2 a čtvrtého tranzistoru I_4 protéká jako společný členem druhým odporem R_{11} odporu báze druhého diferenciálního zesilovače 81, čímž se zmenší předpětí prvního diferenciálního zesilovače 8 a druhého diferenciálního zesilovače 81 v závěrném směru a současně první dioda D_1 , popřípadě druhá dioda D_{11} , se předepne v závěrném směru. Tímto způsobem ovládá proud společného generátoru 16 proudu, protékající přes třetí diodu D_2 , popřípadě čtvrtou diodu D_{21} , první řízený generátor 10 proudu, popřípadě druhý řízený generátor 101 proudu, čímž jsou první diferenciální zesilovač 8 a druhý diferenciální zesilovač 81 opatřeny emitorovým proudem.

V závislosti na okamžitém řízení prvního stupně 2 teče proud tranzistorové dvojice vedoucí silnější proud u jednoho z dvojice tvořené prvním diferenciálním zesilovačem 8 a druhým diferenciálním zesilovačem 81 přes odpor báze jednoho tranzistoru, u druhého z dvojice tvořené prvním diferenciálním zesilovačem 8 a druhým diferenciálním zesilovačem 81 odporem báze druhého tranzistoru a poskytuje napětí báze v propustném směru a proud báze. Kdyby proud tranzistorové dvojice tvořené třetím tranzistorem I_3 a čtvrtým tranzistorem I_4 měl být silnější, povede v prvním diferenciálním zesilovači 8 sedmý tranzistor I_{61} připojený k prvnímu spínači 20. Kolektorový proud tekoucí pátým odporem R_3 a třetím odporem R_2 , otevře pátý tranzistor I_5 , načež se přes pátou diodu D_3 , zapojenou v propustném směru, na výstupu prvního spínače 20 objeví o zbytkové napětí snížený podíl první spínané napěťové úrovně U_1 , tvořící napájecí napětí. Nasycení pátého tranzistoru I_5 se zabrání napětím na pátém odporu R_3 a sedmé diodě D_4 , přičemž se sníží předkmit v prvním kondenzátoru C_1 , mající původ ve vybití vrstevové kapacity sedmé diody D_4 , jakož i pátého tranzistoru I_5 . Současně vede v druhém diferenciálním zesilovači 81 s kolektorovým sedmým odporem R_4 spojený osmý tranzistor I_7 , přičemž na výstupu druhého spínače 201 tam existující napětí je nedefinované, výstup indikuje "přetržený" stav.

Kdyby proud dvojice tvořené prvním tranzistorem I_1 a druhým tranzistorem I_2 byl silnější, uzavře se uvnitř prvního a druhého diferenciálního zesilovače 8, 81 vedoucí sedmý, případně devátý tranzistor I_6 , I_{61} , popsány v předcházejícím, načež uzavřený osmý, případně devátý tranzistor I_7 , I_{71} , podobně, jak popsáno, přejde do vodivého stavu. Tímto způsobem indikuje výstup prvního spínače 20 nedefinovaný stav, přičemž na výstupu druhého spínače 201 se objeví o zbytkové napětí snížená druhá spínaná napěťová úroveň U_H .

Třetí kondenzátor C_2 , zapojený mezi výstupem prvního spínače 20 a výstupem druhého spínače 201, zvyšuje kompenzací rozptylových indukčností kmitočtové pásmo, v němž výstup může být považován za ohmický. Devátý odpor R_5 , popřípadě devátý odpor R_{51} , připojený k jednotlivým výstupům obvodů, slouží k nastavení hodnoty výstupního odporu indikovaného v definovaném stavu zapojení.

Při uvedení zapojení v činnost, když úloha spočívá ve vytváření třetího, "přetrženého" stavu na výstupu K zapojení, je druhý stupeň 4 řízen logickou úrovní "0". Řízený stav prvního stupně 2, vyplývající z propojeného zapojení logického součtu, nehraje roli. Signál objevující se na výstupu druhého stupně 4 odpojí před třetí stupeň 5 čtvrtý stupeň 6 první tranzistor I_1 a třetí tranzistor I_3 tranzistorové dvojice. Následkem toho nevedou také druhý tranzistor I_2 a čtvrtý tranzistor I_4 , první dioda D_1 popřípadě druhá dioda D_{11} , propouští, proud společného generátoru 16 proudu protéká společným členem - prvním odporem R_1 , popřípadě druhým odporem R_{11} , odporů báze, načež třetí dioda D_2 , popřípadě čtvrtá dioda D_{21} , přestane vést. První řízený generátor 10 proudu, popřípadě druhý řízený generátor 101 proudu, se rovněž uzavře, první a druhý diferenciální zesilovač 8 a 81 se dostanou do bezproudového stavu, první spínač 20 a druhý spínač 201 a tím výstup K zapojení ukazují ze strany výstupu "roztržený" stav.

Když se nyní na zapojení přiloží nuceně napětí, jak to při použití jako části kolíkové elektroniky představuje provozní stav, a napětí převyšuje napětí v propustném směru na přechodu kolektor - báze pátého tranzistoru I_5 , popřípadě šestého tranzistoru I_{51} , zajišťuje, co se týče napětí tohoto směru, v závěrném směru zapojená pátá dioda D_3 , popřípadě šestá dioda D_{31} , že se "roztržený" stav udrží.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro spínání napěťových úrovní se třemi stavy, obsahující linkové přijímače, obvody posouvání úrovně, diferenciální zesilovače, jakož i řízené generátory proudu, vyznačující se tím, že první stupeň (2) pro příjem ovládacího signálu, který je linkovým přijímačem, a druhý stupeň (4) pro příjem signálu řídicího do třetího stavu, který je rovněž linkovým přijímačem, jsou přes čtvrtý stupeň (6) pro přenášení úrovně připojeny na vstup prvního diferenciálního zesilovače (8) s dvěma stejnými jedenáctými odpory (R_6) báze pro předpětí v závěrném směru, opatřeného v emitorovém obvodu prvním řízeným generátorem (10) proudu, a na vstup druhého diferenciálního zesilovače (81) s dvěma stejnými dvanáctými odpory (R_7) báze pro předpětí v závěrném směru, opatřeného v emitorovém obvodu druhým řízeným generátorem (101) proudu, první a druhý diferenciální zesilovač (8, 81) mají společný generátor (16) proudu, připojený jednak přes katodu první diody (D_1) ke společné svorce obou jedenáctých odporů (R_6) a přes katodu třetí diody (D_2) k řídicímu vstupu prvního řídicího generátoru (10) proudu, jednak přes anodu druhé diody (D_{11}) ke společné svorce obou dvanáctých odporů (R_7) a přes anodu čtvrté diody (D_{21}) k řídicímu vstupu druhého řídicího generátoru (101) proudu, dále se v kolektorovém obvodu prvního diferenciálního zesilovače (8) nalézá první spínač (20) a v kolektorovém obvodu druhého diferenciálního zesilovače (81) druhý spínač (201), první spínač (20) je opatřen pátým tranzistorem (T_5), druhý spínač (201) je opatřen šestým tranzistorem (T_{51}), přičemž spojené kolektory pátého a šestého tranzistoru (T_5 , T_{51}) tvoří výstup zapojení, mezi kolektorem pátého tranzistoru (T_5) a kolektorem šestého tranzistoru (T_{51}) je zapojen třetí kondenzátor (C_2) a oba kolektory jsou spojeny přes devátý a desátý odpor (R_9 , R_{51}) v sériovém zapojení.

2. Zapojení podle bodu 1, vyznačující se tím, že první a druhý řízený generátor (10, 101) proudu jsou tepelně kompenzovány.

3. Zapojení podle bodů 1 a 2, vyznačující se tím, že báze pátého tranzistoru (T_5) je připojena jednak přes třetí odpor (R_2) k jeho emitoru, jednak přes pátý odpor (R_3) ke kolektoru sedmého tranzistoru (T_6) prvního diferenciálního zesilovače (8), který je přes sedmou diodu (D_4) spojen s kolektorem pátého tranzistoru (T_5), báze šestého tranzistoru (T_{51}) je připojena jednak přes čtvrtý odpor (R_{21}) k jeho emitoru, jednak přes šestý odpor (R_{31}) ke kolektoru devátého tranzistoru (T_{61}) druhého diferenciálního zesilovače (81), dále sedmý odpor (R_4), spojený s emitorem pátého tranzistoru (T_5), je jako kolektorový odpor osmého tranzistoru (T_7) prvního diferenciálního zesilovače (8) přes pátou diodu (D_3) připojen ke vstupu první spínané napěťové úrovně (U_L) a osmý odpor (R_{41}), spojený s emitorem šestého tranzistoru (T_{51}), je jako kolektorový odpor desátého tranzistoru (T_{71}) druhého diferenciálního zesilovače (81) přes šestou diodu (D_{31}) připojen ke vstupu druhé spínané napěťové úrovně (U_H), mezi kolektorem osmého tranzistoru (T_7) prvního diferenciálního zesilovače (8) a kolektorem pátého tranzistoru (T_5) je zapojen první kondenzátor (C_1) a mezi kolektorem desátého tranzistoru (T_{71}) druhého diferenciálního zesilovače (81) a kolektorem šestého tranzistoru (T_{51}) je zapojen druhý kondenzátor (C_{11}).

4. Zapojení podle bodů 1 až 3, vyznačující se tím, že ve čtvrtém stupni (6) je emitor prvního tranzistoru (T_1) spojen s emitorem druhého tranzistoru (T_2) přes třináctý odpor (R_8), emitor třetího tranzistoru (T_3) spojen s emitorem čtvrtého tranzistoru (T_4)

přes čtrnáctý odpor (R_9), báze prvního tranzistoru (T_1) a třetího tranzistoru (T_3) jsou spolu připojeny na první výstup (21) druhého stupně (4) přes třetí stupeň (5) pro posouvání úrovně a jejich kolektory jsou spojeny se vstupy (22) prvního diferenciálního zesilovače (8), báze druhého tranzistoru (T_2) je spojena s druhým výstupem (23) prvního stupně (2), který je spojen s prvním výstupem (21) druhého stupně (4), báze čtvrtého tranzistoru (T_4) je spojena s prvním výstupem (24) prvního stupně (2), který je spojen s druhým výstupem (25) druhého stupně (4), a jejich kolektory jsou spojeny se vstupy (26) druhého diferenciálního zesilovače (81).

1 výkres

