



[12] 发明专利申请公开说明书

[21] 申请号 02827685.X

[43] 公开日 2005 年 5 月 18 日

[11] 公开号 CN 1618256A

[22] 申请日 2002.12.30 [21] 申请号 02827685.X

[30] 优先权

[32] 2001.12.31 [33] US [31] 60/343,236

[32] 2002. 7.22 [33] US [31] 60/398,298

[86] 国际申请 PCT/US2002/041836 2002.12.30

[87] 国际公布 WO2003/059017 英 2003.7.17

[85] 进入国家阶段日期 2004.7.29

[71] 申请人 国际整流器公司

地址 美国加利福尼亚州

[72] 发明人 彼得·格林 尤利亚·鲁苏

[74] 专利代理机构 北京英赛嘉华知识产权代理有限公司

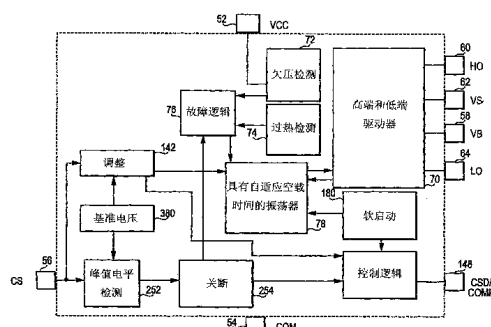
代理人 葛 强 方 挺

权利要求书 2 页 说明书 19 页 附图 26 页

[54] 发明名称 基本卤素变换器集成电路

[57] 摘要

一种给用于向白炽灯供电的功率半导体器件提供控制信号的驱动电路，该驱动电路包括用于产生所述控制信号的振荡器。该驱动电路可进一步包括：软启动电路(180)，其控制所述振荡器，用以防止在启动时所述灯中的过量电流；电压补偿电路，其控制所述振荡器，用以补偿负载的变化；关断电路(254)，其用于响应故障状态而对所述振荡器执行关断和自动重启；自适应空载时间电路(78)，其控制所述振荡器，用以提供所述功率半导体器件的冷运行；以及/或者调光电路，其控制所述振荡器，用以对所述灯进行调光。该驱动电路及其控制电路可采取集成电路(50)的方式实现。



1. 一种给用于向白炽灯供电的功率半导体器件提供控制信号的驱动电路，所述驱动电路包括：

- 5 振荡器，其用于产生所述控制信号；及
 软启动电路，其控制所述振荡器，用以防止在启动时所述灯中的过量电流。

2. 一种给用于向白炽灯供电的功率半导体器件提供控制信号的驱动电路，所述驱动电路包括：

 振荡器，其用于产生所述控制信号；及
 电压补偿电路，其控制所述振荡器，用以补偿负载的变化。

3. 一种给用于向白炽灯供电的功率半导体器件提供控制信号的驱动电路，所述驱动电路包括：

 振荡器，其用于产生所述控制信号；及
 关断电路，其用于响应故障状态而对所述振荡器执行关断和自动重启。

4. 一种给用于向白炽灯供电的功率半导体器件提供控制信号的驱动电路，所述驱动电路包括：

 振荡器，其用于产生所述控制信号；及
 自适应空载时间电路，其控制所述振荡器，用以提供所述功率半导体器件的冷运行。

5. 一种给用于向白炽灯供电的功率半导体器件提供控制信号的驱动电路，所述驱动电路包括：

 振荡器，其用于产生所述控制信号；及
 调光电路，其控制所述振荡器，用以对所述灯进行调光。

6. 一种给用于向白炽灯供电的功率半导体器件提供控制信号的驱动电路，所述驱动电路包括：

振荡器，其用于产生所述控制信号；及
用于所述振荡器的控制电路，

5 所述驱动电路以集成电路的方式实现。

基本卤素变换器集成电路

5 相关申请的交叉引用

本申请基于并请求享有 2001 年 12 月 31 日提交的美国临时申请第 60/343,236 号的优先权, 以及 2002 年 7 月 22 日提交的美国临时申请第 60/398,298 号的优先权, 在此这两个优先权文件的内容通过引用而包含在本说明书中。

10

发明背景

1. 发明领域

本发明涉及一种驱动卤素灯的集成电路 (IC)。

15

2. 现有技术简要介绍

图 1 显示了传统的卤素变换器电路 10, 其用于驱动经由输出引线 12 连接到变压器 14 次级线圈的卤素灯 (未示出)。电路 10 经由输入引线 16 引入交流电, 并且用作基本双极性自谐振电路, 但其性能存在有局限性。

20 随着集成电路技术的发展, 已经出现了用于荧光灯的电子镇流控制器的集成电路 (IC)。例如, 传统的镇流器集成电路可以包括振荡半桥驱动器, 响应故障状态指示信号的故障逻辑电路, 以及供荧光灯启动和工作作用的其它适当电路。它的一个例子如国际整流器公司 (IR) (International Rectifier 公司) 所售卖的 IR2156 集成电路, 它在第 6,211,623 号美国专利
25 中有所描述, 该专利所披露的全部内容在此通过引用而包含在本说明书中。

但是, 荧光灯镇流器集成电路不适合用于驱动其它类型的灯, 如卤素灯以及其它具有灯丝的灯 (在本说明书中指称为“白炽灯”)。提供一种用于驱动白炽灯且尤其是卤素灯的集成电路, 对人们是极其有利的。

30

发明简介

本发明提供了一种优选地以灯驱动集成电路形式实现的新型灯驱动电路，其适合于驱动诸如卤素灯之类的白炽灯。

本发明的电路专注于用来驱动白炽灯的系统与荧光灯镇流器之间的差别。例如，卤素灯以及其它白炽灯都是电阻性负载，它们不需要预热和点火。白炽灯的直流（DC）总线可以是未经平滑处理的全波整流线。典型的白炽灯系统有其固有的单位功率因数。可以用三端双向可控硅开关元件调光器（triac dimmer）调节白炽灯的亮度，并且通过对交流线的相位切割（phase cutting）来实现调光。白炽灯的输出可以是孤立的低电压。为避免输出短路或过载需要采取保护措施，并且关断应当是可自动复位的（打嗝（hiccup）方式）。

本发明实施方案的电路包括高压半桥门驱动器以及由内部基准电压和压控振荡器（VCO）控制的变频振荡器。该电路具有用于诸如电子变压器的卤素变换器的输出电压调整器。该电路提供了具有内部振荡器、用于减少开灯时的灯丝应力的扫频软启动、自动复位短路保护、自动复位过载保护、变频输出电压调整、用于使 MOSFET（金属氧化物半导体场效应晶体管）冷运行（cool running）的自适应空载时间（dead time）（或软切换）、下降沿自调光（或相位切割调光）、调节电压输出（例如用于微控制器的 5V）、内部发热限制、交流电源（mains）周期上的频率调制或变频、微功率启动、自动重启、抗门锁（latch）、以及静电放电（ESD）保护。该电路优选地采取集成电路的形式实现，它利用外部相位切割调光器实现调光。

本发明第二个实施方案的电路包括高压半桥门驱动器以及受到内部基准电压和误差信号放大器（error amplifier）控制的变频振荡器。该电路具有用于诸如电子变压器的卤素变换器的输出电压调整器。该电路提供了内部振荡器、用于减少开灯时的灯丝应力的扫频软启动、自动复位短路保护、自动复位过载保护、变频输出电压调整、用于使 MOSFET 冷运行的自适应空载时间（或软切换）、下降沿自调光（或相位切割调光）、调节电压输出（例如用于微控制器的 5V）、内部发热限制、交流电源周期上的频率调制或变频、微功率启动、自动重启、抗门锁、以及 ESD 保

护。该电路优选地以微控制器可兼容（例如与 DALI 或 DMX512 兼容）的集成电路形式实现，而且还利用外部相位切割调光器实现调光。

本发明电路延长了灯的使用寿命，并且提高了产品可靠性。

本发明的其它特征和优点通过后面结合附图所做的发明描述将变得
5 清楚易懂。

附图简要说明

图 1 示出了传统的卤素灯变换器电路。

图 2 是依照本发明第一个实施方案的集成电路的方框图。

10 图 3 显示了一个包含有图 2 所示集成电路的电路。

图 4 是图 2 中振荡电路的示意图。

图 5 是图 2 中软启动电路的示意图。

图 6 和 7 分别示出了在软启动电路执行工作前、后的灯开启电流。

图 8 是说明包含在图 2 所示集成电路中的电压补偿电路的示意图。

15 图 9 是说明在图 2 所示集成电路中的自适应空载时间电路的示意图。

图 10 是说明自适应空载时间电路操作的信号的时序图。

图 11 是说明图 2 中关断电路的示意图。

图 12 和 13 分别示出了用于说明图 11 的关断电路的过载操作和短路操作的信号。

20 图 14 是说明图 11 关断电路操作的状态图。

图 15、16 和 17 分别显示了与自适应空载时间电路相关的高端驱动器、PGEN 电路以及输出逻辑电路。

图 18 是依照本发明第二个实施方案的集成电路的方框图。

图 19 显示了一个包含有图 18 所示集成电路的卤素变换器电路。

25 图 20 显示了图 18 集成电路中的振荡电路。

图 21 显示了图 18 集成电路中的软启动电路。

图 22 和 23 分别示出了用于说明软启动电路执行工作前、后的灯电流的信号。

图 24 显示了图 18 集成电路中的自适应空载时间电路。

30 图 25 显示描述自适应空载时间电路的操作波形。

图 26 显示图 18 集成电路中的关断电路。

图 27 和 28 分别示出了关断电路响应过载情形和短路情形的操作。

图 29 显示用于说明图 18 集成电路中的调光电路工作情况的信号。

图 30 显示图 18 集成电路中的调光电路和相关信号。

5 图 31 显示用于说明图 18 集成电路中的调光电路工作情况的信号。

本发明实施方案的详细说明

第一实施方案

10 图 2 显示了 IR 器件号为 IR2161 的 8 引脚集成电路 (IC) 50 的主要功能元件, 其中应用了本发明的电路。一种更为先进的应用拟设 (envisaged) 为 14 引脚集成电路, IR 器件号为 IR2162。这里将详细讨论 IR2161, 而 IR2162 所包含的附加功能将在其它地方讨论。

电源电压 (VCC) 引脚 52、电源与信号的接地 (COM) 引脚 54、电
15 流检测 (CS) 引脚 56、高端门驱动浮动供电 (floating supply) (VB) 引脚 58、高端门驱动器输出 (HO) 引脚 60、高端浮动返回 (VS) 引脚 62、以及低端门驱动器输出 (LO) 引脚 64, 实质上与国际整流器公司出品的 IR2156IC 或 IR2157 (1) IC 的相同标识引脚具有相同功能, 并且实质上能够以与之相同的方式来实现。IR2157 (1) IC 的技术特征还记述在第
20 6,211,623 号美国专利中, 该专利所披露的全部内容结合在本说明书中。类似地, 高端与低端驱动器 70、欠压检测电路 72、过热 (over-temperature) 检测电路 74、以及故障逻辑电路 76 实质实现了与美国专利 6,211,623 的相同标识电路相同的功能, 并且实质上能够以与之相同的方式来实现。振荡器元件 78 以及 IC 50 的其它元件可通过后面的说明而得以理解。

25 图 3 示出了电路 80, 其中 IC 50 被连接用于驱动卤素灯 (未示出), IC 50 采用国际整流器公司出品的 IR2161IC, 所述卤素灯是通过变压器 84 而连接到输出引线 82 的, 变压器 84 所起的作用与图 1 中变压器 14 相同。电路 80 通过带有电容 90、电感 92、二极管 94 和 96、电阻 98 和 100、以及电容 102 和 104 的输入引线 86 接收交流电, 电容 90、电感 92、
30 二极管 94 和 96、电阻 98 和 100 及电容 102 和 104 所起的作用与图 1 所

示传统电路 10 中的对应元件相同。电路 80 通过高端和低端功率 MOSFET 110 和 112 的工作而提供振荡信号给变压器 84。高端 MOSFET 110 通过 HO 引脚 60 从驱动器 70 接收其门驱动信号,而低端 MOSFET 112 则通过 LO 引脚 64 从驱动器 70 接收其门驱动信号。在这种结构中,输出电压根据负载而变化,这是由输出变压器 84 的负载调节引起的,并且输出电压还根据系统的运行频率而变化。由于变压器 84 具有初级漏电感,所以输出电压将随频率的增加而降低。

振荡器

10 为了实现图 2 中的振荡元件 78,图 4 中的振荡电路提供输出信号 OO 给驱动器 70;这个信号显示在图 10 中。该输出信号包含一系列来自比较器 CMP6 输出的脉冲。OO 信号在空载时间 (dead time) 内为高电平,而当驱动器 70 提供一个脉冲给 MOSFETs110 和 112 中任意一个时为低电平。

15 参看图 4,当电容 C1 由可控电流源充电达到阈限电压 V_{th1} 时,比较器 CMP6 提供高电平输出。高电平输出还启动分流晶体管 (shunt transistor) MN9,从而以预设电流对电容 C1 进行放电。这个高电平输出还致使阈限逻辑电路对 V_{th1} 进行调整,通过导通 MN89 以将阈限从 5V 减小到 0.6V。该比较器输出一直保持为高电平,直至 C1 上的电压降至 0.6V 以下。这段降压时间决定了空载时间,在空载时间内,MOSFET 110 或 112 均不能被导通。但如果施加脉冲给 RSET 输入,则 C1 可以通过 MN8 实现快速放电,从而立刻使比较器的输出降至低电平,然后进入下一个循环周期。这个脉冲将由自适应空载时间电路发送,有关这一点将在后面讨论。

25 振荡器电路是由施加到压控振荡器 (VCO) 的输入端上的直流控制电压控制的,该直流控制电压范围是 0 至 +5V。VCO 输入端经由图 11 所示关断电路 (shutdown circuit) 中的传输门电路 TGATE_SWITCH1 连接到外部 CSD 引脚 272。这个传输门电路在除了由关断电路检测到故障状态之外的时间里总是处于选通状态。外部电容 270 从引脚 CSD 连接到引脚 COM54,其具有三种分离工作模式,简言之就是:(1)软启动定时;

30

(2) 以电压补偿模式对放大的 CS 引脚信号进行平滑处理 (smoothing); 以及 (3) 关断和自行重启定时, 下面将加以详细讨论。

逻辑输入 SSN (软启动非 (soft start not)) 决定了工作运行的较高频率 (upper frequency), 此较高频率出现在 VCO 输入被置位 (set) 为 0V 的情况下。较低频率 (lower frequency) 将保持不变并与 SSN 状态无关。频率随着 VCO 电压改变而呈大致线性变化。当 SSN 为高电平时, 则在软启动期间的 VCO 频率范围大于以电压补偿模式运行的正常运行期间的 VCO 频率范围。IR2161 通过借助将电压馈送至 CS 引脚 56 的电流检测电阻来检测 MOSFET 110、112 半桥中的电流, 从而确定变换器输出端 80 上的负载。

软启动

首次开启接通变换器将出现软启动。当灯丝是冷的时候, 灯丝电阻与灯丝是热的时候相比较低, 而这导致产生很高的浪涌电流 (inrush current), 如图 6 所示。这会使得在目前所用的一些系统中的关断电路产生错误触发, 导致灯在达到稳定连续工作状态之前闪亮闪灭数次。

软启动电路避免了这个问题, 而且同时减小了灯丝在启动阶段的应力, 这就让灯的使用寿命得以延长。当 IC 52 的 VCC 引脚上升到高于欠压切断 (UVLO) 阈限时, 则如图 5 所示的软启动电路开始工作。UVLO 功能常见于国际整流器公司的照明镇流器控制集成电路, 如 IR2156。在这一点上, 振荡器以较高频率起动, 而外部 CSD 270 电容开始由 IC 中的电流源充电, 仅在软启动期间才允许充电。随着引脚 CSD 上电压的增大, 频率将下降且因此将会有更多的电能施加给灯。当 CSD 上的电压达到 5V 阈限时, 频率将跌降到大约为 30KHz 的最低点。IC 中的软启动电路实施方案可参见图 5。锁存比较器 CMPLTCH1 的输出是 SSN 逻辑信号, 该信号的电平在软启动时间段的末段是由低变高, 该信号被引入振荡器以确定频率范围。灯的浪涌电流效应可参见图 7。

电压补偿模式

除了软启动控制之外, 还可以响应输出电流检测对振荡器频率进行

控制。CS 引脚上的电流可选地经由低通滤波器而被引入到图 8 所示电压补偿电路的 CSF 输入端，低通滤波器去除非所期望的高频噪声。图 8 的电路包含具有固定的正电压增益的运算放大器 PMOS_OP1。经由二极管 Q1 和传输门 TGATE_SWITCH1 把输出引送到外部 CSD 电容以及振荡器 VCO 输入端。当系统既不处于软启动模式也不处于关断模式，而是处于正常工作模式时，该传输门保持选通状态，此时电压补偿功能有效。电压补偿描述的是这样一个方案：它补偿了由负载变化引致的变换器输出电压的改变。卤素变换器具有最大额定功率，但也可以与较小负载一起使用，较小的负载会导致输出电压增大。例如，用于驱动两个并联的 50W 的灯的 100W 变换器可以产生 11.5V 的 RMS 输出电压。但是如果去掉一个灯或者将一个灯开路，则电压将增大到 12V。自然，较高电压将产生较高的灯的功率，这致使灯的温度上升并减短灯的寿命。使用最大负载时，CSD 电容上的电压将约为 5V。PMOS_OP1 上的电压由许多处于振荡器频率的脉冲构成，其处于全波整流正弦形包络中，二极管 Q1 提供峰值整流，而 CSD 电容提供平滑处理以产生与该峰值成比例的直流电平。如果负载减小，则 CSD 电容将通过电流源 MN1 以多个周期缓慢放电。在这个电路中快速响应不是必需的。

关断电路

图 11 显示了 IR2161 中的关断电路。输入 CS 连接 IC 的外部 CS 引脚。在正常工作期间，电流检测电阻被选定以提供一个峰值电流，该电流在最大负载下约为 0.4V。这电压补偿模式工作期间这将为 CSD 引脚提供 5V，从而使得振荡器以所需的最大频率运行。假如负载加大到最大额定值的 150%，则 CS 引脚上的峰值电压将随之达到 0.5V，这将致使 CMP1 的输出变为高电平，从而经由 INV2 使 MP8 导通。由于 CS 引脚信号的高频分量，CMP1 将在线电压半周期的峰值处产生高频脉冲。类似地，假如输出发生严重过载或短路的情况，则 CS 上的峰值电压将高出 INV14 的阈值，这将导致其输出变为低电平，从而致使 MP4 导通。

当 CMP1 变为高电平时，触发器 RRS1 被置位。该置位使传输门 TGATE_SWITCH2 打开以将 CSD 引脚连接到关断电路；并且禁止

TGATE_SWITCH1 以将 CSD 引脚和电压补偿电路断开。与此同时, MP44 导通, 从而通过 MN70 将 CSD 电容充电至约 4V, 由此确保 MN1 保持导通, 以将 RRS1 和 RRS2 的 R2 输入保持为低电平。这是为了防止在电压补偿和关断电路之间出现一个周期接一个周期的 CSD 切换。

5 在 RRS1 置位期间, 系统处于故障定时模式或故障模式, 如图 14 状态图所示。在这些模式下, 显然不需要的电压补偿电路变为不可用并且频率保持固定 (static)。当 INV14 输出为低电平时, 通过 MP3 和 MP4 把电流供给外部 CSD 电容 270, 而当 CMP1 为高电平时, 通过 MP2 和 MP8 把电流供给电容。由于 INV14 检测到非常高的半桥电流, 而这个非常
10 高的半桥电流将会在极短时间内破坏外部功率 MOSFET 110 和 112, 所以充电速率的不同使 INV14 将导致电容充电速率远快于 CMP1。通过 CMP1 实现对电容充电的速率较慢, 慢到 MOSFET 能够在一定时间内承受这种电流而不至于毁损的地步。随着 CSD 电压增大到一个接近 VCC (在 IC 中表示为 APWR) 的水平, PMOS 器件 MP6 截止而 INV4 输入端
15 电平在 MN2 的下拉作用下由高电平变为低电平。INV4 输出置位触发器 RRS2, 使 SD 逻辑信号变为高电平。当这个信号为高电平时, 系统被禁用以使所有半桥 MOSFET 都断开, 从而完全没有功率输出。随后 CS 引脚电流降至零而 INV14 输出变为高电平且 CMP1 输出变为低电平, 但是 RRS1 和 RRS2 保持置位并且系统保持在故障模式。在故障模式下, MN3
20 导通, 并通过电流吸收器 (current sink) MN4 使 CSD 放电, 从而使电压逐渐下降。当电压跌落至接近零点时, MN1 截止而 RRS2 的 R2 输入经由 MP6 被拉高, 再次置位 SD 为低电平, 且因此使得振荡器再次启动运行, 并且输出驱动 MOSFET 变为可用。此时 SDN 变为高电平, 并在 INV2 输出通过 AND1 为高电平条件下复位触发器 RRS1。当检测到 CS 上的过
25 流故障时, INV2 输出将为高电平。当 RRS1 复位时, TGATE_SWITCH2 被禁用而 TGATE_SWITCH1 打开, 因而将 CSD 连接到电压补偿电路并与关断电路断开。假如振荡器重启而仍然存在故障, 则重复整个次序直至故障状态消除为止。这点在图 14 的状态图得到有描述。

概括讲, 假如出现过载, 则系统将在约 0.5 秒延迟之后关断。假如出
30 现短路, 则系统将在约 50mS 延迟之后关断。在这两种情形下, 系统将保

持关断约 0.5 秒而后自动重启。假如过载或短路状态仍然存在，则继续重复这个次序。这些在图 12 和图 13 中有所描述。变换器以这种方式，能够容忍故障状态长时间存在而不会导致过热或器件损坏。

5 自适应空载时间

基于双极型功率晶体管的自振荡卤素变换器将会是内在地具有效率的，因为系统一直采取了软开关的方式。随着直流总线在线电压半周内的变化，空载时间自然也随之改变。为了达到相同的效率水平，在本发明系统中还将调整空载时间以提供相同的软开关。

10 IR2161 包括自适应空载时间功能，通过检测图 3 中 VS 引脚上的 MOSFET 半桥中点的电压来实现该功能。当高端 MOSFET 110 截止时，VS 电压将回转 (slew) 到 0V，这是由于变压器 84 的漏电感和 MOSFET 110 和 112 的漏-源电容所引致的。当电压 VS 达到 0V 时，正是低端 MOSFET 112 导通的时间。

15 高端驱动器输出 HO 以驱动 MOSFET 110 的门，通过给图 15 所示电路的 SPN 输入端提供负向脉冲将 HO 置位为高电平。通过给图 15 所示电路的 RPN 输入端提供负向脉冲将 HO 置位为低电平。SPN 脉冲置位触发器 RS1 并且复位 D 型触发器 DF1，从而使 MP30 截止。当在 VS 由高到低转换过程的起始时段内将 HO 置位为低电平时，RPN 脉冲使 DF1 的
20 QDN 输出变为低电平以导通 MP30。当 MP30 导通时，电流从 VB 引脚引向 ZC，VB 引脚电位等于 VS 加上 VCC。电流将流入 MN37 和 MN38 组成的镜 (mirror)，如图 15 所示，当 HIN 为低电平时 MN37 和 MN38 被打开。这导致 MN38 的漏电平，即如图 10 所示的信号 D，变为低电平。随着 VS 电压向着零点的回转，会达到这样一个点：在这点上，镜中不再
25 有电流而 MN38 的漏极变为高电平。在这一点，于输出 ADT 上产生一个脉冲，其如图 10 所示。ADT 脉冲引入 OR4，它驱动 MN31，MN31 将在图 15 的高端驱动器电路的 RPN 输入上产生第二负向脉冲。这将对 HSR5 产生影响，因为它已经复位了；但是它将使 DF1 复位，因为当 DF1 被置位时 RS1 会被复位。这个逻辑电路将截止 MP30 并且将不再有
30 电流提供给 ZC。其结果就是，只提供有限电流的 MP30 只在 VS 由高电

平向低电平的回转时间内导通。

VS 波形见图 10 所示,图 10 还显示了馈送给图 16 中 MN30 和 MN31 的门的脉冲,这两种脉冲产生了给图 15 的 SPN 和 RPN 输入。参见图 10,可以看到,于 LTRIG 上有脉冲出现在 VS 的高、低转换的起始阶段,并且于 ADT 上有脉冲出现在当 VS 电压下降逼近 0V 时。这些脉冲之间的时间段被确定为空载时间。这些信号都馈送给图 9 的自适应空载时间电路。如果由于某些原因而无法检测到高到低的电平转换从而使系统默认处于固定的空载时间内,则 LTRIG 将置位 RRS1,并且 ADT 或来自振荡器的 OON 将使 RRS1 复位。此时置位 RRS1 使 MP11 截止并且由 MP9 和 MP10 组成的电流反射镜 (current mirror) 把电流引向电容 CB。而后 CB 上将产生一个电压,其与检测到的 VS 高到低的电平回转时间成比例。

由于不可能以同一方式检测到低电平到高电平的回转时间,所以系统通过复制高到低的电平转换时间来确定正确的空载时间,可以假定两者相等。当对 MOSFET 112 的门驱动 LO 变为低电平时,产生 HTRIG 脉冲, HTRIG 脉冲用于使触发器 RRS2 置位,如图 9 所示。在这一点上,由 MP13 和 MP14 组成的另一个相同的电流源被启动,并且 CB 开始充电。当 CA 上的电压高于 CB 上的电压时,比较器 CMP3 的输出将变为高电平,因此回转时间加倍。当 CMP3 的输出变为高电平时,触发器 RRS2 被复位,因此会产生正确的空载时间脉冲以用于 RRS2 的 Q 输出上的由低电平到高电平的转换。将触发器 RRS1 和 RRS2 的 Q 输出馈送给或非门 NOR7,以产生 ADTO 输出,ADTO 输出由在空载时间期间为低电平而在输出 MOSFET 110 或 112 导通时间段内为高电平的信号组成。ADTO 信号在每个空载时间结束时都在 RSET 输出端产生脉冲,该脉冲被回馈给图 4 的振荡器以对 C1 实现放电并开始下一个循环周期。以这种方式,如图 10 所示,振荡器输出 OO 将跟随自适应空载时间电路,并可以反转而后通过信号 OON 馈送给如图 17 所示的输出逻辑电路,信号 OON 通过 AND (与) 门,AND2 以及 AND3 提供对 LO 和 HO 的消隐 (blinking)。

相位切割调光操作

卤素变换器可以通过基于三端双向可控硅开关元件 (triac) 或晶体管

的相位切割调光系统进行工作，这主要是因为直流总线电压未经平滑处理。在 IR2161 的实施方案中，人们已经认识到，在调光器中的三端双向可控硅开关元件或晶体管处于截止期间，直流总线电压将跌降到零。由于电流将连续流出，所以这将会导致 VCC 电压跌降到 UVLO 负向阈限之下。5 为了避免在相位切割操作期间每个半周期内再次触发软启动电路，给欠压锁定电路附加一个第二负向阈限，因此 VCC 必须跌降到这个低限阈限之下才会复位软启动电路。这个第二阈限约比第一阈限低 2V。当 VCC 跌降到低于第一阈限时，IC 将进入微功率工作模式并且只有非常小的电流从 VCC 电容流出。因此，使这个 VCC 电容再放电 2V 所需时间将10 比一个线电压半周期要长，且因此将不再使软启动电路复位。

附加功能

IR2161 具有一些附加功能（例如过热关断保护），这些附加功能也应用于其它国际整流器公司出品的集成电路中，例如 IR2157（1）。

15

第二实施方案

图 18 显示了集成电路（IC）50 的第二个实施方案的主要功能元件，其中应用了本发明的电路。电源电压（VCC）引脚 52、电源与信号接地（COM）引脚 54、电流检测引脚（CS）56、高端门驱动浮动供电（VB）20 引脚 58、高端门驱动器输出（HO）引脚 60、高端浮动返回（VS）62、以及低端门驱动器输出（LO）引脚 64 与国际整流器公司出品的 IR2156 IC 或 IR2157 IC 的相同标识引脚具有实质上相同的功能，并且可以实质上相同的方式实现。IR2157IC 的技术特征还记述在第 6,211,623 号美国专利中，该专利所披露全部内容都结合在本说明书中。类似地，高端和低端25 驱动器 70、欠压检测电路 72、过热检测电路 74、以及故障逻辑电路 76 与美国专利第 6,211,623 号中相同的标识电路具有实质上相同的功能，并且可以实质上相同的方式实现。振荡器元件 78 以及 IC 50 的其它元件通过下面的说明将得以理解。

图 19 示出了电路 80，其中 IC 50 被连接用于驱动卤素灯（未示出），30 IC 50 采用国际整流器公司出品的 IR2162 IC，所述卤素灯通过变压器 84

与输出引线 82 相连,所述变压器 84 所起的作用与图 1 中变压器 14 相同。电路 80 通过输入引线 86 接收交流电,输入引线 86 带有电容 90、电感 92、二极管 94 和 96、电阻 98 和 100、以及电容 102 和 104,它们与图 1 中传统电路 10 中的对应元件具有相同功能。电路 80 通过高端和低端功率 MOSFET 110 和 112 的操作提供振荡信号给变压器 84。高端 MOSFET 110 通过 HO 引脚 60 从驱动器 70 接收其门驱动信号,低端 MOSFET 112 则通过 LO 引脚 64 从驱动器 70 接收其门驱动信号。

为了实现图 18 中的振荡器元件 78,图 20 中的振荡器电路 120 提供输出信号 OSC 给驱动器 70。从输出波形 122 可以看出,输出信号包含一系列来自比较器 124 输出的脉冲。OSC 信号在空载时间内为高电平,而在当驱动器 70 提供脉冲给 MOSFET 110 和 112 中任意一个时为低电平。

当电容 130 由可控电流源 132 充电达到阈限电压 V_{th} 时,比较器 124 提供高电平输出。该高电平输出还开启分流晶体管 134 以使电容 130 放电。该高电平输出还使得阈限逻辑电路 136 对 V_{th} 进行调整,以确保比较器 124 变为低电平而后再变为高电平并以适当次数反复。

可控电流源 132 可以若干种方式实现控制,这些方式包括反馈电压控制和软启动期间控制。改变电流源 132 对电容 130 充电的速率会进而改变振荡频率。因此电流源 132 充电速率具有对应的频率范围。

对于反馈电压控制,电流源 132 对电容 130 充电的速率受比较器 142 输出的控制。例如,电流源 132 可具有最小电流值,它确保输出波形 122 具有最小频率,例如 40Khz。但是,当在电荷泵输入 (VFB) 引脚 144 上的反馈电压高于带隙 (bandgap) 基准电压 V_{ref} 时,比较器 142 通过误差信号放大器补偿 (COMP) 引脚 148 对外部电容 146 充电,使对电流源 132 的电压上升且使电容 130 的充电速率增大,因此提高了输出波形 122 的频率。增大的充电速率由电容 146 的大小确定。

如图 19 所示,VFB 引脚 144 被连接以接收节点 150 的电压,该连接被用来表示通过输出引线 82 提给卤素灯的信号。变压器 84 具有附加的次级线圈 154,次级线圈 154 的一端通过二极管 156、电阻 158 和 160、以及跨接电阻 160 的电容 162 接地。当线圈 154 开始沿着二极管 156 导通方向接收信号时,通过电阻 158 的电流开始对电容 162 充电,从而增

大节点 150 的电压并且产生通过电阻 160 的电流。当信号改变至二极管 156 的非导通方向时，通过电阻 158 的电流停止，而电容 162 通过电阻 160 放电，从而使得节点 150 上的电压下降。结果，VFB 引脚 144 的电压在输出信号的每个周期的一部分时段上将高于 V_{ref} 。

5 因此电容 146 的大小决定了输出信号的频率：假如电容 146 较大，则电流源 132 大致按照与最小频率对应的速率对电容 130 充电；但是假如选定的是一个较小的电容 146，则电流源 132 将以较快的速率对电容 130 充电，从而产生较高的输出信号频率。

10 类似地，利用从软启动电路 180 到电流源 142 的信号，可使输出信号频率从较高频率开始向下扫频直至最小频率。在启动之前通过适当电路（未示出）对如图 21 所示的触发器 182 进行复位，因此晶体管 184 在启动时初始导通，允许电流流过电阻 186 和 188 以通过调光斜坡 (CDIM) 引脚 192 对外部电容 190 进行充电。因为节点 194 处电压初始为低电平，晶体管 196 初始也处于导通状态，因此电流通过晶体管 184 分流，一部分电
15 流经由电阻 198 流到电流源 132 且因此到达电容 130，从而能够实现快速充电和较高的输出信号频率。

 随着由电容 190 充电引致的节点 194 电压的上升，晶体管 196 截止，而电容 130 充电速率更加缓慢，使输出信号降至其最小频率。然后，CDIM 引脚 192 的电压上升直至其高于阈限电压 V_{th} 为止。此时，比较器 200
20 提供高电平信号，使触发器 182 置位且因此截止晶体管 184，因此软启动电路 180 彻底断开因而不再生对输出信号频率产生影响直至下一次触发器 182 在启动时复位为止。

 图 22 和 23 说明软启动电路 180 在启动时对灯电流的作用影响。图 22 示出了没有软启动电路 180 情况下的灯电流，而图 23 则示出了有软启动
25 电路 180 情况下的灯电流。在图 22 中，灯电流以较高的初始值启动而后下降到稳定状态。另一方面，在图 23 中，灯电流以稍高于上述稳定状态的较低初始值启动，而后缓慢下降，因此减小了在接通时对灯丝的应力作用。图 23 中出现较低初始值的原因是由于较高的输出信号频率减小了电流。

30 除了电压反馈和软启动控制之外，受控电流源 132 还可以响应输出

电流检测而受到控制。而且 OSC 信号的频率还可以通过调整空载时间而受到控制，调整空载时间是通过使跨接电容 130 的晶体管 210 复位来实现的。

图 24 示出了自适应空载时间 (ADT) 电路 220，振荡器电路 120 的一部分检测高到低的电平转换的空载时间并且使用该检测结果提供脉冲复位 (RST) 信号以校正低电平向高电平转换的空载时间，从而允许功率 MOSFET 的冷运行。图 25 显示了几个用以说明电路 220 工作情况的波形。

ADT 电路 220 自振荡器电路 120 接收输出 (OSC) 信号，并且还接收表示交替 OSC 脉冲的上升沿的低电平与高电平触发脉冲。低电平与高电平触发脉冲是由 OSC 信号通过适当电路 (未示出) 处理得来的。OSC 信号提供给晶体管 222 的栅极，而低电平与高电平的触发脉冲则分别被连接以使触发器 (RS1) 224 和触发器 (RS2) 226 置位。

OSC 信号变为高电平则提供驱动信号之间的空载时间，但当其变为低电平则开始提供驱动信号。OSC 信号中脉冲上升沿 (它代表了空载时间的起点) 使晶体管 222 导通；电路 220 可以包括逻辑电路 (未示出)，因此 OSC 信号中的脉冲上升沿仅只在 VS 从高电平向低电平转换期间才开启晶体管 222，即在 OSC 信号中每隔一个脉冲导通一次。在从高电平向低电平转换期间，如图 25 左边所示，VS 引脚 62 上的电压有一个从 VBUS 电压到 COM 电压的过渡，并且电流流入晶体管 228；因此晶体管 230 也被导通，并且保持 ADT 信号为低电平。当 VS 电压一直回转为 COM 电压时，晶体管 230 截止而 ADT 信号响应经由电阻 234 连接的电源电压而变为高电平。

高电平 ADT 信号使触发器 224 复位，触发器 224 在从高电平向低电平转换的起始时由低电平触发脉冲置位。当 HO 在空载时间开始时关断的情况下，低电平触发脉冲变为高电平触发脉冲。因而 ADT OUT 信号仅只在从高电平向低电平转换期间才为高电平。当触发器 224 复位时，其 Q 输出则开始提供低电平 ADT OUT 输出信号，而或非门 (NOR gate) 232 相应地提供高电平 RST 信号给图 20 中的复位晶体管 210，从而对振荡器 60 进行复位以使 OSC 脉冲变为低电平，终止空载时间并开始一个新的振荡器循环周期/定时斜坡。

当触发器 224 在这个空载时间的起始阶段被低电平触发脉冲置位时，其 QN 输出提供低电平信号给开关电路 236 的 ENN_B 输入，而开关电路 236 则相应地通过其 OUT_B 引线提供充电电流给电容 (CB) 240。

开关电路 236 于其 IN 输入端接收来自适当电流源 (未示出) 的电流，并且工作如下：当其 ENN_A 和 ENN_B 输入都为高电平时，开关电路 236 将其 IN 输入端连接到其 COM 输出端。当 ENN_A 为低电平时，开关电路 236 将其 IN 输入端连接到其 OUT_A 输出端；当 ENN_B 为低电平时，开关电路 236 将其 IN 输入端连接到其 OUT_B 输出端。由于触发器 224 和 226 中的至少一个在任意时间点都可以进行复位，所以 ADT 电路 220 能够确保 ENN_A 和 ENN_B 永远都不会同时为低电平。

当 ADT 信号变为高电平时，ENN_B 也变为高电平，因此开关电路 236 停止对电容 240 充电。如图 25 所示，跨接电容 (CB) 240 的电压停止上升并保持大致恒定，因此在如图 25 左边所示的 OSC 脉冲的持续时间内，与空载时间的持续时间有关的信息被存储下来。

随后的由低到高的 OSC 脉冲上升沿 (如图 25 的右边所示) 表示了 VS 引脚 62 电压中的由低到高的转换期间内的空载时间的起点。随着 VS 电压上升，流经晶体管 222 和 228 的电流使晶体管 230 导通，从而使 ADT 信号变为低电平。但是同时通过电容 242 接收的高电平触发信号脉冲使触发器 226 置位，因此其 Q 输出提供高电平 COMP Out 信号。作为响应，或非门 (NOR gate) 232 开始提供低电平 RST 信号。

当触发器 226 被置位时，其 QN 输出端提供低电平信号给开关电路 236 的 ENN_A 输入端，从而使开关电路 236 提供充电电流给电容 (CA) 244。电容 CA244 和 CB240 分别连接比较器 246 的非反相和反相输入端。因此，当电容 244 的电压高于电容 240 的电压时，比较器 246 开始在其输出端提供高电平 COMP 信号，该信号使触发器 226 复位，从而使 COMP Out 变为低电平。这个低电平 COMP Out 信号使或非门 232 提供高电平 RST 信号给复位晶体管 210。结果，OSC 脉冲变为低电平，因此终止空载时间并开始一个新的振荡器循环周期/定时斜坡 (ramp)。

当触发器 226 被高电平的 COMP 信号复位时，其 QN 输出变为高电平。因此，开关电路 236 在 ENN_A 和 ENN_B 上具有高电平的输入，而

电容 240 和 244 都处于不充电状态。高电平 QN 输出通过电容 254 提供脉冲给晶体管 250 和 252 的栅极，从而使电容 240 和 244 都放电至 0V。结果，在 VS 由低到高的转换过程中的空载时间宽度只由在前一个由高到低的转换过程的空载时间内电容 240 中所存储的电荷来决定。如上所述，
5 存储的电荷表征了由高到低的转换过程的空载时间宽度，以至于空载时间宽度只由 ADT 电路 220 调整 (coordinated) 而不需借助于 IC50 的外部元件。

图 26 显示了关断电路 250，其包括图 18 中的峰值电平检测元件 252 和定时元件 254。当检测到过载或短路状况时，关断电路 250 提供禁用信号，从而当其为高电平时，导致故障逻辑电路 76 禁用高端与低端输出信号 HO 与 LO。当过载或短路状况结束时，则关断电路 250 执行自动复位。
10

电流检测 CS 引脚 56 上的电压通过电流检测电阻 260 被引入，并且通过电容 262 得到滤波以去除高频尖峰信号。滤波结果被提供给比较器 264 和 266 的“+”输入端。比较器 264 通过将其“+”输入与 1.2V 比较来检测短路状况，同时比较器 266 通过将其“+”输入与 0.6V 比较来检测过载状况。来自任何一个比较器的高电平输出都将导致通过关断定时电容 (CSD) 引脚 272 对如图 19 所示的外部电容 270 进行充电。但是比较器 264 通过电阻 274 对电容 270 充电，电阻 274 例如为 50K Ω ，而比较器 266 通过电阻 276 充电，电阻 276 例如为 500K Ω 。电阻 274 和 276 具有差别，因此比较器 264 对电容 270 充电的速率要快于比较器 266。换言之，检测短路状况具有短的时间延迟，而检测过载状况则具有长的时间延迟。
15
20

在比较器 264 和 266 之一对电容 270 充电达到 1V 以上之前，比较器 280 提供高电平输出，而使触发器 282 保持在其复位状态。大于 1V 后，
25 则比较器 280 提供低电平输出，以使触发器 282 置位。当电容 270 的电压超过 5V 时，则比较器 284 提供高电平输出以置位触发器 282，并提供高电平禁用输出以禁用 HO 和 LO 输出。高电平禁用输出还使晶体管 290 导通，其使电容 270 通过例如为 1M Ω 的电阻 292 放电，以避免电容 270 在比较器 264 和 266 中的一个提供高电平输出时进行放电。当电容 270 的电压再次降低到 1V 以下时，则比较器 280 再次提供高电平输出，以使
30

触发器 282 复位，因此禁用输出变为低电平而不再禁用 HO 和 LO 输出。

图 27 和 28 对比显示了关断电路 250 工作状况，图 27 显示的是过载情况，而图 28 显示的是短路情况。每张图都对比显示了电流检测电阻 260 的电压波形（浅灰色）和电容 270 的电压波形（深灰色），所述电压由 CSD 引脚上的电压测得。由图可见，对于过载情况的关断比较慢，而对短路情况的关断比较快。但是两种情况下的重启之前的延时具有相同的固定时间。

如图 19 所示，调光控制输入（VDIM）引脚 300 接收调光控制信号，该信号可以是由微控制器（未示出）提供的直流控制电压，或是 IC 外部其它来源提供的直流控制电压。采样交流线电压（SYNC）引脚 302 接收由电路 80 在输入引脚 86 引入的交流线电压而获得的信号。根据这些信号，脉冲切割调光元件 304（如图 18 所示）执行脉冲后沿自调光。

在滤波之后，滤波示例性地由电容 90 和电感 92 执行，来自引脚 86 的交流线电压由二极管 94 和 96 进行整流，并且相对于 COM 引脚 54 上的电压而被检测。图 29 显示通过电阻 310 和 312 提供的最终交流半波信号，每个电阻 310、312 示例性地都可以为 $220\text{K}\Omega$ 。这两个半波信号在节点 314 上被相加，以提供信号给 SYNC 引脚 302。

调光斜坡电路 340 接收来自 SYNC 引脚 302 的经过相加的半波信号，如图 30 中的波形 342 所示。电路 340 是图 18 中的相位切割调光元件 304 的组成部分，它提供了与交流线电压同步的斜坡波形。把这个斜坡波形提供给比较器（未示出）的一根引线，而把来自 VDIM 引脚 300 的调光控制信号提供给该比较器的其它引线，从而产生能够用作开启信号的斩波高频输出，下面将做详细说明。这种简单有效的调光技术对于灯丝而言非常理想。

来自 SYNC 引脚 302 的半波信号控制了跨接电阻 344 的电压，电阻 344 例如为 $5\text{K}\Omega$ 。当半波信号在一个半周期结尾下降时，则这个电压使晶体管 346 截止，而后当半波信号在下一个半周期开始上升时，则又使晶体管 346 导通。当晶体管 346 截止时，节点 348 处的电压上升，而当晶体管 346 导通时节点 348 处的电压再次下降，因此提供如波形 352 所示的脉冲信号给晶体管 350 的栅极。

在晶体管 350 截止的较长的时间段内，电流源 360 通过调光斜坡（CDIM）引脚 192 对外部电容 190 充电。由于电容 190 还用于软启动电路 180，所以电流源 360 只有在软启动完成之后才可启动，正如前面参见图 21-23 所述的那样。在充电过程中，节点 362 上的电压以斜坡形式上升，如波形 364 所示。但是当晶体管 350 被波形 352 中的脉冲导通时，电容 190 通过晶体管 350 放电，从而产生波形 364 中的下降沿。在该波形 352 中的脉冲之后，再次开始充电。

节点 362 可被连接到比较器（未示出）的“+”引线上，而 VDIM 引脚 300 可被连接到该比较器的“-”引线上。结果，比较器提供与线路频率同步的矩形波。例如，该矩形波在斜坡波形高于调光控制信号之前可一直保持低电平，而后变为高电平，直至斜坡波形的下一个下降沿到来为止，因此其占空比（duty cycle）取决于 VDIM 引脚 300 的调光控制信号。该比较器的输出可被提供给合适的门（未示出）以禁用和开启来自驱动器 70 的 HO 和 LO 输出。在这个实施方案中，驱动器 70 控制的半桥仅只在每个电源周期的初始部分才进行开关转换，而在之后停止开关转换，因此仅只在初始部分才驱动 VS 引脚 62 电压，之后 VS 引脚 62 的电压依照衰减路径下降。

图 31 中的波形描述了相位切割调光元件 304 工作过程，图中下方波形显示的是 CDIM 引脚 192 的斜坡波形电压，而上方波形显示的是 VS 引脚 62 的斩波高频输出电压。通过调整提供给 VDIM 引脚 300 的调光控制信号，就可以改变矩形波的占空比，从而可在 VS 引脚 62 电压最大值的 0%和 100%之间调整 VS 引脚 62 的平均输出电压。而且，线电压零相交不会影响到直流总线电压，当相位切割调光电路禁用输出时，由于不再有任何负载，所以直流总线电压保持为任意电压的线电压。结果，必须在桥式整流器之前检测 SYNC 信号。

图 18 电路 50 中的带隙基准 380 可提供 Vref（即比较器 142 的基准电压）以及其它各种基准电压。电路 50 中的 5V 调节器通过调压 5V 输出（5VOUT）引脚 384 为微控制器提供 5V 调整输出电压。

也已经制造出来了一种简单的、价格便宜的、具有 8 引脚对应部分的 IC50，其具有上述这些特征，只是调整方案更加简单。

如上所述的新型集成电路可望成为第一款商业上市的用于驱动卤素灯的集成电路，并且它们的应用范围可以推广到其它种类白炽灯。这些新型集成电路的实施方案具有高可靠性，与已有电路相比可具有更多功能，并且有可能以低廉造价制造出来。已经取得了很好的实验结果。

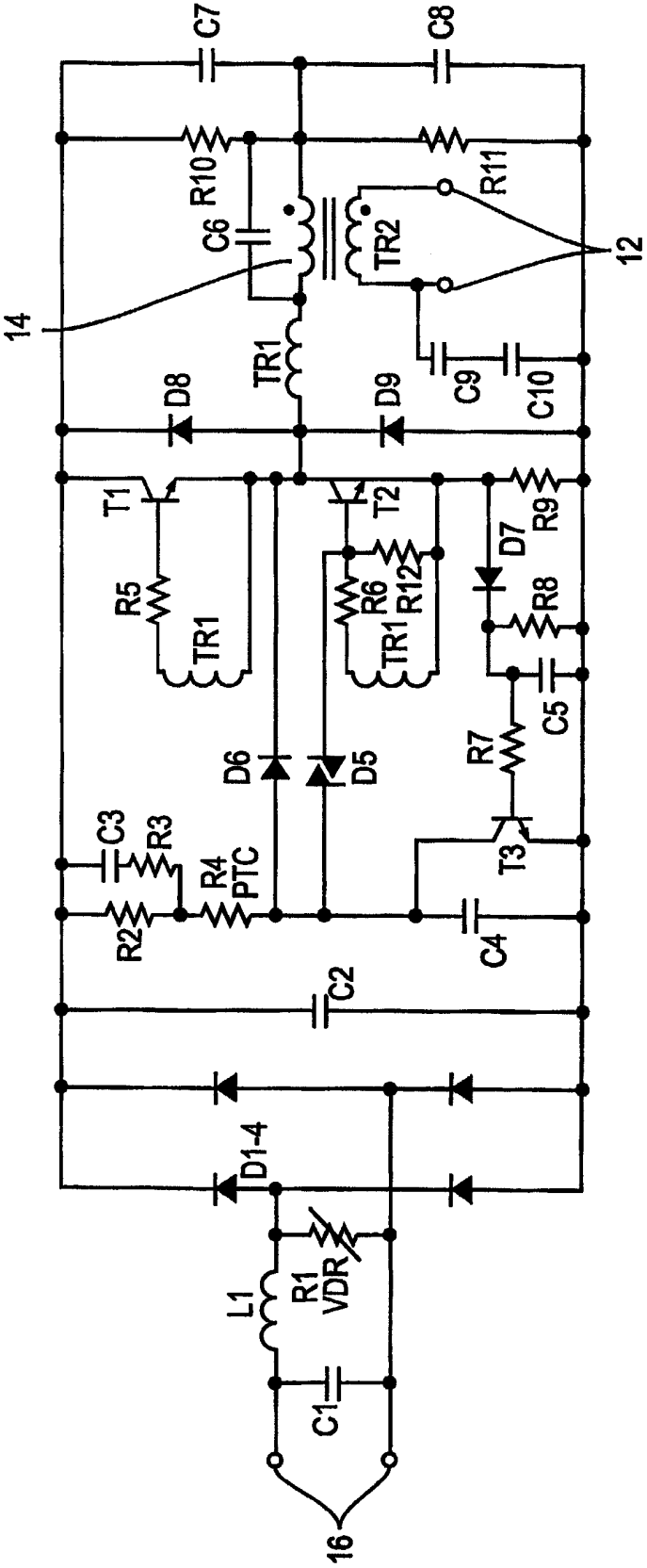


图 1

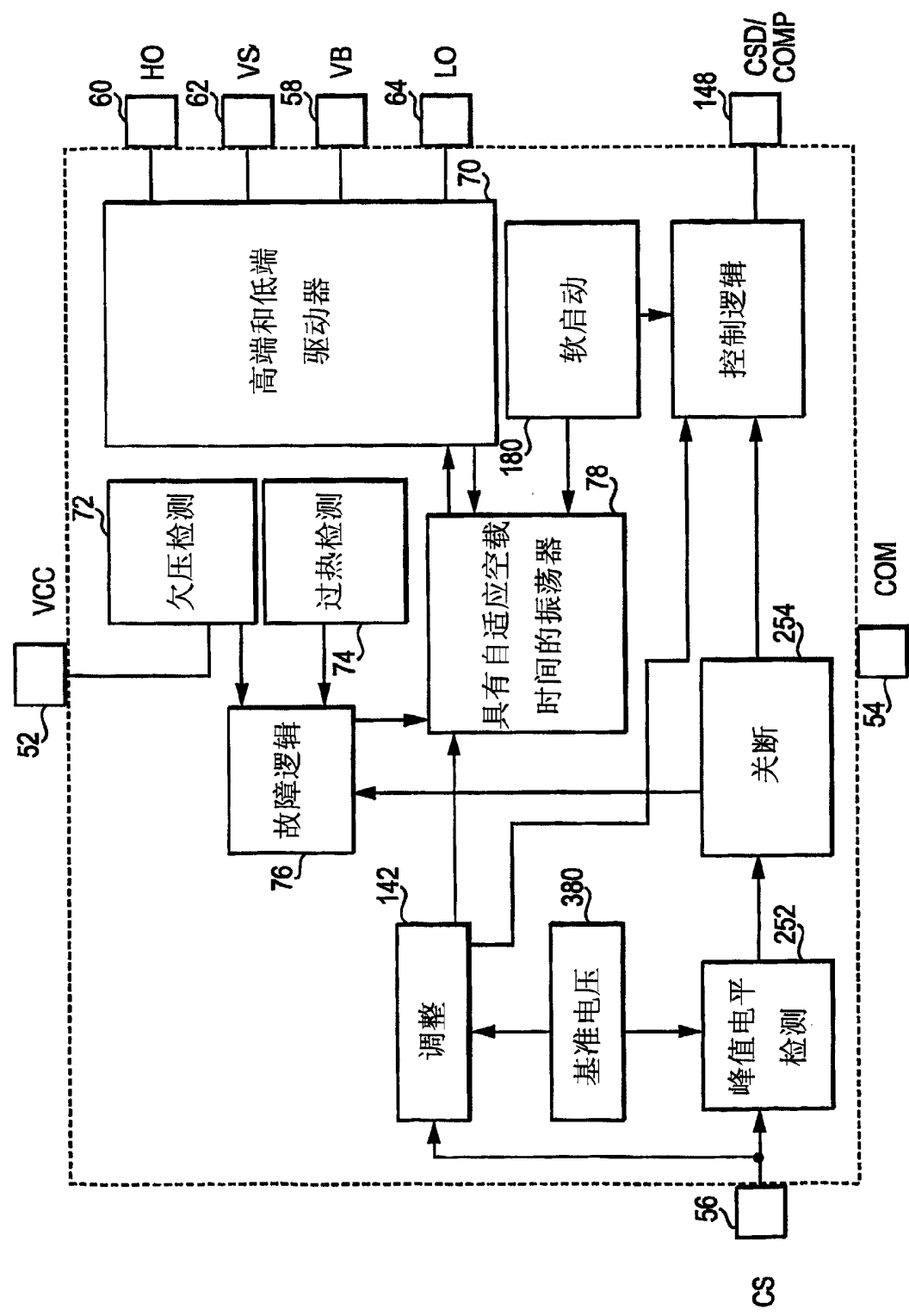


图 2

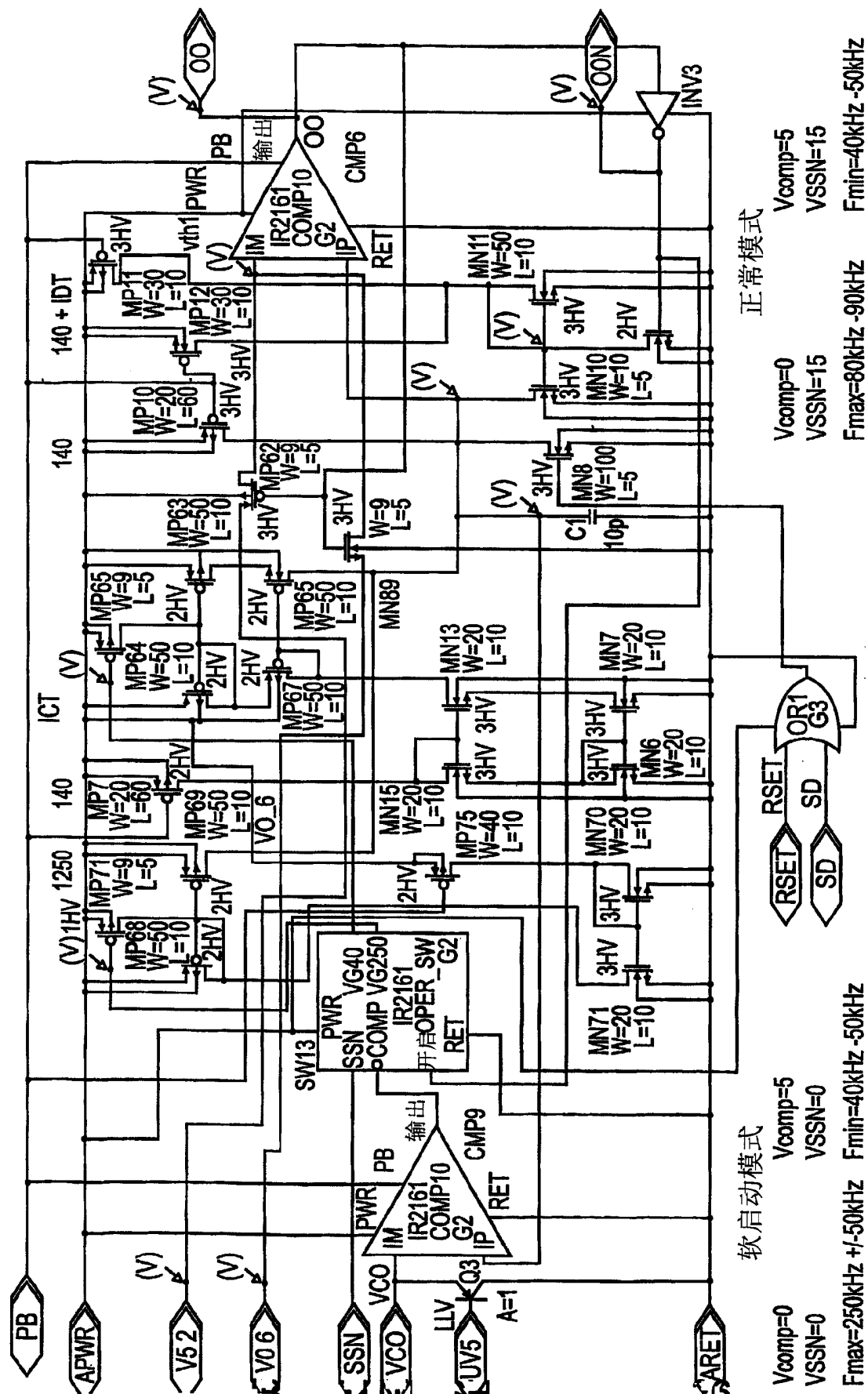


图 4

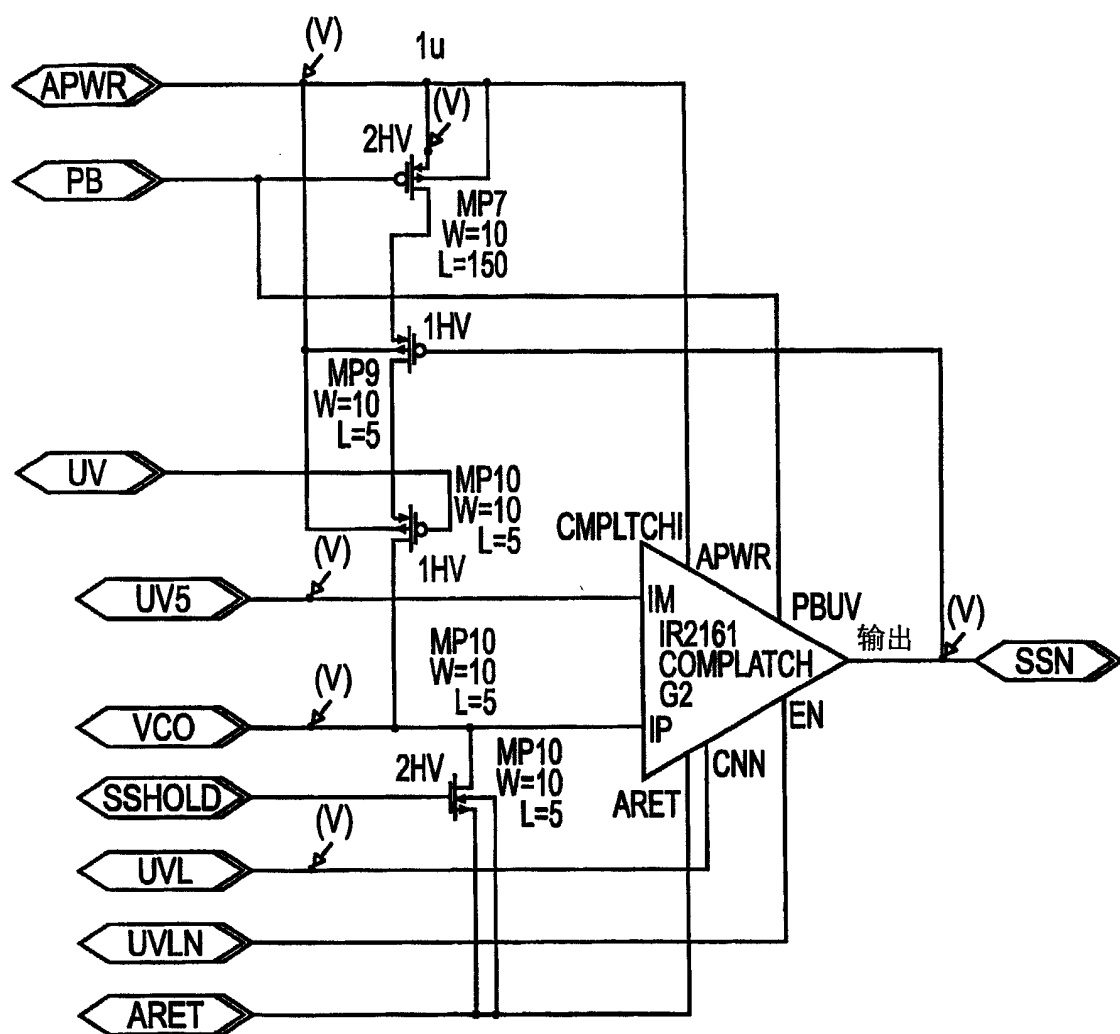


图 5

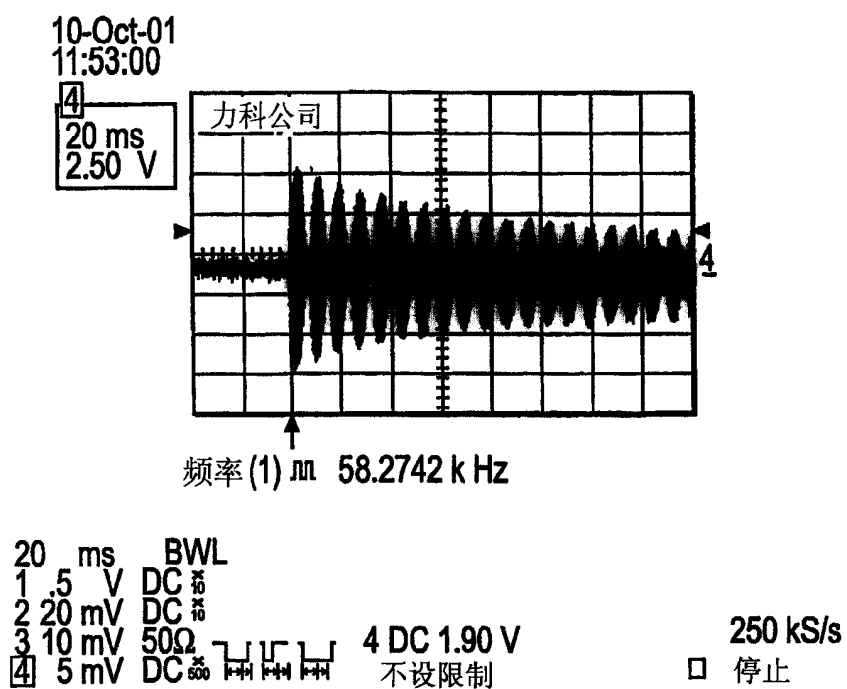


图 6

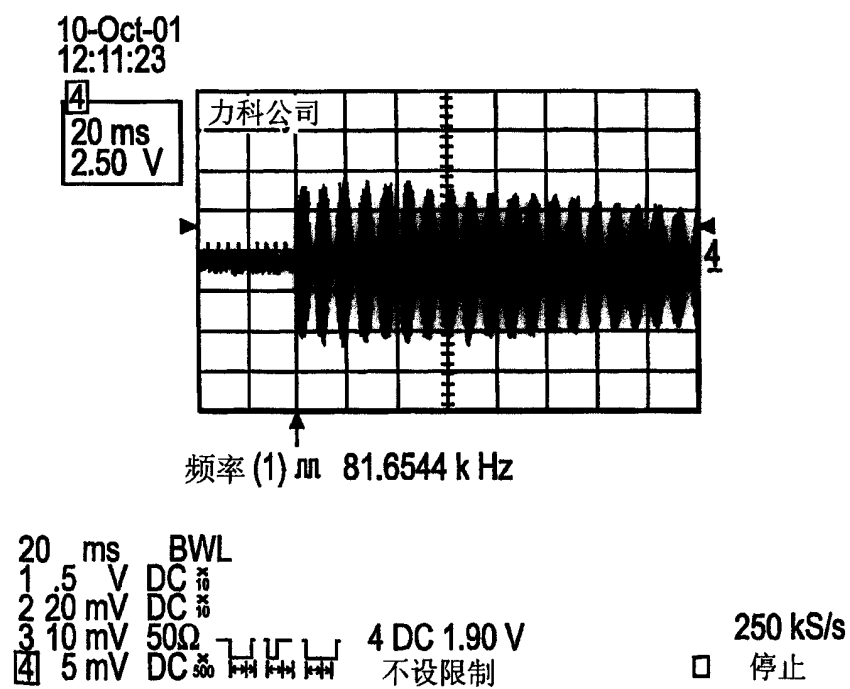


图 7

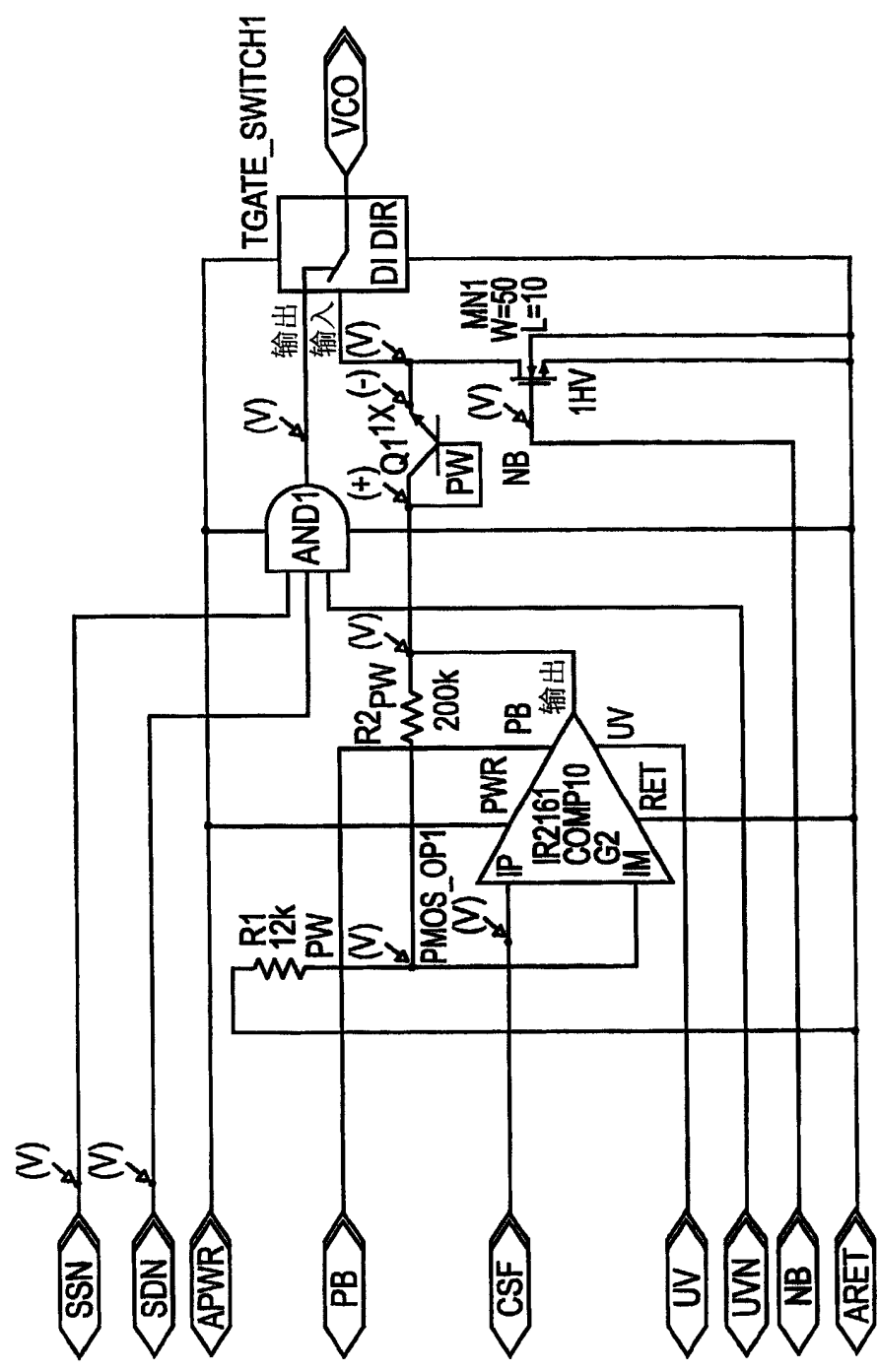
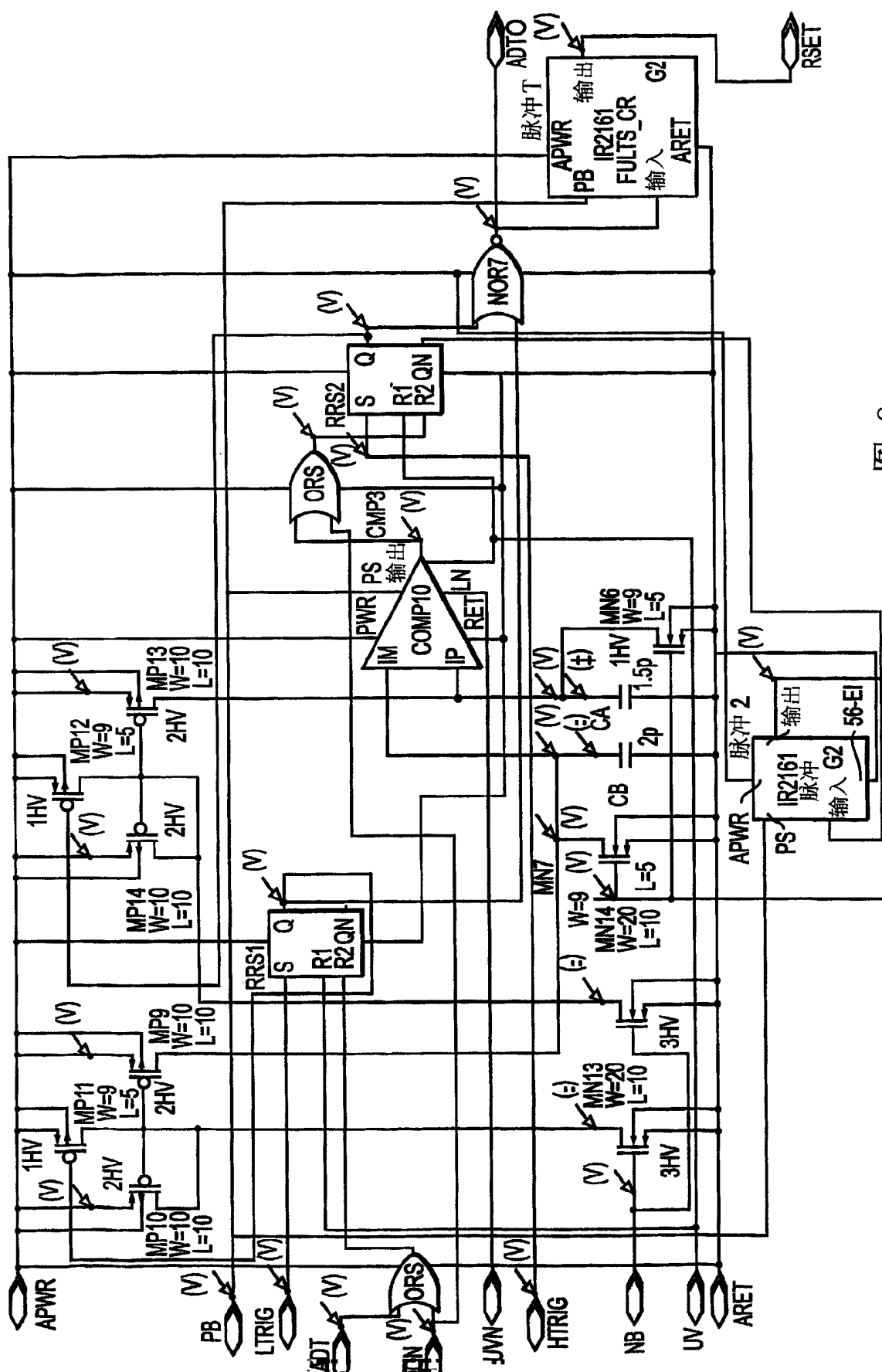


图 8



9

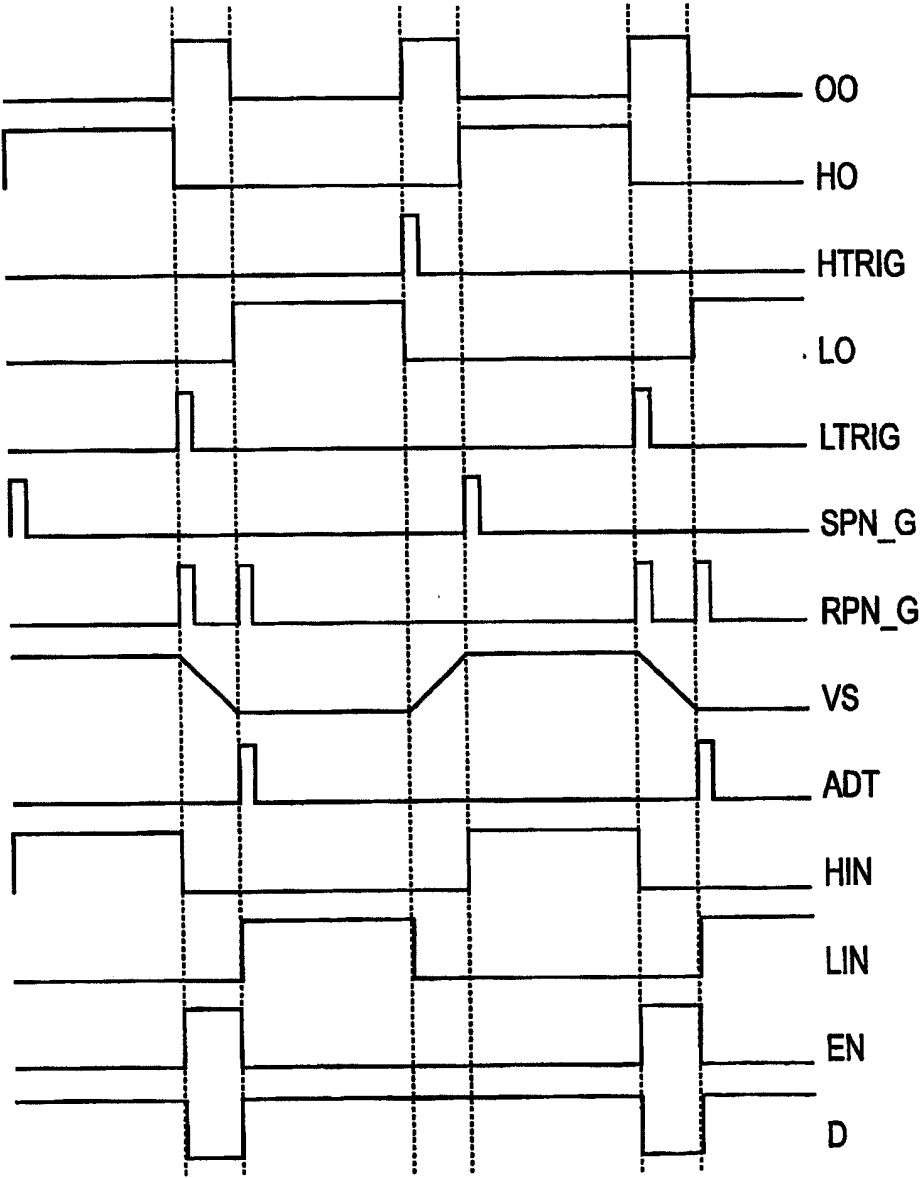



图 10

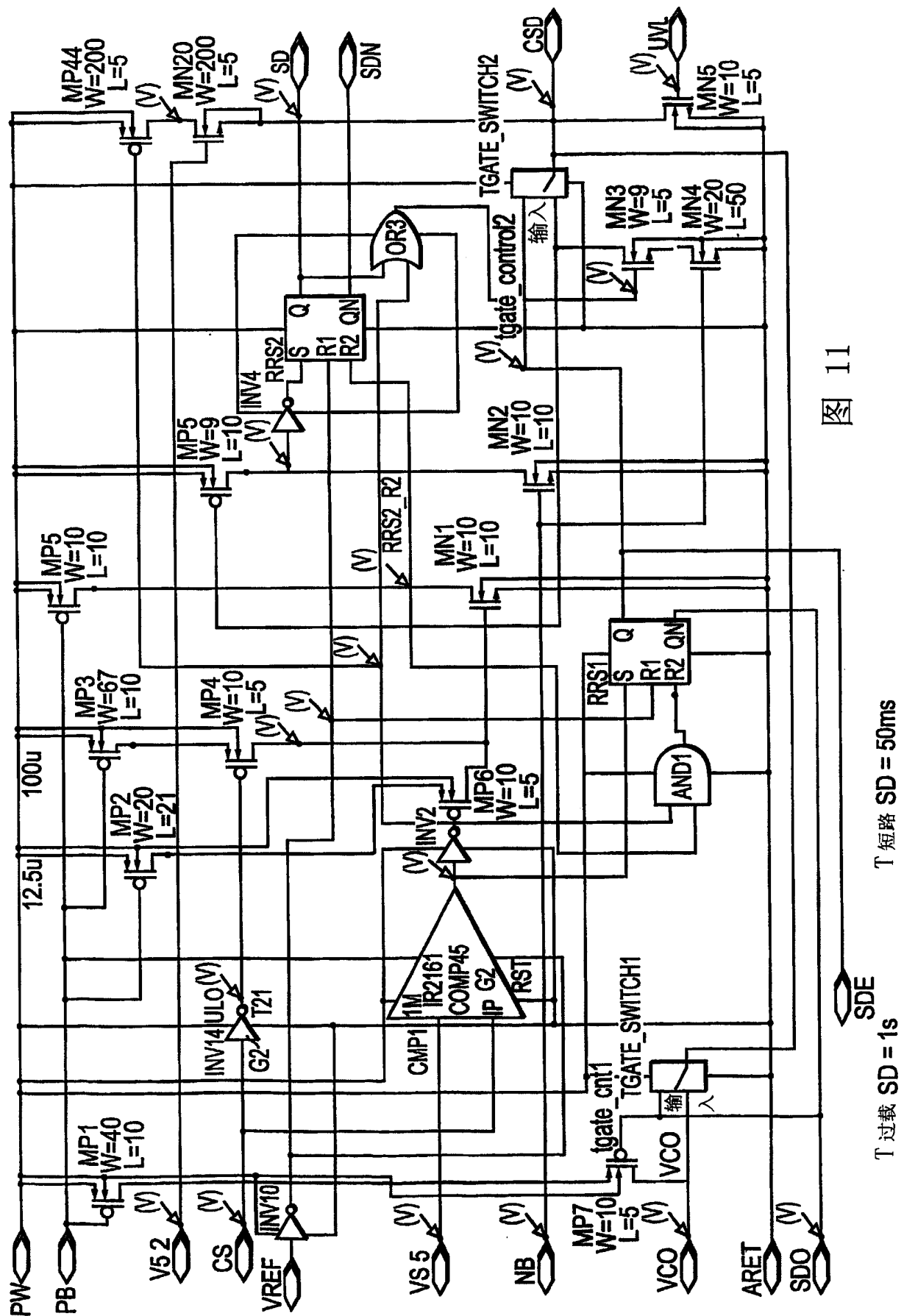


图 11

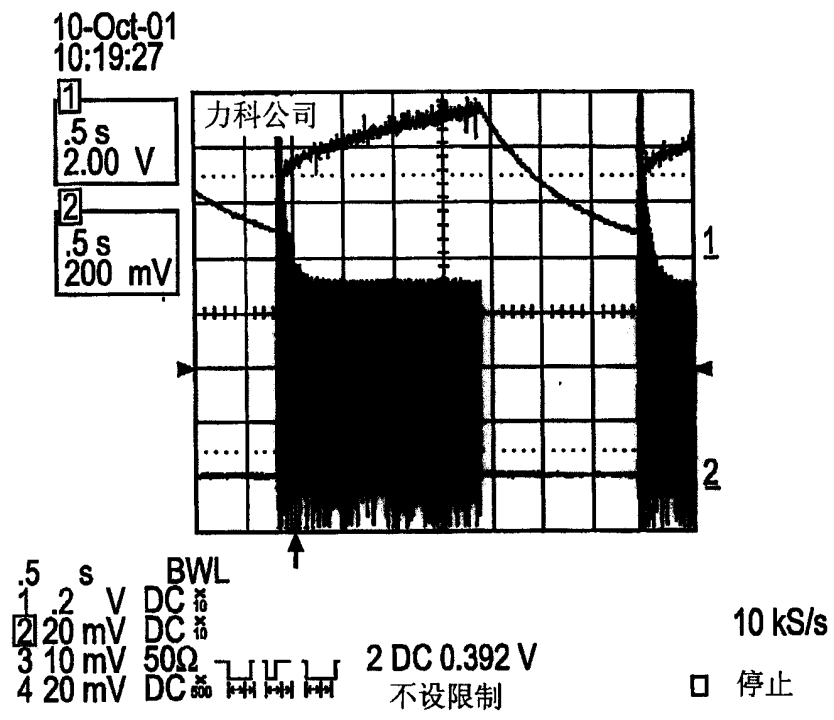


图 12

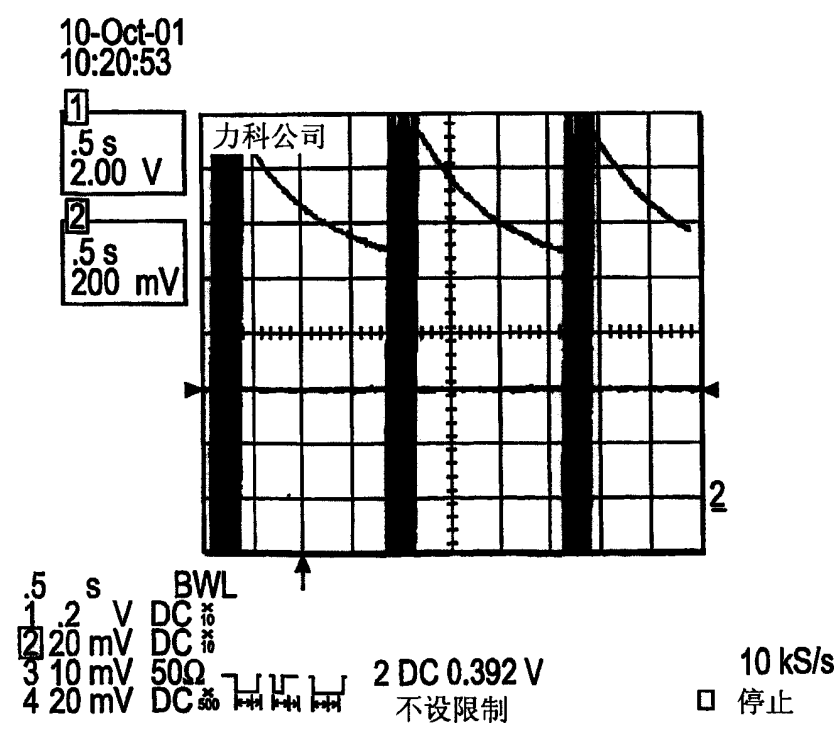


图 13

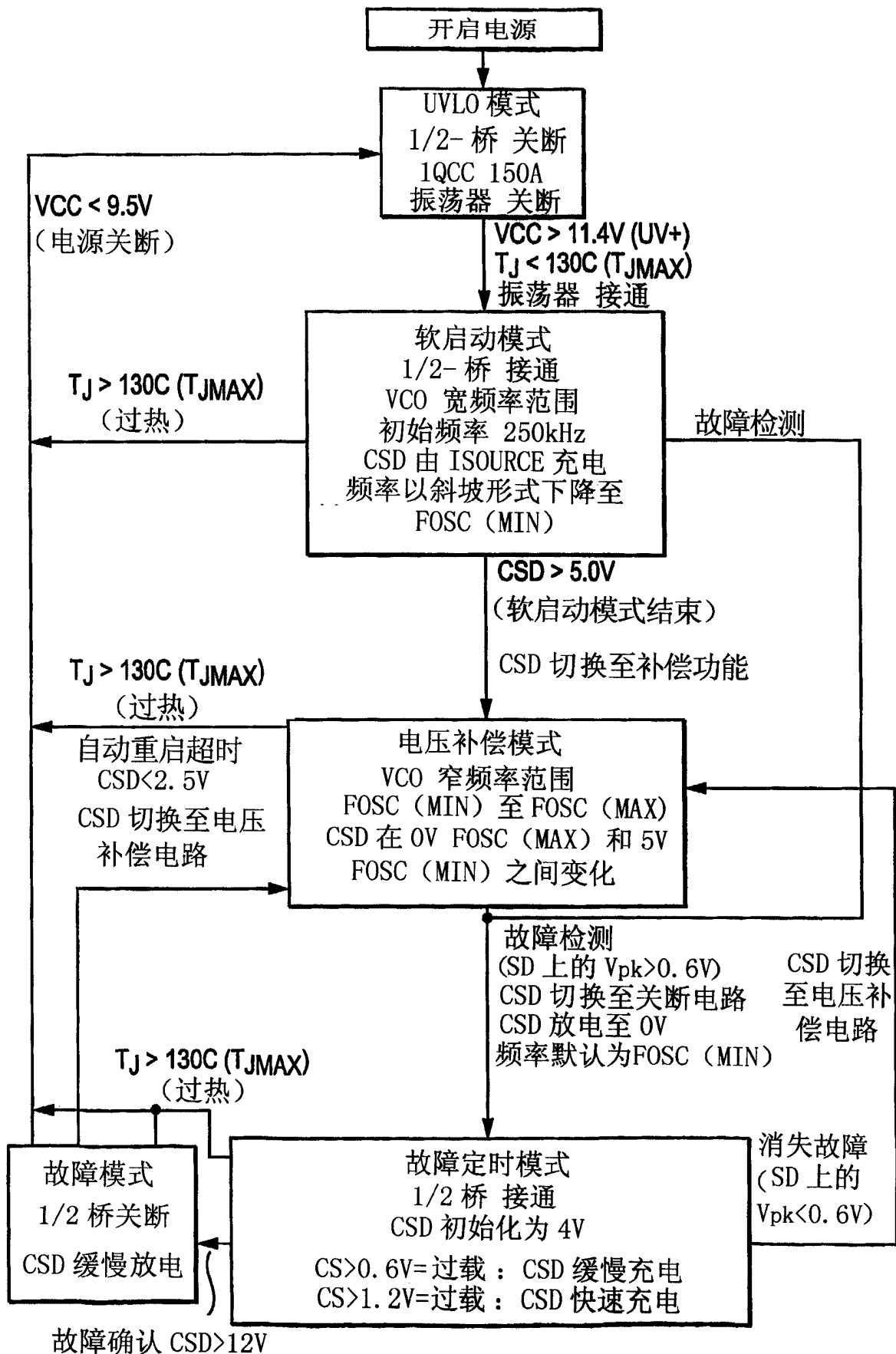
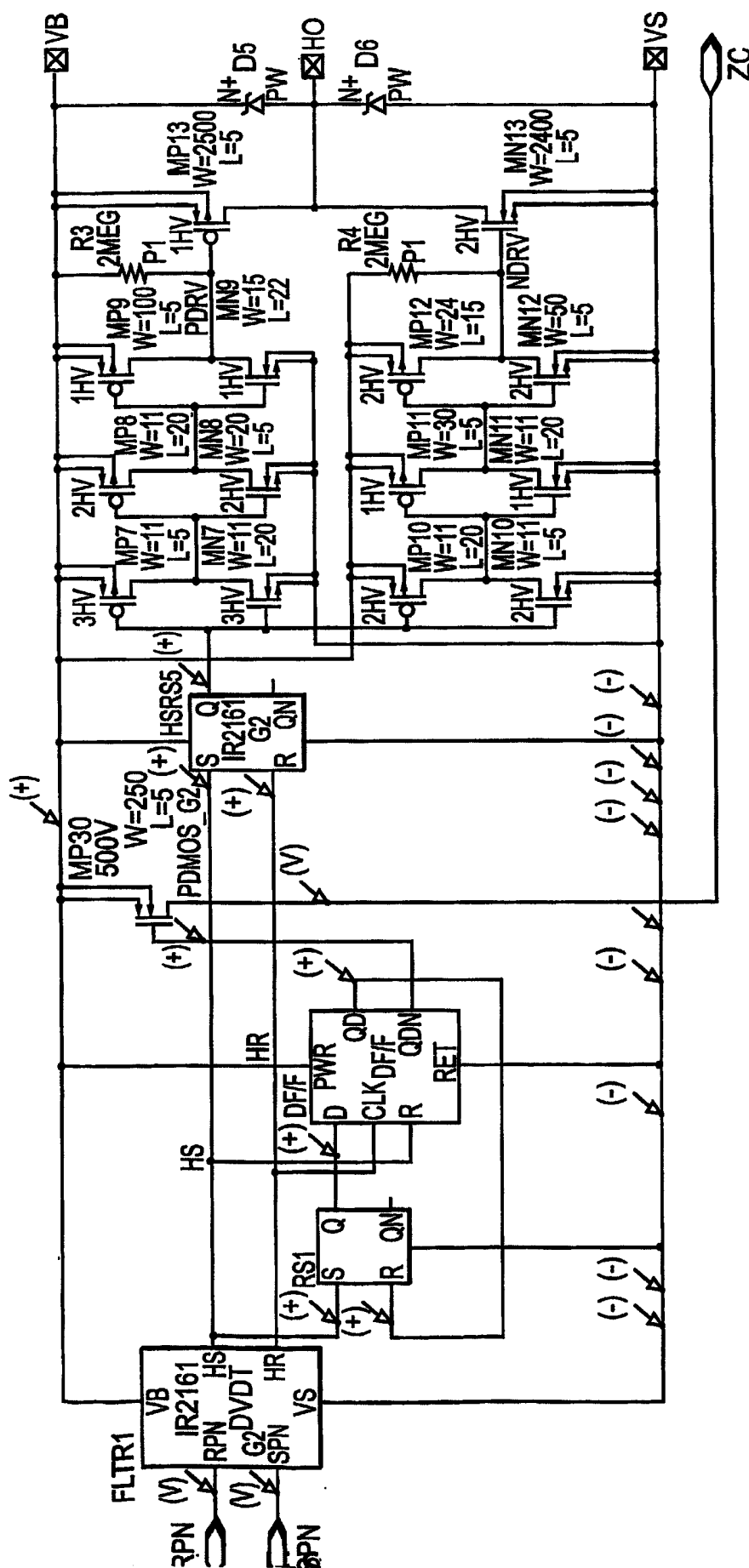


图 14



TLPH = 25NSEC TYP
ISC+=300mA

跨越 IX0 < 5mA 由于 C 负载 < 1000PF

TLPH = 25NSEC TYP
ISC=600mA

跨越 IX0 < 5mA 由于 C 负载 < 1000PF

$I_Q = 0 \mu A$ 由于 $V_{IN} = 0$

15

——一个置位脉冲和两个复位脉冲——第二个复位脉冲出现在检测 ADT 的结尾用以关断 MP23

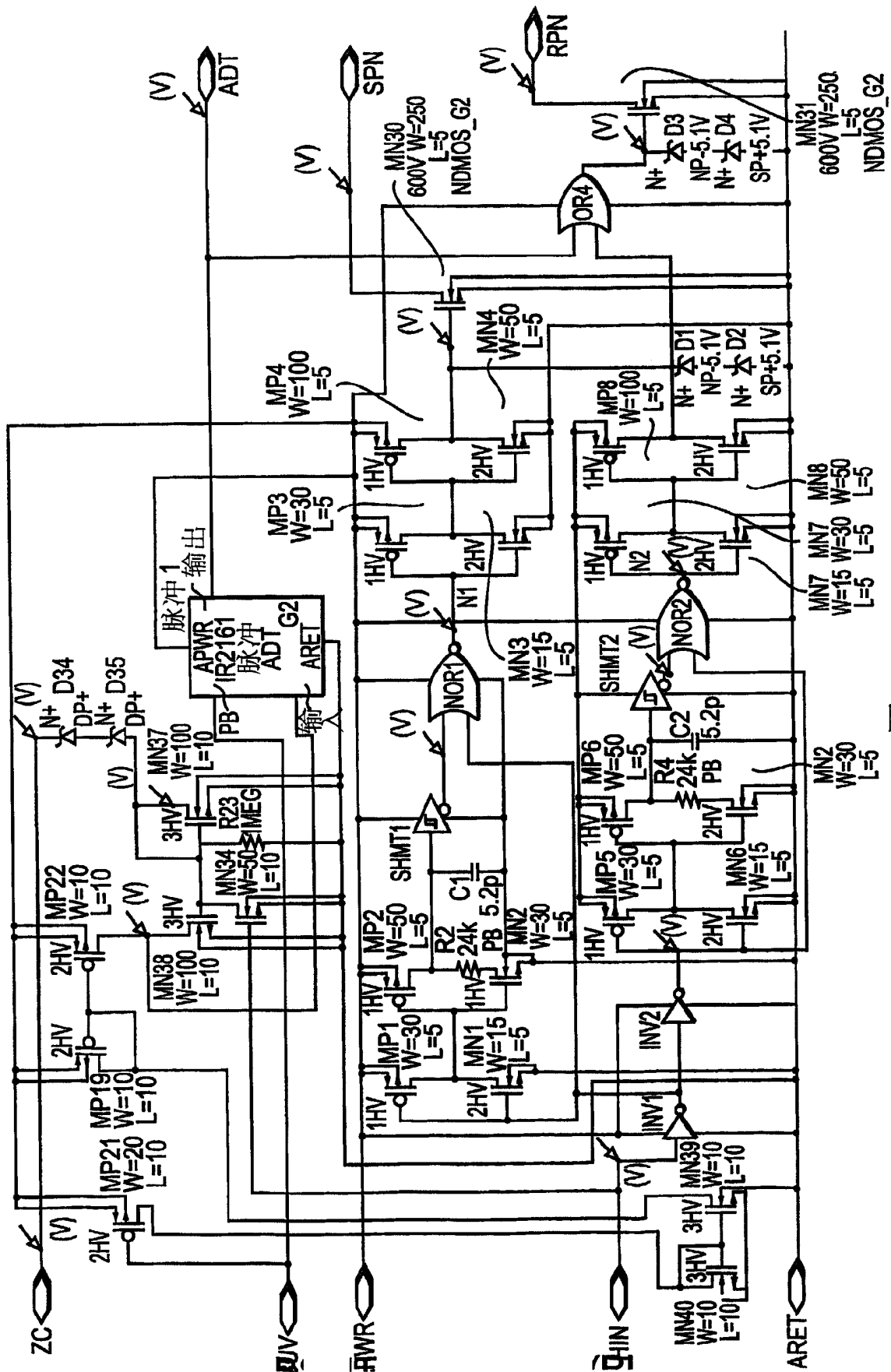


图 16

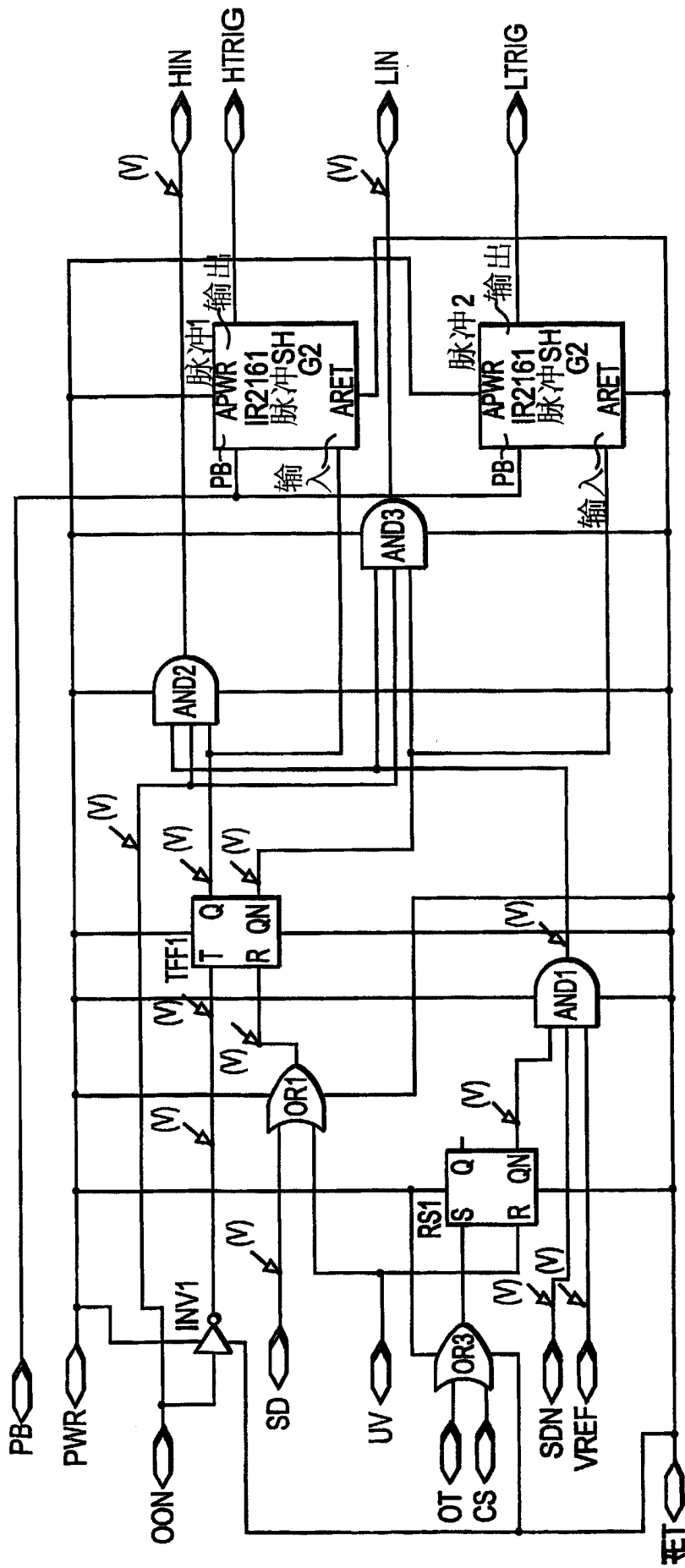
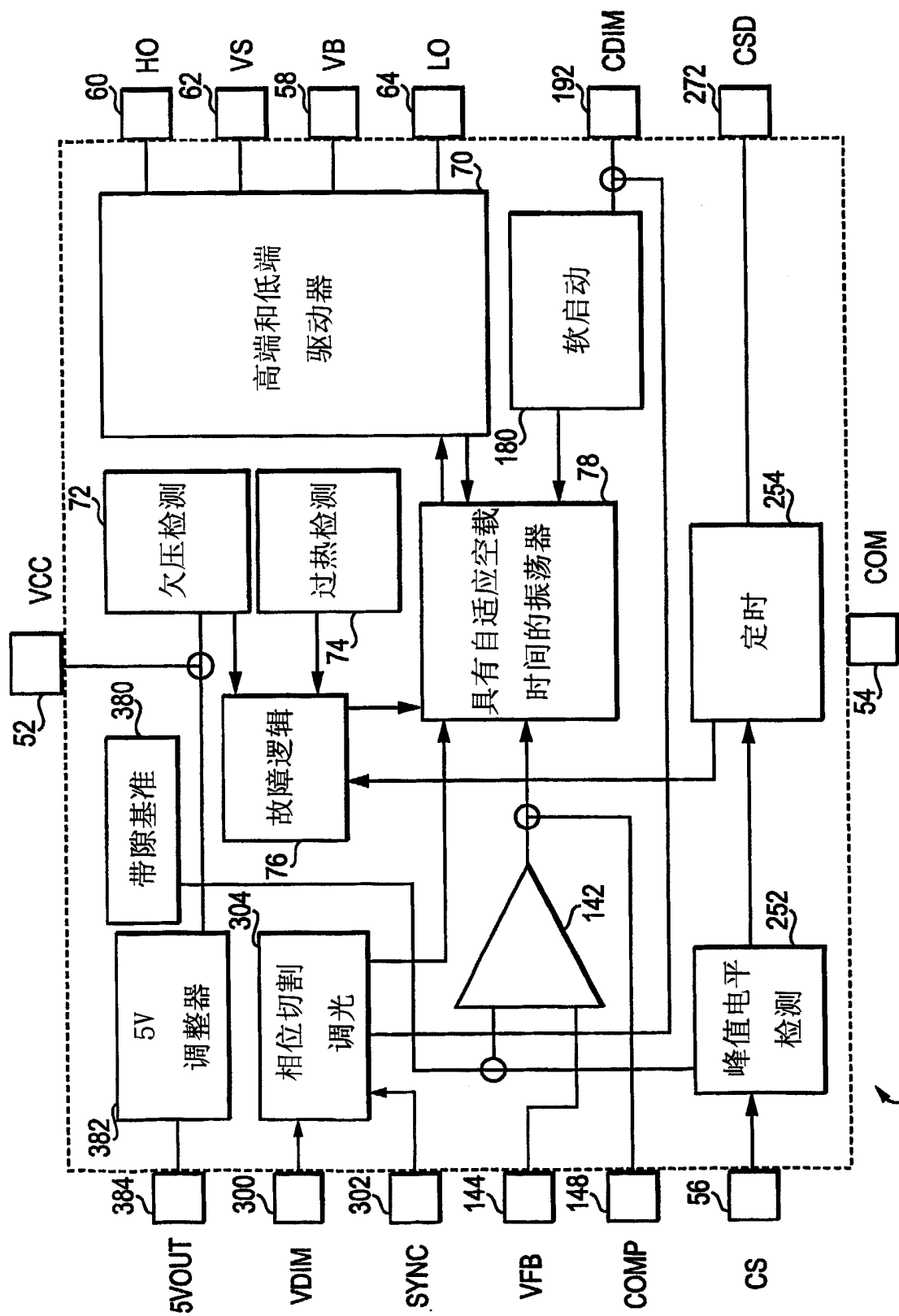
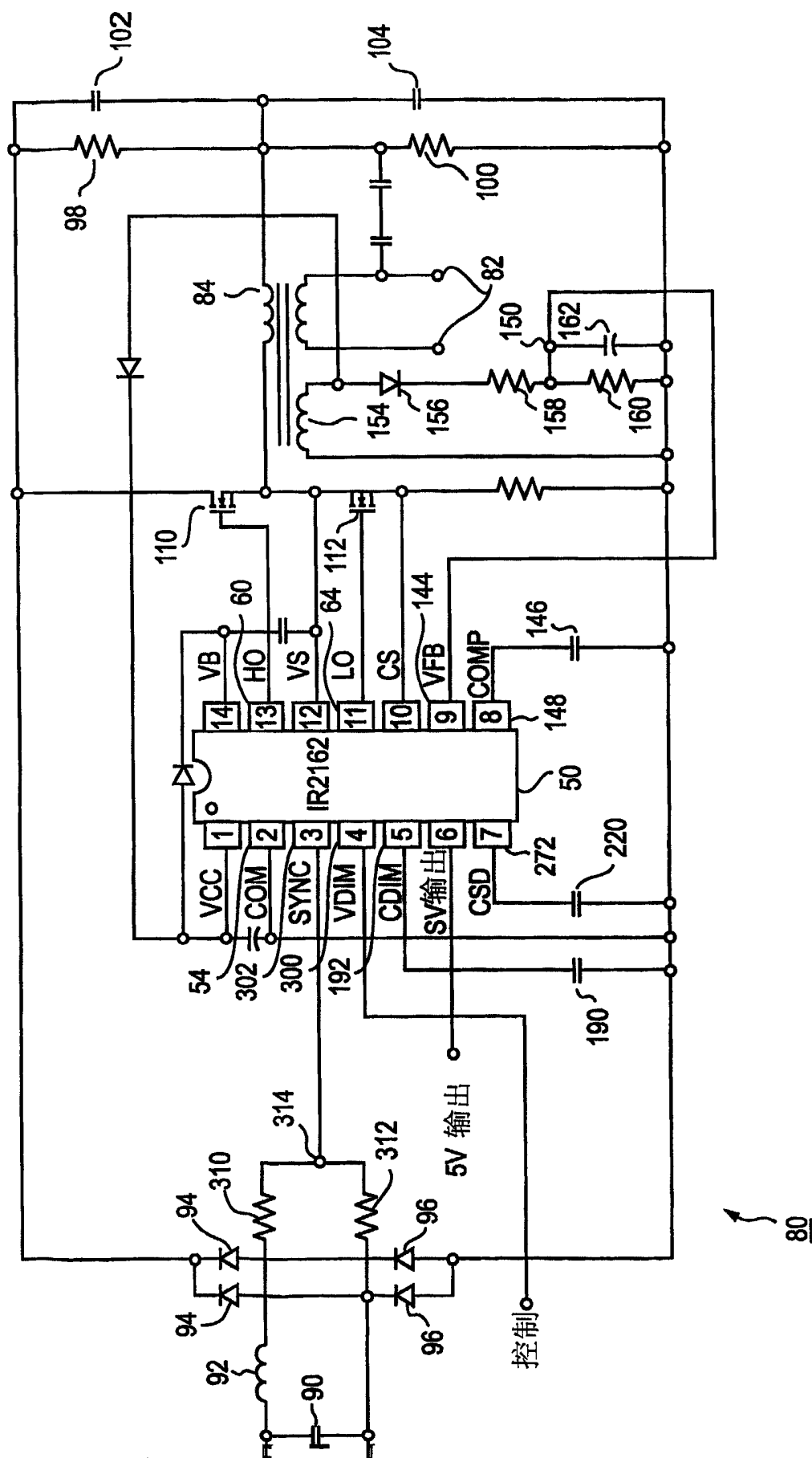


图 17



18



19

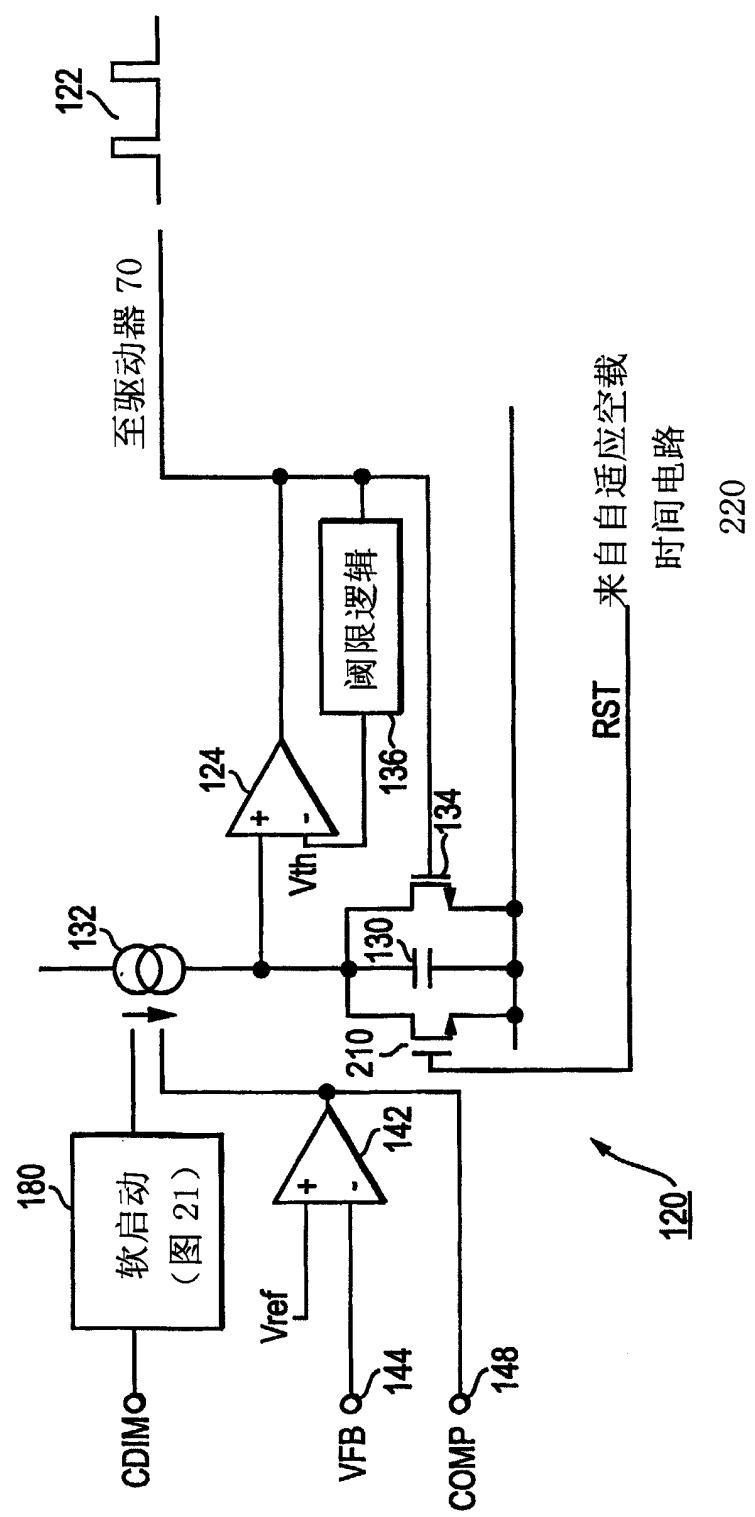


图 20

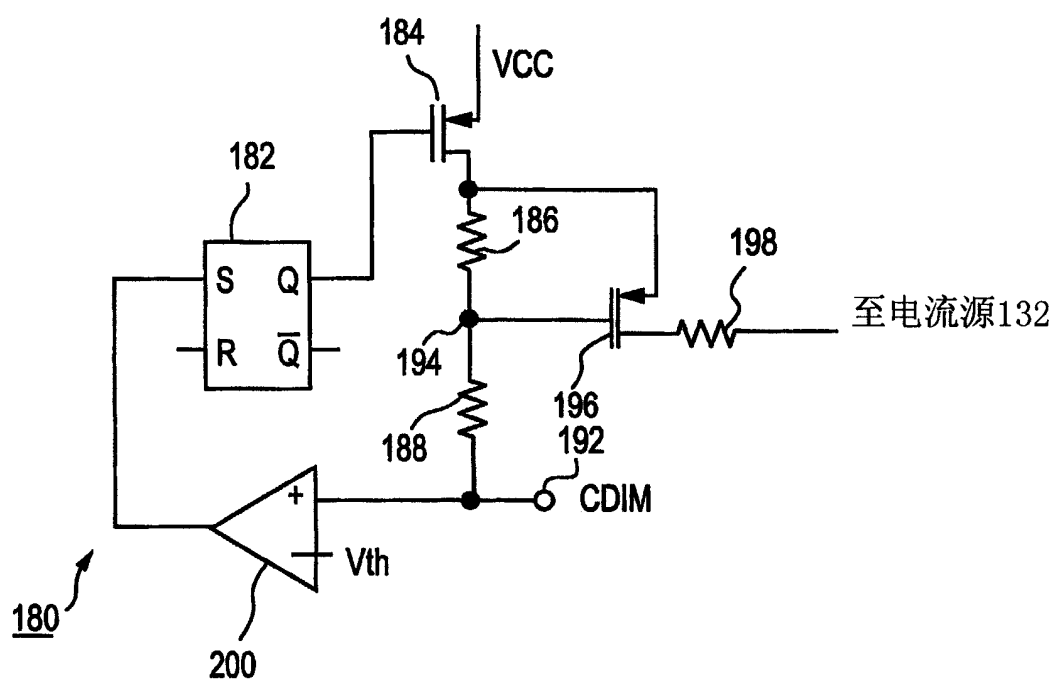


图 21

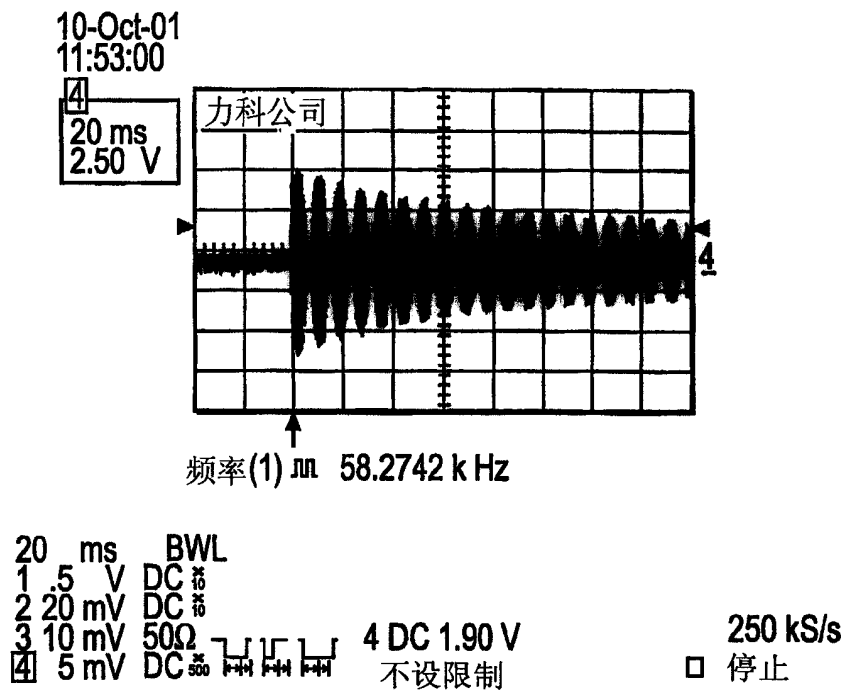


图 22

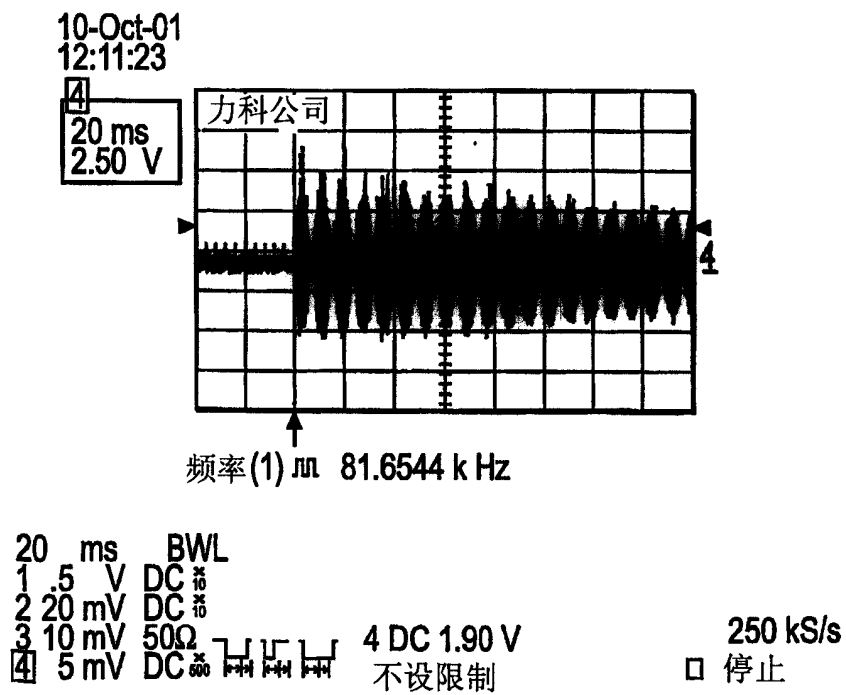


图 23

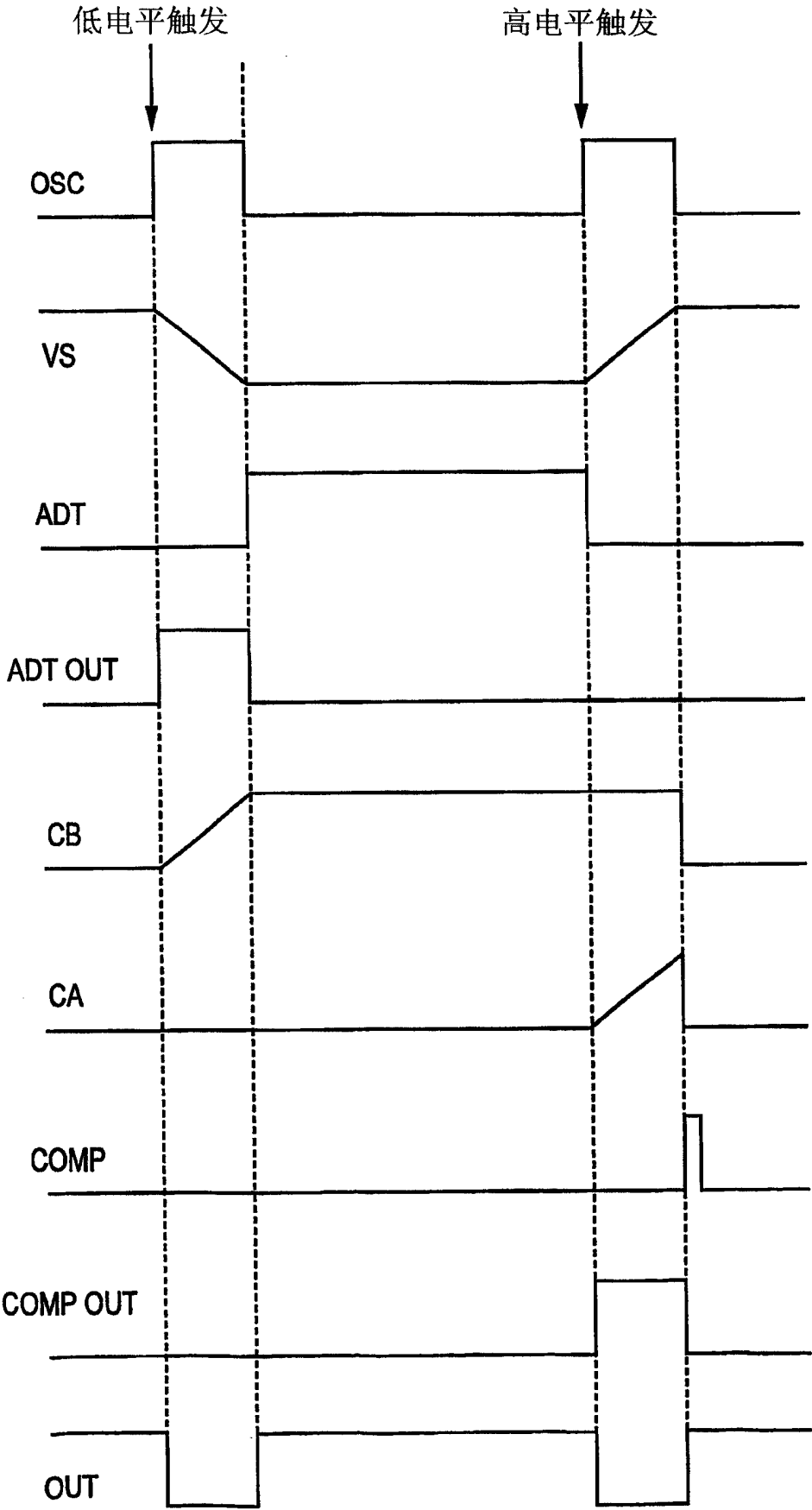


图 25

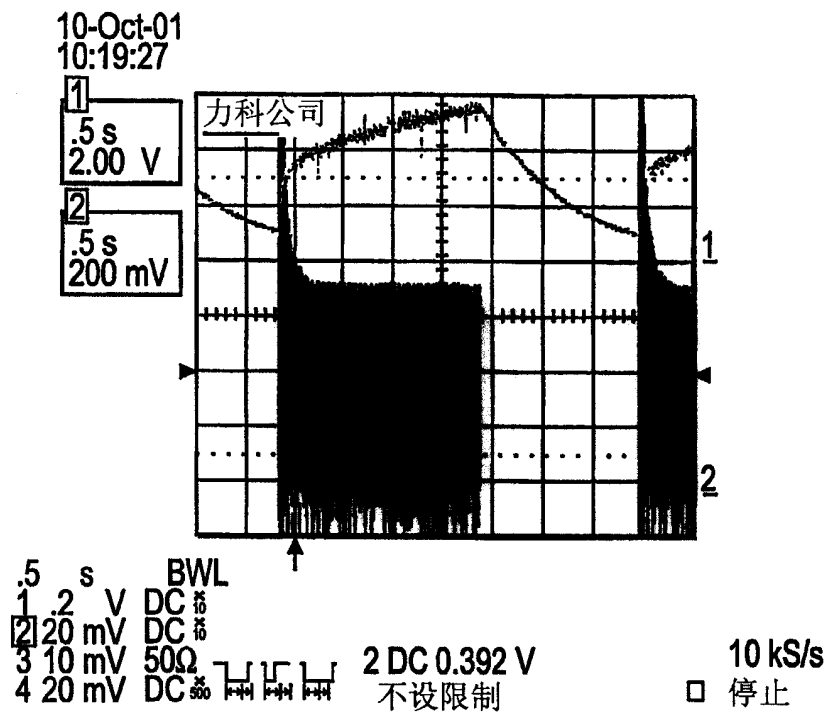


图 27

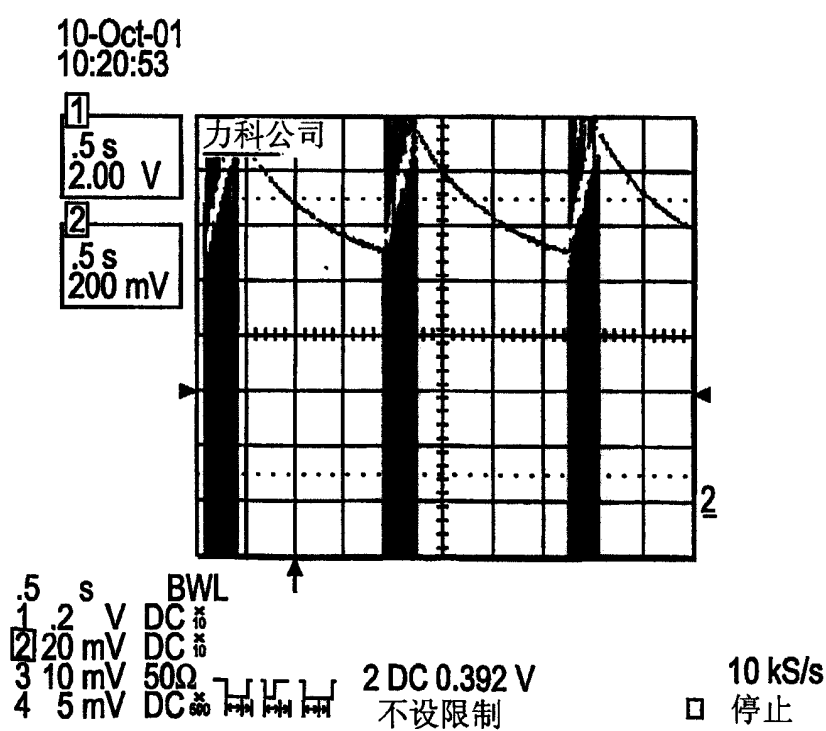


图 28

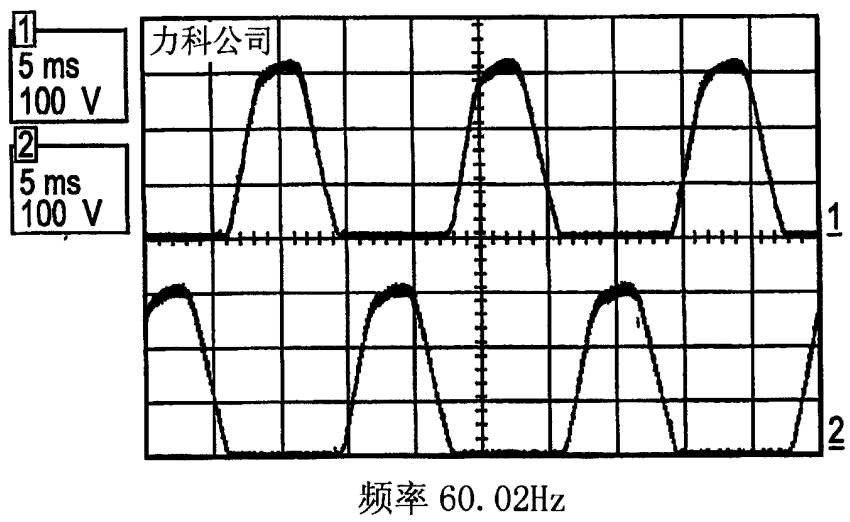


图 29

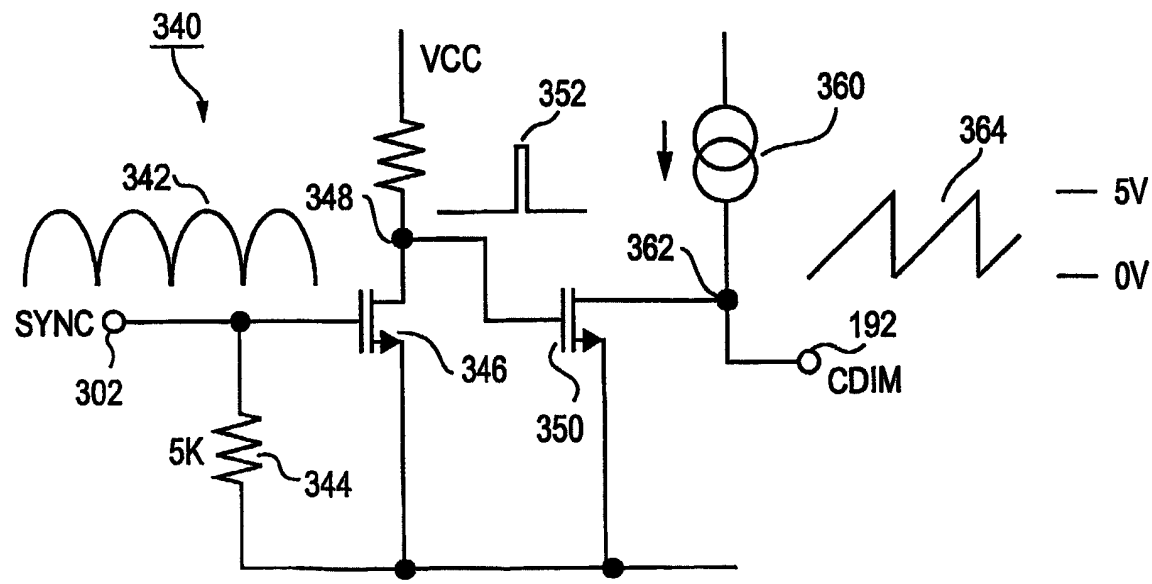


图 30

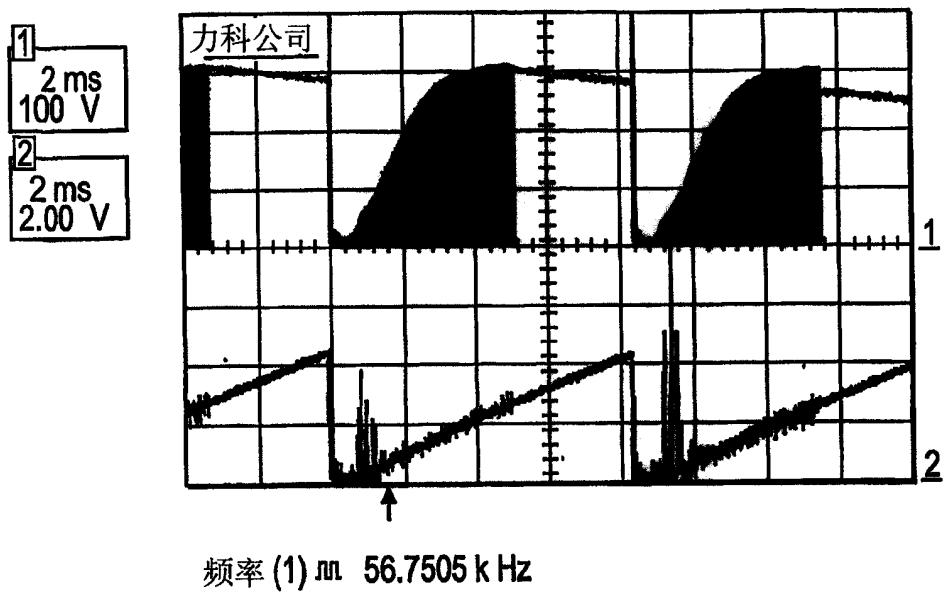


图 31