



(12) 发明专利申请

(10) 申请公布号 CN 116325103 A

(43) 申请公布日 2023. 06. 23

(21) 申请号 202280006753.6

(22) 申请日 2022.02.22

(30) 优先权数据

2021-068348 2021.04.14 JP

(85) PCT国际申请进入国家阶段日

2023.03.31

(86) PCT国际申请的申请数据

PCT/JP2022/007182 2022.02.22

(87) PCT国际申请的公布数据

W02022/219930 JA 2022.10.20

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 仲野逸人

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 权圣 周爽

(51) Int.Cl.

H01L 21/60 (2006.01)

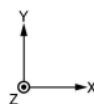
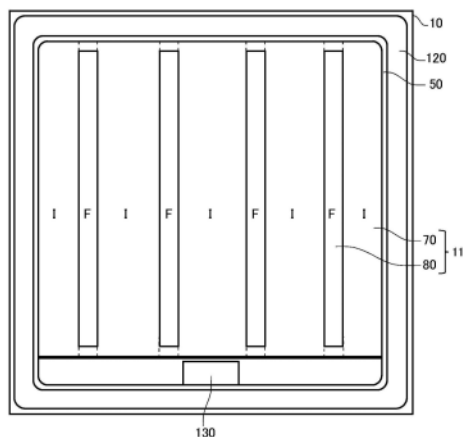
权利要求书1页 说明书11页 附图15页

(54) 发明名称

半导体装置以及半导体模块

(57) 摘要

本发明提供半导体装置,其具备:晶体管部,其设置于半导体基板;以及二极管部,其设置于所述半导体基板,在所述半导体基板的正面,所述晶体管部相对于所述二极管部的面积比大于3.1且小于4.7。本发明提供半导体模块,其具备:半导体装置,其具备设置于半导体基板的晶体管部和二极管部;外部连接端子,其与半导体装置电连接;以及连结部,其用于将半导体装置与外部连接端子电连接。连结部可以以预先设定的接合面与半导体装置的正面电极进行平面接触。晶体管部相对于二极管部的面积比可以大于2.8且小于4.7。



1. 一种半导体装置,其特征在于,具备:
晶体管部,其设置于半导体基板;以及
二极管部,其设置于所述半导体基板,
在所述半导体基板的正面,所述晶体管部的面积相对于所述二极管部的面积的面积比大于3.1且小于4.7。
2. 根据权利要求1所述的半导体装置,其特征在于,
所述面积比大于3.2且小于4.0。
3. 根据权利要求1或2所述的半导体装置,其特征在于,
所述面积比大于3.4且小于3.8。
4. 根据权利要求1至3中任一项所述的半导体装置,其特征在于,
所述面积比是3.6。
5. 根据权利要求1至4中任一项所述的半导体装置,其特征在于,
所述晶体管部和所述二极管部包括在预先设定的排列方向上排列的多个沟槽部,
所述晶体管部和所述二极管部在所述排列方向上交替地排列,
在所述排列方向上,由所述晶体管部夹着的所述二极管部的宽度是200 μm 以上。
6. 根据权利要求1至5中任一项所述的半导体装置,其特征在于,
在所述半导体基板的上方具备与所述晶体管部和所述二极管部电连接的正面电极。
7. 一种半导体模块,其特征在于,具备:
半导体装置,其具备设置于半导体基板的晶体管部和二极管部;
外部连接端子,其与所述半导体装置电连接;以及
连结部,其用于将所述半导体装置与所述外部连接端子电连接,
所述连结部以预先设定的接合面与所述半导体装置的正面电极进行平面接触,
所述晶体管部相对于所述二极管部的面积比大于2.8且小于4.7。
8. 根据权利要求7所述的半导体模块,其特征在于,
所述晶体管部相对于所述二极管部的面积比是在所述半导体基板的正面的、所述晶体管部相对于所述二极管部的面积比。
9. 根据权利要求7所述的半导体模块,其特征在于,
所述晶体管部相对于所述二极管部的面积比是所述晶体管部与所述连结部的接合面积相对于所述二极管部与所述连结部的接合面积的面积比。
10. 根据权利要求7至9中任一项所述的半导体模块,其特征在于,
所述面积比大于3.1且小于4.7。
11. 根据权利要求7至10中任一项所述的半导体模块,其特征在于,
所述面积比大于3.2且小于4.0。
12. 根据权利要求7至11中任一项所述的半导体模块,其特征在于,
所述面积比大于3.4且小于3.8。
13. 根据权利要求7至12中任一项所述的半导体模块,其特征在于,
所述面积比是3.6。
14. 根据权利要求7至13中任一项所述的半导体模块,其特征在于,
所述连结部是引线框架、带或夹子。

半导体装置以及半导体模块

技术领域

[0001] 本发明涉及半导体装置以及半导体模块。

背景技术

[0002] 以往,已知具备晶体管部和二极管部的半导体装置(例如,参照专利文献1和2)。

[0003] 专利文献1:国际公开第2018/225571号

[0004] 专利文献2:日本特开2008-053648号公报

发明内容

[0005] 技术方案

[0006] 在本发明的第一方式中,提供一种半导体装置,其具备:晶体管部,其设置于半导体基板;以及二极管部,其设置于半导体基板。在半导体基板的正面,晶体管部相对于二极管部的面积比可以大于3.1且小于4.7。

[0007] 面积比可以大于3.2且小于4.0。

[0008] 面积比可以大于3.4且小于3.8。

[0009] 面积比可以是3.6。

[0010] 晶体管部和二极管部可以包括在预先设定的排列方向上排列的多个沟槽部。晶体管部和二极管部可以在排列方向上交替地排列。在排列方向上,由晶体管部夹着的二极管部的宽度可以是200 μm 以上。

[0011] 半导体装置在半导体基板的上方可以具备与晶体管部和二极管部电连接的正面电极。

[0012] 在本发明的第二方式中,提供一种半导体模块,其具备:半导体装置,其具备设置于半导体基板的晶体管部和二极管部;外部连接端子,其与半导体装置电连接;以及连结部,其用于将半导体装置与外部连接端子电连接。连结部可以以预先设定的接合面与半导体装置的正面电极进行平面接触。晶体管部相对于二极管部的面积比可以大于2.8且小于4.7。

[0013] 晶体管部相对于二极管部的面积比可以是在半导体基板的正面的、晶体管部相对于二极管部的面积比。

[0014] 晶体管部相对于二极管部的面积比可以是晶体管部与连结部的接合面积相对于二极管部与连结部的接合面积的面积比。

[0015] 面积比可以大于3.1且小于4.7。

[0016] 面积比可以大于3.2且小于4.0。

[0017] 面积比可以大于3.4且小于3.8。

[0018] 面积比可以是3.6。

[0019] 连结部可以是引线框架、带或夹子。

[0020] 应予说明,上述的发明内容并未列举本发明的全部特征。此外,这些特征组的子组

合也能够成为发明。

附图说明

- [0021] 图1A表示实施例1的半导体装置100的俯视图的一例。
- [0022] 图1B表示半导体装置100的俯视图的一例。
- [0023] 图1C是表示图1B中的a-a'截面的一例的图。
- [0024] 图2A表示晶体管部70是工作区域Ro的情况下的电流分布的一例。
- [0025] 图2B表示半导体装置100的温度梯度的一例。
- [0026] 图2C表示冷却效果的模拟结果。
- [0027] 图2D表示芯片热阻的模拟结果。
- [0028] 图2E表示比较例的半导体装置的温度梯度的一例。
- [0029] 图3A表示二极管部80是工作区域Ro的情况下的电流分布的一例。
- [0030] 图3B表示半导体装置100的温度梯度的一例。
- [0031] 图3C表示冷却效果的模拟结果。
- [0032] 图3D表示芯片热阻的模拟结果。
- [0033] 图3E表示比较例的半导体装置的温度梯度的一例。
- [0034] 图4表示芯片热阻的面积比依赖性。
- [0035] 图5A表示半导体模块200的结构的一例。
- [0036] 图5B表示半导体装置100的上表面与接合面S之间的关系。
- [0037] 符号说明
- [0038] 10:半导体基板,12:发射区,14:基区,15:接触区,16:蓄积区,17:阱区,18:漂移区,20:缓冲区,21:正面,22:集电区,23:背面,24:集电极,25:连接部,30:虚设沟槽部,31:延伸部分,32:虚设绝缘膜,33:连接部分,34:虚设导电部,38:层间绝缘膜,40:栅极沟槽部,41:延伸部分,42:栅极绝缘膜,43:连接部分,44:栅极导电部,50:栅极金属层,52:发射极,54:接触孔,55:接触孔,56:接触孔,70:晶体管部,71:台面部,80:二极管部,81:台面部,82:阴极区,90:边界部,91:台面部,100:半导体装置,110:有源区,120:外周区域,130:栅极焊盘,150:层叠基板,151:金属板,152:绝缘板,153:电路部,160:焊料部,200:半导体模块,210:壳体,220:密封树脂,230:外部连接端子,240:连结部;242:接合部;244:焊料部,246:连结部,570:晶体管部,580:二极管部。

具体实施方式

[0039] 以下,通过发明的实施方式对本发明进行说明,但以下的实施方式并不限定权利要求书所涉及的发明。此外,实施方式中说明的特征的组合并不一定全部是发明的解决手段所必须的。

[0040] 在本说明书中,将半导体装置100的厚度方向上的一侧称为“上”,将另一侧称为“下”。将元件、基板、层、膜或其他部件的两个主面中的一个面称为上表面,将另一个面称为下表面。“上”、“下”的方向并不限于重力方向。在本例中,将上下方向称为Z轴方向,将在与Z轴方向垂直的面内正交的两个方向称为X轴方向和Y轴方向。XYZ轴构成右手系。俯视是指从Z轴正方向观察半导体装置100的情况。

[0041] 在各实施例中,表示了将第一导电型设为N型、将第二导电型设为P型的例子,但也可以将第一导电型设为P型、将第二导电型设为N型。在该情况下,各实施例中的基板、层、区域等的导电型分别成为相反的极性。在前缀有N或P的层和区域,分别表示电子或空穴是多数载流子。此外,标注于N和P的+和-分别表示与未标注该+和-的层或区域相比为更高的掺杂浓度和更低的掺杂浓度。

[0042] 图1A表示实施例1的半导体装置100的俯视图的一例。半导体装置100是具备晶体管部70和二极管部80的半导体芯片。

[0043] 晶体管部70包括IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)等晶体管。二极管部80包括续流二极管(FWD:Free Wheel Diode)等二极管。本例的半导体装置100是在同一芯片具有晶体管部70和二极管部80的反向导通IGBT(RC-IGBT:Reverse Conducting IGBT:反向导通绝缘栅双极型晶体管)。

[0044] 半导体基板10可以是硅基板,也可以是碳化硅基板,还可以是氮化镓等氮化物半导体基板等。本例的半导体基板10是硅基板。半导体基板10具有有源区110和外周区域120。

[0045] 晶体管部70是将设置于半导体基板10的下表面侧的集电区投影到半导体基板10的上表面而得到的区域。集电区具有第二导电型。作为一例,集电区为P+型。

[0046] 二极管部80是将设置于半导体基板10的下表面侧的阴极区投影到半导体基板10的上表面而得到的区域。阴极区具有第一导电型。作为一例,本例的阴极区为N+型。

[0047] 晶体管部70和二极管部80可以在XY平面内交替且周期性地排列。本例的晶体管部70和二极管部80具有多个晶体管部和二极管部。在晶体管部70与二极管部80之间的区域,在半导体基板10的上方可以设置有栅极金属层50。

[0048] 应予说明,本例的晶体管部70和二极管部80具有沿Y轴方向延伸的沟槽部。但是,晶体管部70和二极管部80也可以具有沿X轴方向延伸的沟槽部。

[0049] 有源区110具有晶体管部70和二极管部80。有源区110是在将半导体装置100控制为导通状态的情况下在半导体基板10的上表面与下表面之间流通主电流的区域。即,是从半导体基板10的上表面向下表面、或者从下表面上表面在半导体基板10的内部沿深度方向流通电流的区域。在本说明书中,将晶体管部70和二极管部80分别称为元件部或元件区。

[0050] 应予说明,在俯视时,被两个元件部夹着的区域也设为有源区110。在本例中,被元件部夹着且设置有栅极金属层50的区域也包含于有源区110。

[0051] 栅极金属层50由包含金属的材料形成。例如,栅极金属层50由铝、铝-硅合金或铝-硅-铜合金形成。栅极金属层50与晶体管部70的栅极导电部电连接,向晶体管部70供给栅极电压。栅极金属层50被设置为在俯视时包围有源区110的外周。栅极金属层50与设置于外周区域120的栅极焊盘130电连接。栅极金属层50可以沿着半导体基板10的外周端设置。此外,栅极金属层50在俯视时可以设置于晶体管部70与二极管部80之间。

[0052] 外周区域120在俯视时是有源区110与半导体基板10的外周端之间的区域。外周区域120在俯视时以包围有源区110的方式设置。在外周区域120可以配置有用于通过导线等将半导体装置100与外部的装置连接的一个以上的金属焊盘。应予说明,外周区域120可以具有边缘终端结构部。边缘终端结构部缓和半导体基板10的上表面侧的电场集中。例如,边缘终端结构部具有保护环、场板、降低表面电场部以及将它们组合而成的结构。

[0053] 栅极焊盘130经由栅极金属层50与晶体管部70的栅极导电部电连接。栅极焊盘130

被设定为栅极电位。本例的栅极焊盘130在俯视时为矩形。

[0054] 图1B表示半导体装置100的俯视图的一例。在本例中,示出了有源区110的端部的放大图。

[0055] 晶体管部70是将设置于半导体基板10的背面侧的集电区22投影到半导体基板10的上表面而得到的区域。集电区22具有第二导电型。作为一例,本例的集电区22为P+型。晶体管部70包括位于晶体管部70与二极管部80之间的边界的边界部90。

[0056] 二极管部80是将设置于半导体基板10的背面侧的阴极区82投影到半导体基板10的上表面而得到的区域。阴极区82具有第一导电型。作为一例,本例的阴极区82为N+型。

[0057] 本例的半导体装置100在半导体基板10的正面具备栅极沟槽部40、虚设沟槽部30、发射区12、基区14、接触区15以及阱区17。此外,本例的半导体装置100具备设置于半导体基板10的正面的上方的发射极52和栅极金属层50。

[0058] 发射极52设置于栅极沟槽部40、虚设沟槽部30、发射区12、基区14、接触区15以及阱区17的上方。此外,栅极金属层50设置于栅极沟槽部40和阱区17的上方。本例的发射极52被设定为晶体管部70的发射极电位。发射极52是设置于半导体基板10的上方且与晶体管部70和二极管部80电连接的正面电极的一例。

[0059] 发射极52和栅极金属层50由包含金属的材料形成。例如,发射极52的至少一部分区域可以由铝、铝-硅合金、或铝-硅-铜合金形成。发射极52可以在由铝等形成的区域的下层具有由钛、钛化合物等形成的阻挡金属。发射极52和栅极金属层50彼此分离地设置。

[0060] 发射极52和栅极金属层50隔着层间绝缘膜38设置在半导体基板10的上方。在图1B中省略了层间绝缘膜38。在层间绝缘膜38贯通地设置有接触孔54、接触孔55以及接触孔56。

[0061] 接触孔55将栅极金属层50与晶体管部70内的栅极导电部连接。在接触孔55的内部也可以形成有由钨等形成的插塞。

[0062] 接触孔56将发射极52与虚设沟槽部30内的虚设导电部连接。在接触孔56的内部也可以形成有由钨等形成的插塞。

[0063] 连接部25将发射极52或栅极金属层50等与半导体基板10电连接。在一例中,连接部25设置于栅极金属层50与栅极导电部之间。连接部25也设置于发射极52与虚设导电部之间。连接部25是掺杂有杂质的多晶硅等具有导电性的材料。在此,连接部25是掺杂有N型杂质的多晶硅(N+)。连接部25隔着氧化膜等绝缘膜等设置在半导体基板10的正面的上方。

[0064] 栅极沟槽部40沿着预定的排列方向(在本例中为X轴方向)以预定的间隔排列。本例的栅极沟槽部40可以具有两个延伸部分41和连接部分43,该两个延伸部分41沿着与半导体基板10的正面平行且与排列方向垂直的延伸方向(在本例中为Y轴方向)延伸,该连接部分43将两个延伸部分41连接。

[0065] 连接部分43优选至少一部分形成为曲线状。通过将栅极沟槽部40的两个延伸部分41的端部连接,能够缓和延伸部分41的端部处的电场集中。在栅极沟槽部40的连接部分43,栅极金属层50可以与栅极导电部连接。

[0066] 虚设沟槽部30是与发射极52电连接的沟槽部。虚设沟槽部30与栅极沟槽部40同样地沿着预定的排列方向(在本例中为X轴方向)以预定的间隔排列。本例的虚设沟槽部30也可以与栅极沟槽部40同样地在半导体基板10的正面具有U字形状。即,虚设沟槽部30可以具有沿着延伸方向延伸的两个延伸部分31和将两个延伸部分31连接的连接部分33。

[0067] 本例的晶体管部70具有使两个栅极沟槽部40和三个虚设沟槽部30重复排列的结构。即,本例的晶体管部70以2:3的比率具有栅极沟槽部40和虚设沟槽部30。例如,晶体管部70在两条延伸部分41之间具有一条延伸部分31。此外,晶体管部70与栅极沟槽部40相邻地具有两条延伸部分31。

[0068] 但是,栅极沟槽部40与虚设沟槽部30的比率不限于本例。栅极沟槽部40与虚设沟槽部30的比率可以为1:1,也可以为2:4。此外,也可以不在晶体管部70中设置虚设沟槽部30,而全部设为栅极沟槽部40。

[0069] 阱区17是设置于比后述的漂移区18更靠半导体基板10的正面侧的第二导电型的区域。阱区17是设置于半导体装置100的边缘侧的阱区的一例。作为一例,阱区17为P+型。阱区17从有源区的设置有栅极金属层50的一侧的端部起在预先设定的范围内形成。阱区17的扩散深度可以比栅极沟槽部40和虚设沟槽部30的深度深。栅极沟槽部40和虚设沟槽部30的栅极金属层50侧的一部分区域形成于阱区17。栅极沟槽部40和虚设沟槽部30的延伸方向的端的底部可以被阱区17覆盖。

[0070] 接触孔54在晶体管部70形成于发射区12和接触区15这些各区域的上方。此外,接触孔54在二极管部80设置于基区14的上方。接触孔54在边界部90设置于接触区15的上方。接触孔54在二极管部80设置于基区14的上方。在设置于Y轴方向两端的阱区17的上方未设置有任何接触孔54。如此,在层间绝缘膜形成有一个或多个接触孔54。一个或多个接触孔54可以以沿着延伸方向延伸的方式设置。

[0071] 边界部90是设置于晶体管部70且与二极管部80邻接的区域。边界部90具有接触区15。本例的边界部90不具有发射区12。在一例中,边界部90的沟槽部是虚设沟槽部30。本例的边界部90以X轴方向上的两端成为虚设沟槽部30的方式配置。

[0072] 台面部71、台面部91以及台面部81是在与半导体基板10的正面平行的面内与沟槽部邻接地设置的台面部。台面部可以是被相邻的两个沟槽部夹着的半导体基板10的部分,且是从半导体基板10的正面起到各沟槽部的最深的底部的深度为止的部分。可以将各沟槽部的延伸部分设为一个沟槽部。即,可以将被两个延伸部分夹着的区域作为台面部。

[0073] 台面部71在晶体管部70与虚设沟槽部30或栅极沟槽部40中的至少一个邻接地设置。台面部71在半导体基板10的正面具有阱区17、发射区12、基区14以及接触区15。在台面部71,发射区12和接触区15在延伸方向上交替地设置。

[0074] 台面部91设置于边界部90。台面部91在半导体基板10的正面具有接触区15和阱区17。

[0075] 台面部81在二极管部80设置于被相邻的虚设沟槽部30夹着的区域。台面部81在半导体基板10的正面具有基区14、接触区15以及阱区17。

[0076] 基区14是在晶体管部70和二极管部80中设置于半导体基板10的正面侧的第二导电型的区域。作为一例,基区14为P-型。基区14在半导体基板10的正面可以设置于台面部71和台面部91的Y轴方向上的两端部。应予说明,图1B仅表示该基区14的Y轴方向的一个端部。

[0077] 发射区12是掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。作为一例,本例的发射区12为N+型。发射区12的掺杂剂的一例是砷(As)。发射区12在台面部71的正面以与栅极沟槽部40相接的方式设置。发射区12可以以从夹着台面部71的两条沟槽部中的一条沟槽部沿X轴方向延伸到另一条沟槽部的方式设置。发射区12也设置在接触孔54的下方。

[0078] 此外,发射区12可以与虚设沟槽部30相接,也可以不相接。本例的发射区12与虚设沟槽部30相接。在边界部90的台面部91可以不设置发射区12。

[0079] 接触区15是掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。作为一例,本例的接触区15为P+型。本例的接触区15设置于台面部71和台面部91的正面。接触区15可以从夹着台面部71或台面部91的两条沟槽部中的一条沟槽部起沿X轴方向设置到另一条沟槽部。接触区15可以与栅极沟槽部40相接,也可以不相接。此外,接触区15可以与虚设沟槽部30相接,也可以不相接。在本例中,接触区15与虚设沟槽部30和栅极沟槽部40相接。接触区15也设置在接触孔54的下方。应予说明,接触区15也可以设置于台面部81。

[0080] 图1C是表示图1B中的a-a'截面的一例的图。a-a'截面是在晶体管部70中穿过发射区12的XZ面。本例的半导体装置100在a-a'截面中具有半导体基板10、层间绝缘膜38、发射极52以及集电极24。发射极52形成在半导体基板10和层间绝缘膜38的上方。

[0081] 漂移区18是设置于半导体基板10的第一导电型的区域。作为一例,本例的漂移区18为N-型。漂移区18可以是在半导体基板10中未形成其他掺杂区而残留的区域。即,漂移区18的掺杂浓度可以是半导体基板10的掺杂浓度。

[0082] 缓冲区20是设置于漂移区18的下方的第一导电型的区域。作为一例,本例的缓冲区20为N型。缓冲区20的掺杂浓度比漂移区18的掺杂浓度高。缓冲区20可以作为防止从基区14的下表面侧扩展的耗尽层到达第二导电型的集电区22和第一导电型的阴极区82的场截止层而发挥功能。

[0083] 集电区22在晶体管部70设置于缓冲区20的下方。阴极区82在二极管部80设置于缓冲区20的下方。集电区22与阴极区82之间的边界是晶体管部70与二极管部80之间的边界。

[0084] 集电极24形成于半导体基板10的背面23。集电极24由金属等导电材料形成。

[0085] 基区14是在台面部71、台面部91以及台面部81设置于基区14的上方的第二导电型的区域。基区14以与栅极沟槽部40相接的方式设置。基区14可以以与虚设沟槽部30相接的方式设置。

[0086] 发射区12在台面部71设置在基区14与正面21之间。发射区12与栅极沟槽部40相接地设置。发射区12可以与虚设沟槽部30相接,也可以不相接。应予说明,发射区12可以不设置于台面部91。

[0087] 接触区15在台面部91设置于基区14的上方。接触区15在台面部91以与栅极沟槽部40相接的方式设置。在其他截面,接触区15可以设置于台面部71的正面21。

[0088] 蓄积区16是设置于比漂移区18更靠半导体基板10的正面21侧的第一导电型的区域。作为一例,本例的蓄积区16为N+型。蓄积区16设置于晶体管部70和二极管部80。本例的蓄积区16也设置于边界部90。由此,半导体装置100能够避免蓄积区16的掩模偏移。

[0089] 此外,蓄积区16以与栅极沟槽部40相接的方式设置。蓄积区16可以与虚设沟槽部30相接,也可以不相接。蓄积区16的掺杂浓度比漂移区18的掺杂浓度高。通过设置蓄积区16,能够提高载流子注入促进效果(IE效果),并且降低晶体管部70的导通电压。

[0090] 一个以上的栅极沟槽部40和一个以上的虚设沟槽部30设置于正面21。各沟槽部从正面21设置到漂移区18。在设置有发射区12、基区14、接触区15以及蓄积区16中的至少任一个的区域中,各沟槽部也贯通这些区域而到达漂移区18。沟槽部贯通掺杂区并不限于以在形成掺杂区后形成沟槽部的顺序进行制造。在形成沟槽部之后在沟槽部之间形成掺杂区的

情况也包含于沟槽部贯通掺杂区的情况中。

[0091] 栅极沟槽部40具有形成于正面21的栅极沟槽、栅极绝缘膜42以及栅极导电部44。栅极绝缘膜42以覆盖栅极沟槽的内壁的方式形成。栅极绝缘膜42可以通过将栅极沟槽的内壁的半导体氧化或氮化而形成。栅极导电部44在栅极沟槽的内部形成于比栅极绝缘膜42更靠内侧的位置。栅极绝缘膜42将栅极导电部44与半导体基板10绝缘。栅极导电部44由多晶硅等导电材料形成。栅极沟槽部40在正面21被层间绝缘膜38覆盖。

[0092] 栅极导电部44包括在半导体基板10的深度方向上隔着栅极绝缘膜42与在台面部71侧相邻的基区14对置的区域。如果对栅极导电部44施加预定的电压,则在基区14中的与栅极沟槽相接的界面的表层形成有由电子的反型层形成的沟道。

[0093] 虚设沟槽部30可以具有与栅极沟槽部40相同的结构。虚设沟槽部30具有形成于正面21侧的虚设沟槽、虚设绝缘膜32以及虚设导电部34。虚设绝缘膜32以覆盖虚设沟槽的内壁的方式形成。虚设导电部34形成于虚设沟槽的内部,并且形成于比虚设绝缘膜32更靠内侧的位置。虚设绝缘膜32将虚设导电部34与半导体基板10绝缘。虚设沟槽部30在正面21被层间绝缘膜38覆盖。

[0094] 层间绝缘膜38设置于正面21。在层间绝缘膜38的上方设置有发射极52。在层间绝缘膜38设置有用于将发射极52与半导体基板10电连接的一个或多个接触孔54。接触孔55和接触孔56也同样地可以以贯通层间绝缘膜38的方式设置。

[0095] 图2A表示晶体管部70是工作区域 R_o 的情况下的电流分布的一例。阴影表示工作区域 R_o 。在本例中,晶体管部70作为工作区域 R_o 而发挥功能,二极管部80成为非工作区域 R_n 。在工作区域 R_o 中流通电流,但在非工作区域 R_n 中不流通电流。晶体管部70与二极管部80之间的边界附近的区域作为在晶体管部70中流通的电流的一部分向二极管部80侧扩散而成的过渡区域 R_t 发挥功能。

[0096] 图2B表示晶体管部70是工作区域 R_o 的情况下的半导体装置100的温度梯度的一例。本例的晶体管部70和二极管部80的宽度分别为 $600\mu\text{m}$ 和 $400\mu\text{m}$ 。作为工作区域 R_o 的晶体管部70被作为非工作区域 R_n 的二极管部80冷却。在工作区域 R_o 和非工作区域 R_n ,器件温度大致恒定。本例的过渡区域 R_t 的排列方向上的宽度约为 $200\mu\text{m}$ 。

[0097] 过渡区域 R_t 是指在晶体管部70与二极管部80之间的边界附近,温度分布从高温 T_2 过渡到低温 T_1 的区域。例如,在晶体管部70是工作区域 R_o 的情况下,晶体管部70成为高温 T_2 ,二极管部80成为低温 T_1 。在过渡区域 R_t ,温度从晶体管部70朝向二极管部80逐渐减小。温度 T_2 与温度 T_1 的差值表示二极管部80的冷却效果。

[0098] 图2C表示晶体管部70是工作区域 R_o 的情况下的冷却效果的模拟结果。在本例中,表示冷却效果相对于晶体管部70和二极管部80的宽度的依赖性。纵轴表示冷却效果[%],横轴表示二极管部80的宽度 $[\mu\text{m}]$ 。圆形、四边形以及三角形的标记分别表示 $600\mu\text{m}$ 、 $400\mu\text{m}$ 、 $200\mu\text{m}$ 的晶体管部70的宽度。

[0099] 在此,关于冷却效果,有源面积的增加与电流和电压之积成比例,而不依赖于晶体管部70的宽度。另一方面,随着二极管部80的宽度变大,冷却效果提高。在二极管部80的宽度更小的区域,二极管部80的冷却效果的提高较为显著,具有随着二极管部80的宽度的增加而逐渐饱和的倾向。这样,如果确定了非工作区域 R_n 的长度,则冷却效果确定,能够如后述那样地应用于芯片热阻的推定。

[0100] 图2D表示晶体管部70是工作区域Ro的情况下的芯片热阻的模拟结果。在本例中,表示芯片热阻相对于工作区域Ro和非工作区域Rn的依赖性。纵轴表示芯片热阻[a.u.],横轴表示二极管部80的宽度[μm]。圆形、四边形以及三角形的标记分别表示600 μm 、400 μm 、200 μm 的晶体管部70的宽度。X表示晶体管部70的宽度是600 μm 的情况下的实验结果。根据本图可知,随着二极管部80的宽度变大,芯片热阻降低。此外,晶体管部70的宽度越小,则芯片热阻越小。在本例中,可知在将搭载于相同封装结构的IGBT替换为RC-IGBT的情况下,将IGBT与FWD的比率设为1比1,则最大能够得到约60%的芯片热阻的降低效果。

[0101] 如上所述,在晶体管部70是工作区域Ro的情况下,芯片热阻由取决于二极管部80的宽度的冷却效果决定,能够基于二极管部80的宽度来推定晶体管部70的通电时的芯片热阻。

[0102] 图2E表示比较例的半导体装置的温度梯度的一例。比较例的半导体装置具备晶体管部570和二极管部580。在本例中,晶体管部570的宽度为600 μm ,而二极管部580的宽度为20 μm 。因此,半导体装置的温度未充分达到最小温度,冷却效果局限于过渡区域Rt,而未充分地得到冷却效果。

[0103] 图3A表示二极管部80是工作区域Ro的情况下的电流分布的一例。阴影表示工作区域Ro。在本例中,二极管部80作为工作区域Ro而发挥功能,晶体管部70成为非工作区域Rn。晶体管部70与二极管部80之间的边界附近的区域作为在二极管部80中流通的电流的一部分向晶体管部70侧扩散而成的过渡区域Rt发挥功能。

[0104] 图3B表示二极管部80是工作区域Ro的情况下的半导体装置100的温度梯度的一例。本例的晶体管部70和二极管部80的宽度分别为600 μm 和400 μm 。作为工作区域Ro的二极管部80被作为非工作区域Rn的晶体管部70冷却。本例的过渡区域Rt的排列方向上的宽度约为200 μm 。

[0105] 与图2B相比,工作区域Ro从晶体管部70替换为二极管部80,因此成为温度分布颠倒的形状。例如,在二极管部80是工作区域Ro的情况下,二极管部80成为高温T4,晶体管部70成为低温T3。在过渡区域Rt,温度从二极管部80朝向晶体管部70逐渐减小。在工作区域Ro和非工作区域Rn,器件温度大致恒定。温度T4与温度T3的差值表示晶体管部70的冷却效果。

[0106] 图3C表示二极管部80是工作区域Ro的情况下的冷却效果的模拟结果。在本例中,表示冷却效果相对于晶体管部70和二极管部80的宽度的依赖性。纵轴表示冷却效果[%],横轴表示二极管部80的宽度[μm]。圆形、四边形以及三角形的标记分别表示600 μm 、400 μm 、200 μm 的晶体管部70的宽度。与图2C的情况同样地,冷却效果不依赖于晶体管部70的宽度,而依赖于二极管部80的宽度。由此,如果确定了二极管部80的宽度,则冷却效果确定,能够如后述那样地应用于芯片热阻的推定。

[0107] 图3D表示二极管部80是工作区域Ro的情况下的芯片热阻的模拟结果。在本例中,表示芯片热阻相对于晶体管部70和二极管部80的宽度的依赖性。纵轴表示芯片热阻[a.u.],横轴表示二极管部80的宽度[μm]。圆形、四边形以及三角形的标记分别表示600 μm 、400 μm 、200 μm 的晶体管部70的宽度。X表示晶体管部70的宽度为600 μm 的情况下的实验结果。根据本图可知,在晶体管部70的宽度与二极管部80的宽度相同的情况下,芯片热阻的降低效果大。此外,晶体管部70的宽度越小,芯片热阻越小。在本例中,可知在将搭载于相同封装结构的FWD替换为RC-IGBT的情况下,IGBT与FWD的比率设为1比1,则最大能够得到约60%的

芯片热阻降低效果。

[0108] 如上所述,在二极管部80是工作区域 R_o 的情况下,芯片热阻由取决于二极管部80的宽度的冷却效果来决定,能够基于二极管部80的宽度来推定晶体管部70通电时的芯片热阻。

[0109] 图3E表示比较例的半导体装置的温度梯度的一例。比较例的半导体装置具备晶体管部570和二极管部580。在本例中,晶体管部570的宽度为 $600\mu\text{m}$,而二极管部580的宽度为 $20\mu\text{m}$ 。在本例中,虽然非工作区域 R_n 足够大,能够得到更大的冷却效果,但工作区域 R_o 变小。与图2E相比,工作区域 R_o 从晶体管部70替换为二极管部80,因此成为温度分布颠倒的形状。

[0110] 图4表示芯片热阻的面积比依赖性。纵轴表示芯片热阻[a.u.],横轴表示晶体管部70相对于二极管部80的面积比[a.u.]。圆形、四边形以及三角形的标记分别表示 $600\mu\text{m}$ 、 $400\mu\text{m}$ 、 $200\mu\text{m}$ 的晶体管部70的宽度。

[0111] 曲线C1表示晶体管部70是工作区域 R_o 的情况下的模拟结果。曲线C1具有随着面积比的增加,工作区域 R_o 的比率变大且芯片电阻增加的倾向。曲线C2表示晶体管部70是工作区域 R_o 的情况下的模拟结果。曲线C2具有随着面积比的增加,非工作区域 R_n 的比率变大且芯片电阻降低的倾向。这样,曲线C1和曲线C2相对于面积比呈现相反的倾向。

[0112] 交叉点 P_x 是曲线C1和曲线C2交叉的点。交叉点 P_x 是晶体管部70相对于二极管部80的面积比为3.6的点,示出了在晶体管部70和二极管部80工作的情况下,半导体装置100的冷却效果成为最大。

[0113] 在面积比小于交叉点 P_x 的情况下,存在两者的芯片热阻大幅背离的倾向。另一方面,在面积比大于交叉点 P_x 的情况下,虽然两者的芯片热阻偏离,但处于饱和倾向。这样,图2B和图3B所示的冷却效果与非工作区域 R_n 的面积相对应,若非工作区域 R_n 变小,则冷却面积显著变小,另一方面,若非工作区域 R_n 变长,则冷却面积的增加处于饱和的倾向。这样,根据非工作区域 R_n 的冷却效果,能够预测芯片热阻的面积比依赖性。

[0114] 在此,在半导体基板10的正面21,可以考虑芯片热阻的关系等而适当设定晶体管部70相对于二极管部80的面积比。例如,在半导体基板10的正面21,晶体管部70相对于二极管部80的面积比可以大于2.8且小于4.7。面积比可以大于3.1且小于4.7。此外,面积比可以设为交叉点 P_x 的 $\pm 10\%$ 以内,可以大于3.2且小于4.0。另外,面积比可以设为交叉点 P_x 的 $\pm 5\%$ 以内,可以大于3.4且小于3.8。面积比可以是作为交叉点 P_x 的3.6。

[0115] 应予说明,在半导体基板10的正面21,晶体管部70相对于二极管部80的面积比对应于晶体管部70和二极管部80的排列方向上的周期。即,半导体基板10的正面21中的晶体管部70相对于二极管部80的面积比可以是晶体管部70的宽度相对于二极管部80的宽度的单元间距比。换言之,单元间距比可以大于2.8且小于4.7,也可以大于3.1且小于4.7,也可以大于3.2且小于4.0,也可以大于3.4且小于3.8,也可以是3.6。

[0116] 在一例中,晶体管部70的排列方向上的宽度为 $100\mu\text{m}$ 以上且 $800\mu\text{m}$ 以下。晶体管部70的排列方向上的宽度可以是 $200\mu\text{m}$,也可以是 $400\mu\text{m}$,还可以是 $600\mu\text{m}$ 。

[0117] 此外,二极管部80的排列方向上的宽度可以为 $10\mu\text{m}$ 以上且 $700\mu\text{m}$ 以下。二极管部80的排列方向上的宽度可以是 $20\mu\text{m}$,可以是 $40\mu\text{m}$,可以是 $80\mu\text{m}$,可以是 $100\mu\text{m}$,可以是 $120\mu\text{m}$,可以是 $200\mu\text{m}$,可以是 $400\mu\text{m}$,也可以是 $600\mu\text{m}$ 。例如,由晶体管部70夹着的二极管部80的宽度是 $200\mu\text{m}$ 以上。二极管部80的宽度可以比晶体管部70的宽度小。

[0118] 在此,就RC-IGBT而言,与在结构上将IGBT和FWD分别设置在不同的芯片的情况相比,每个单片的芯片尺寸较大,因此芯片热阻(R_{th})变低,能够提高芯片散热性,实现反相器的小型化、轻量化以及高可靠性化。

[0119] 然而,在RC-IGBT中,有源区110被分为工作区域 R_o 和非工作区域 R_n ,因此难以预测芯片热阻。并且,RC-IGBT在IGBT通电时和FWD通电时芯片热阻不同,因此难以预测芯片热阻。如果使用本例的方法,则能够根据非工作区域 R_n 的冷却效果来预测芯片热阻。

[0120] 图5A表示半导体模块200的结构的一例。本例的半导体模块200具备半导体装置100、壳体210、密封树脂220、外部连接端子230、连结部240。

[0121] 壳体210容纳半导体装置100。本例的壳体210的形状为长方体,但并不限于此。壳体210的侧壁和底部可以由不同的部件构成。例如,壳体210的材料是树脂等绝缘材料。树脂可以选自聚苯硫醚(PPS)、聚对苯二甲酸丁二醇酯(PBT)、聚丙烯酸丁酯(PBA)、聚酰胺(PA)、丙烯腈丁二烯苯乙烯(ABS)、液晶聚合物(LCP)、聚醚醚酮(PEEK)、聚丁二酸丁二醇酯(PBS)、聚氨酯和硅等。

[0122] 密封树脂220将壳体210的内部密封。密封树脂220覆盖整个半导体装置100和层叠基板150。例如,密封树脂220的材料是环氧树脂。

[0123] 层叠基板150设置于壳体210的底部的上表面。层叠基板150具备金属板151、绝缘板152以及电路部153。例如,层叠基板150可以是DCB(Direct Copper Bonding:直接铜键合)基板或AMB(Active Metal Brazing:活性金属钎焊)基板。

[0124] 绝缘板152由氧化铝(Al_2O_3)、氮化铝(AlN)、氮化硅(Si_3N_4)等陶瓷等绝缘材料形成。金属板151可以设置于绝缘板152的下表面,并且经由焊料部160固定于壳体210的底部。可以在壳体210的底部设置散热器等冷却部件。

[0125] 电路部153是设置于绝缘板152的上表面的导电性的部件。电路部153可以包括金属布线或焊盘等。金属板151和电路部153可以由包含铜和铜合金等金属材料的板形成。金属板151和电路部153也可以通过焊料和钎料等固定于绝缘板152的表面。电路部153通过焊料部244与半导体装置100电连接。此外,电路部153通过连结部246与外部连接端子230电连接。

[0126] 焊料部244将半导体装置100固定于电路部153。焊料部244将半导体装置100和电路部153电连接和机械连接。焊料部244将电路部153所包含的焊盘与半导体装置100的集电极24连接。例如,焊料部244的材料是Sn-Cu基或Sn-Sb基焊料。

[0127] 为了将半导体装置100与外部的控制装置等电连接,外部连接端子230被设置为露出到壳体210的外部。外部连接端子230贯通壳体210,并且延伸到壳体210的内部地设置。

[0128] 连结部240将半导体装置100与外部连接端子230电连接。本例的连结部240经由焊料等接合部242与半导体装置100的发射极52连接,但也可以直接与发射极52连结。连结部240可以通过冲压加工等将金属板成型而成的导电性的连接部件。该金属板可以是铜或铜合金的板。连结部240可以在表面具有镍等镀膜。连结部240的截面(Z-X截面)可以具有矩形的部分。例如,连结部240的材料是铜、铜合金、铝或者铝合金等。在一例中,连结部240的厚度是0.5mm以上且1.0mm以下。连接部240可以是引线框架、带或夹子。

[0129] 本例的连结部240使用接合部242与发射极52焊料接合。由此,连结部240固定在半导体装置100上,并且与半导体装置100电连接。例如,接合部242是Sn-Cu基或Sn-Sb基焊料。

应予说明,连结部240也可以通过烧结而与发射极52连结。

[0130] 接合面S是接合部242与作为半导体装置100的正面电极的发射极52接合的面。在省略接合部242的情况下,接合面S可以是发射极52与连结部240接合的面。

[0131] 本例的连结部240与半导体装置100的正面电极进行平面接触。平面接触是指以能够实现晶体管部70和二极管部80的冷却效果的程度在半导体装置100的正面电极上形成有接合面S。例如,如引线接合那样仅在半导体装置100的正面电极的极一部分形成接合面S并仅形成有无法得到冷却效果的程度的大小的接合面S的情况不属于平面接触。本例的半导体模块200通过具有以预先设定的的大小的比率将晶体管部70与二极管部80接合的接合面S,从而能够得到冷却效果。

[0132] 图5B表示半导体装置100的上表面与接合面S之间的关系。本例的接合面S设置于有源区110的一部分区域。接合面S也可以设置于有源区110的整个面。在其他实施例中,对正面21中的晶体管部70与二极管部80的面积比进行了说明,但该面积比也可以理解为晶体管部70与连结部240的接合面积相对于二极管部80与连结部240的接合面积的面积比。

[0133] 即,晶体管部70与连接部240的接合面积相对于二极管部80与连接部240的接合面积的面积比可以大于2.8且小于4.7。此外,接合面S的接合面积的面积比可以大于3.1且小于4.7。此外,接合面S的接合面积的面积比可以大于3.2且小于4.0。接合面S的接合面积的面积比可以大于3.4且小于3.8。接合面S的接合面积的面积比可以是3.6。

[0134] 应予说明,晶体管部70与连接部240的接合面积可以是二极管部80与连接部240的接合面积的80%以上且120%以下。即,晶体管部70与二极管部80的表面电阻之差可以为±20%以内。

[0135] 以上,利用实施方式对本发明进行了说明,但本发明的技术范围并不限于所述实施方式所记载的范围。能够对所述实施方式施加各种变更或改良,这对于本领域技术人员而言是显而易见的。根据权利要求书的记载可知,加入了这样的变更或改良的方式也能够包含在本发明的技术范围内。

[0136] 应注意的是,权利要求书、说明书以及附图中示出的装置、系统、程序以及方法中的动作、过程、步骤以及阶段等各处理的执行顺序,只要没有特别明示“在……之前”、“先于……”等,此外,没有在后面的处理中使用前面的处理的结果,就可以以任意的顺序实现。关于权利要求书、说明书以及附图中的动作流程,即使为了方便而使用“首先, ”、“接下来, ”等进行了说明,也并不意味着必须按照该顺序实施。

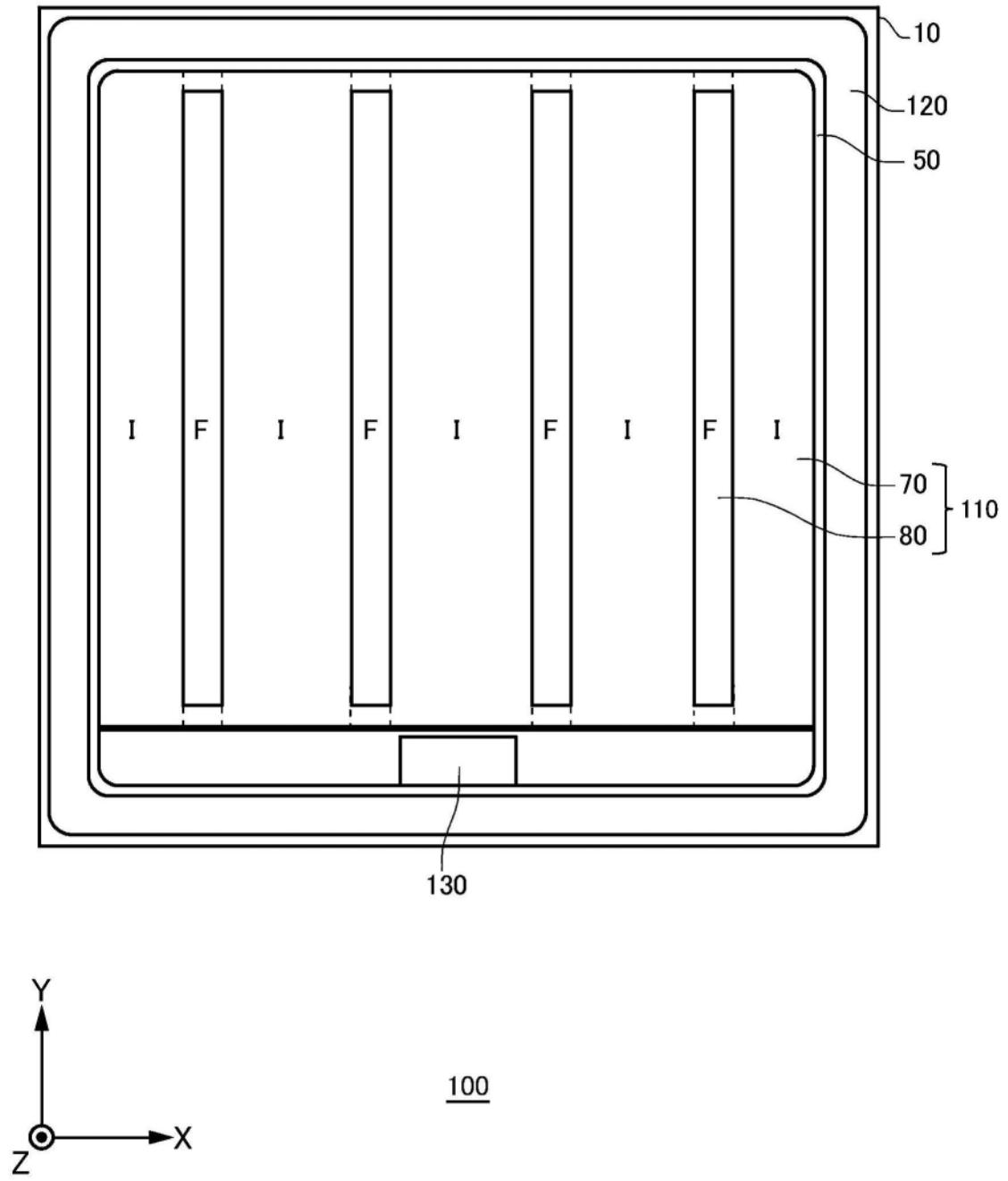


图1A

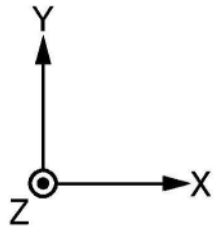
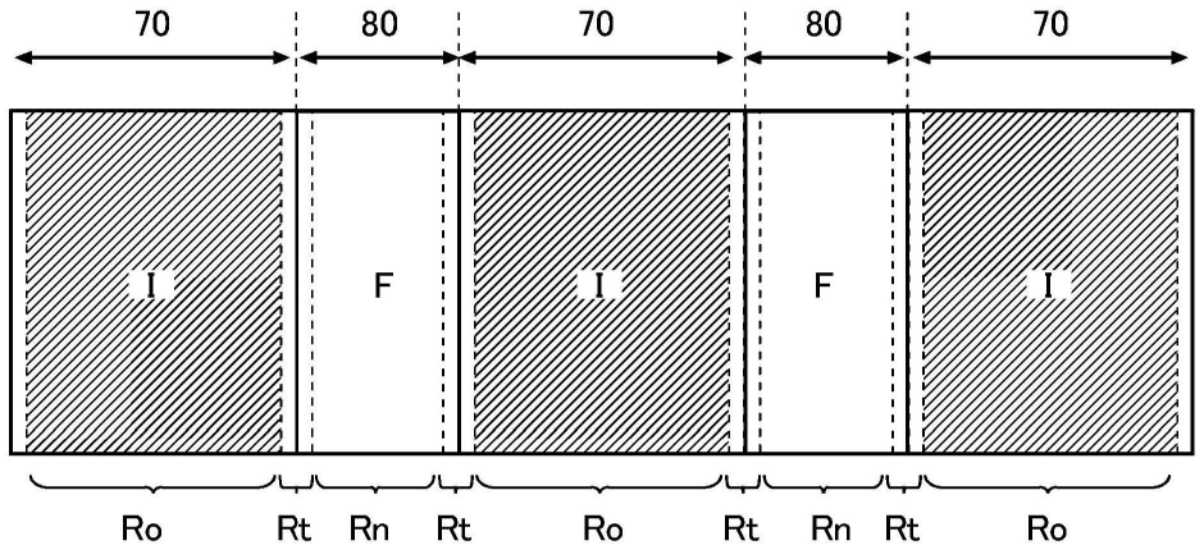


图2A

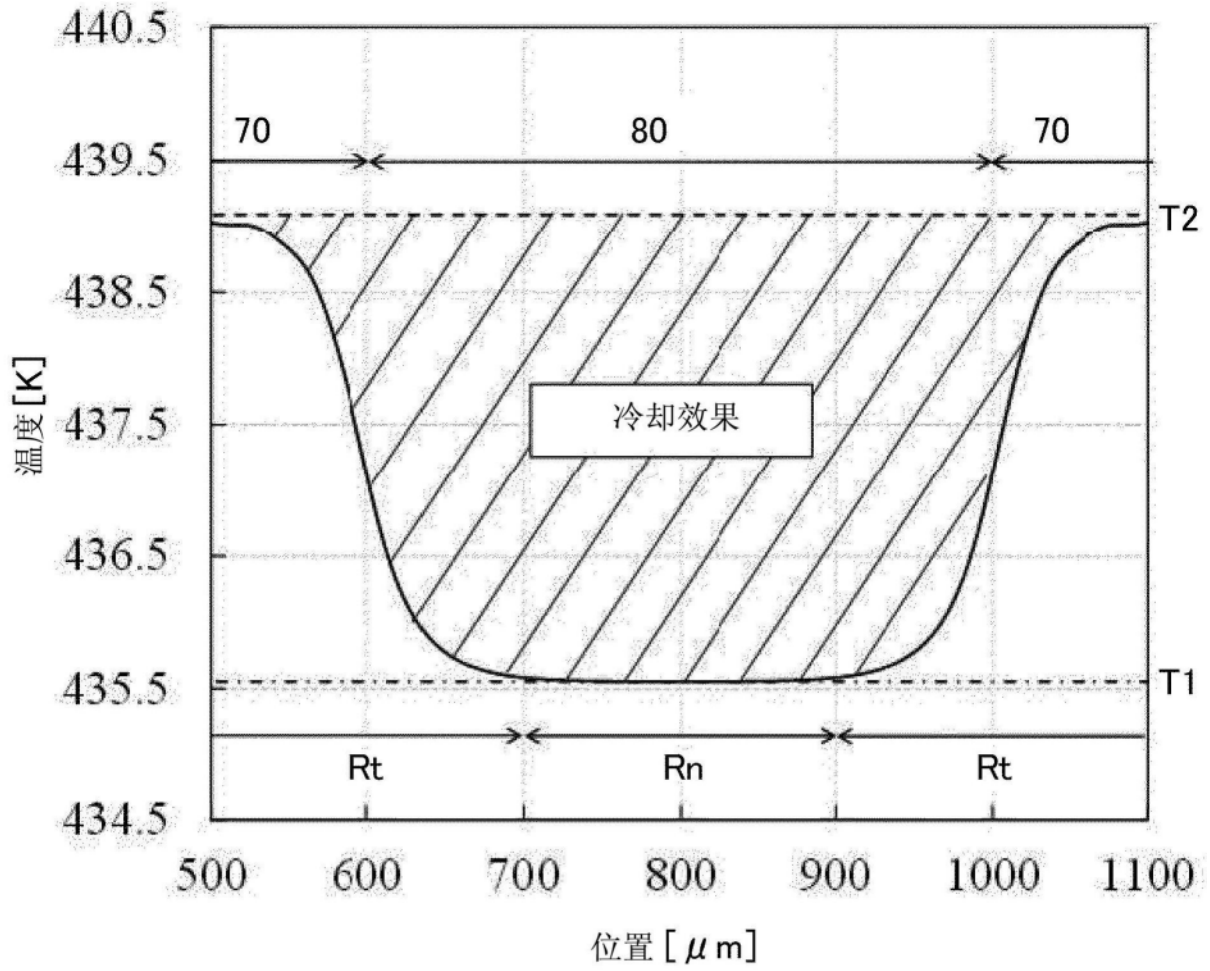


图2B

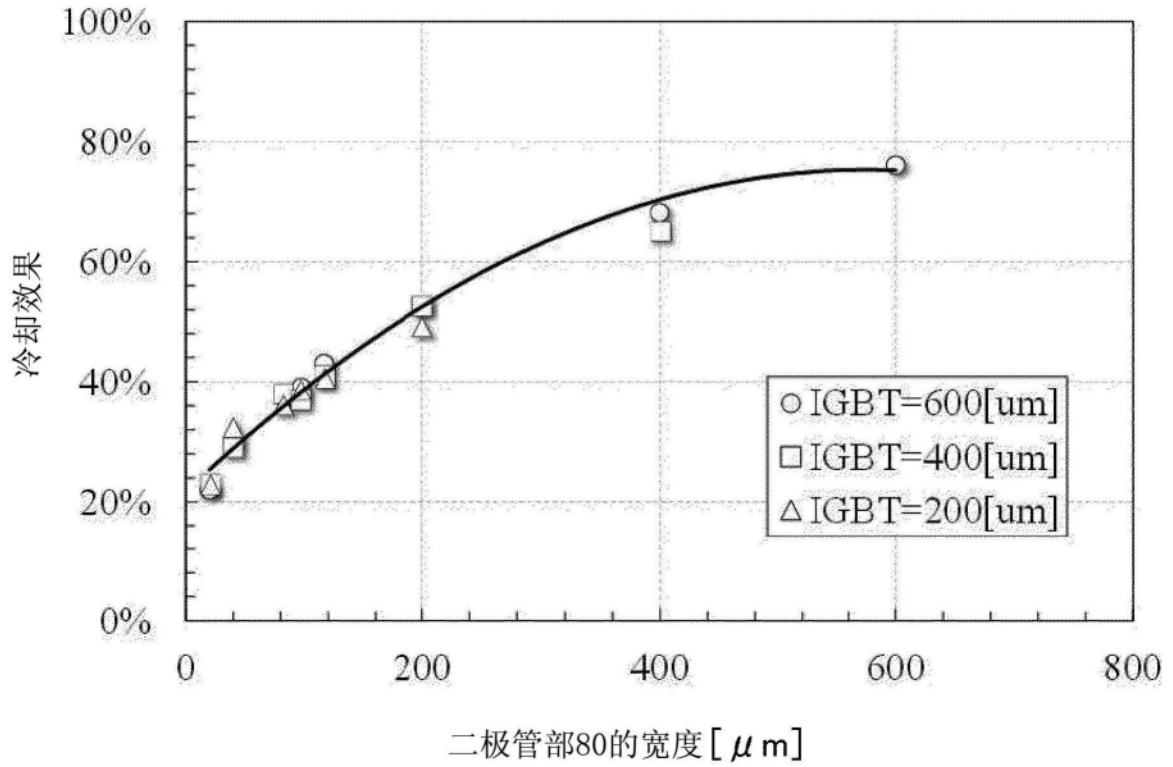


图2C

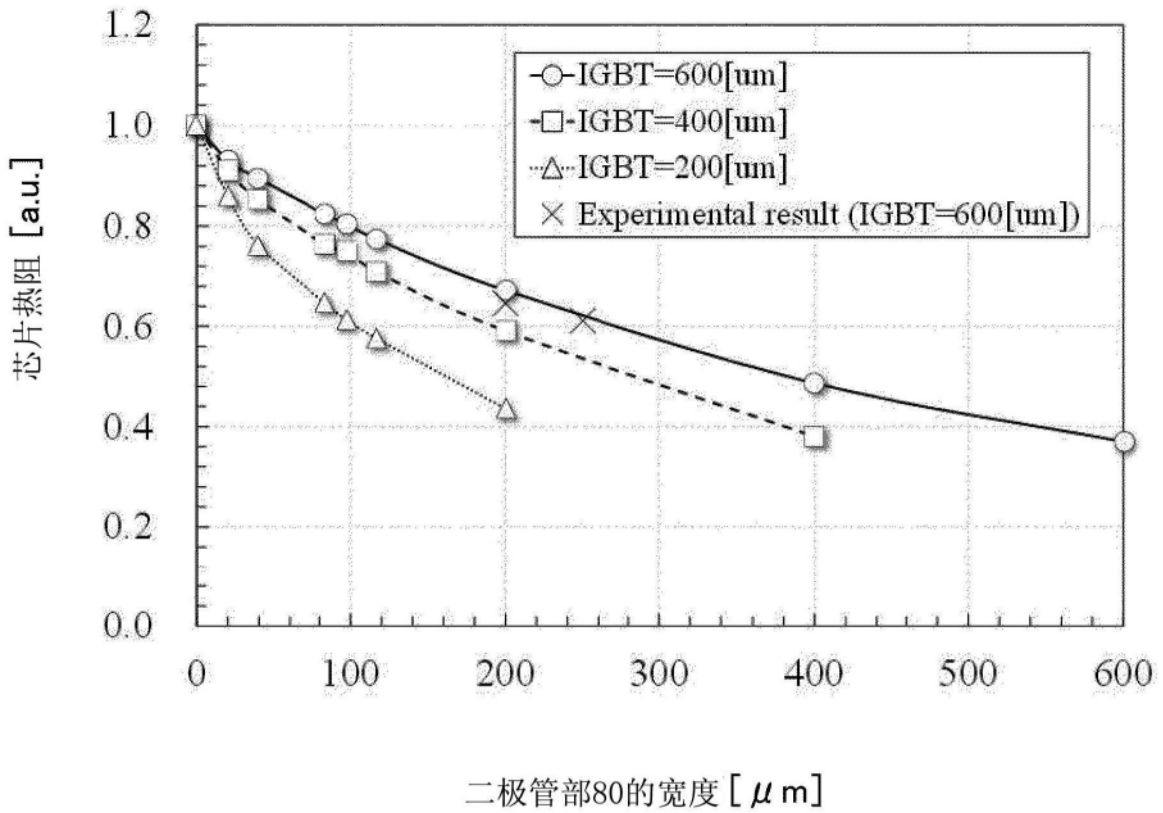


图2D

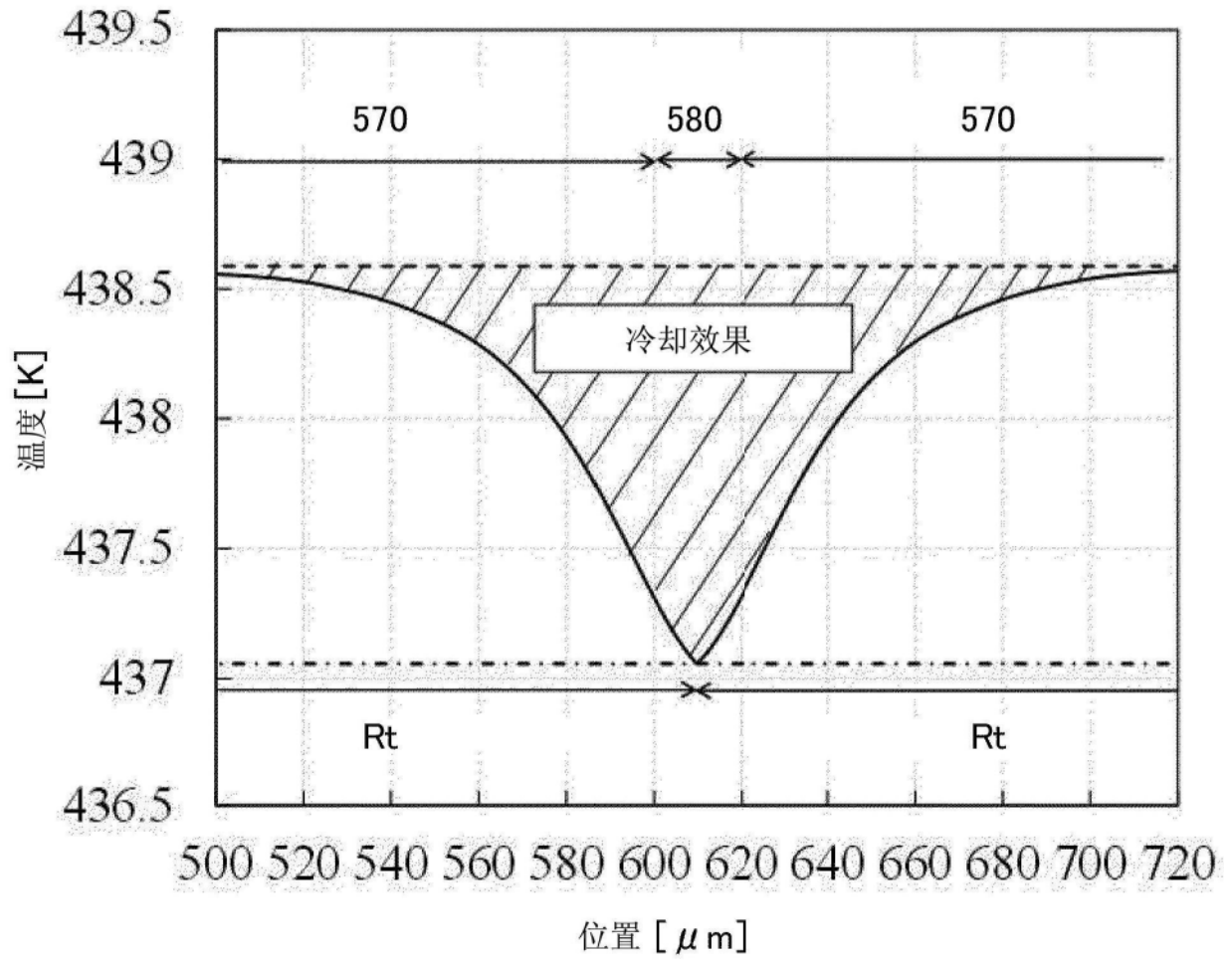


图2E

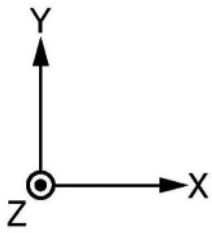
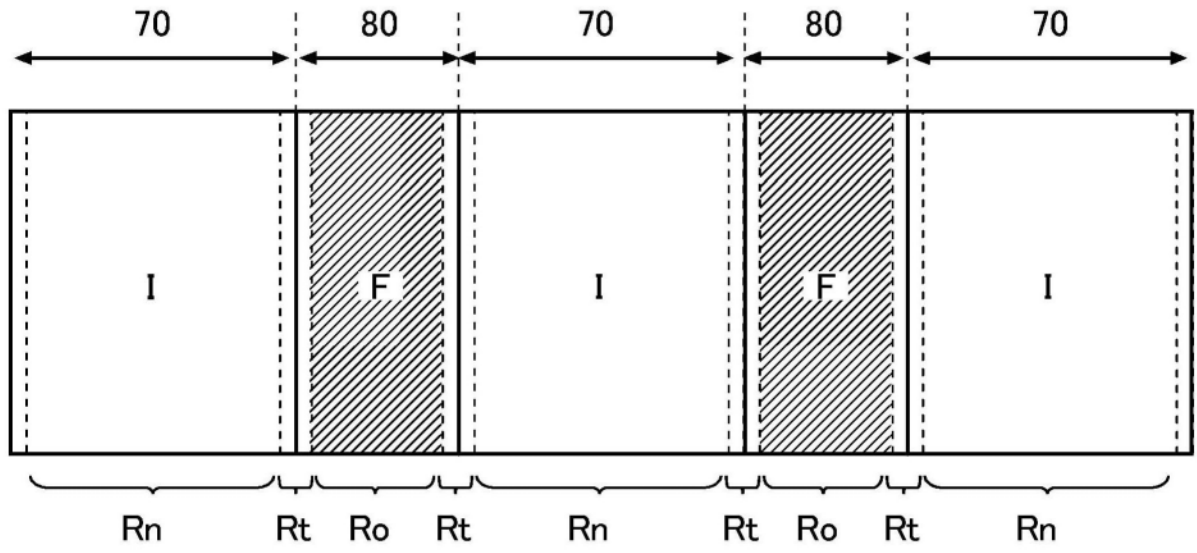


图3A

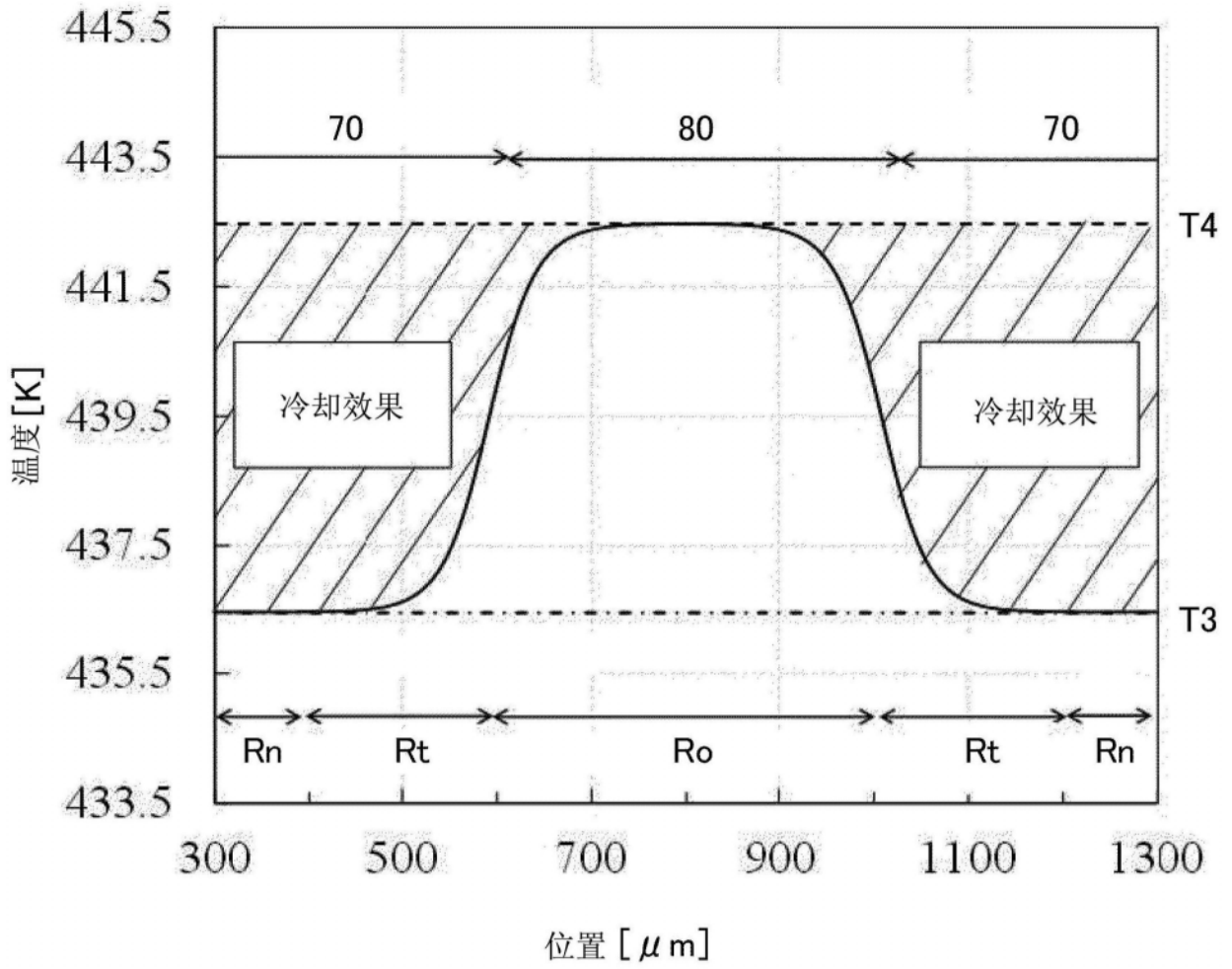


图3B

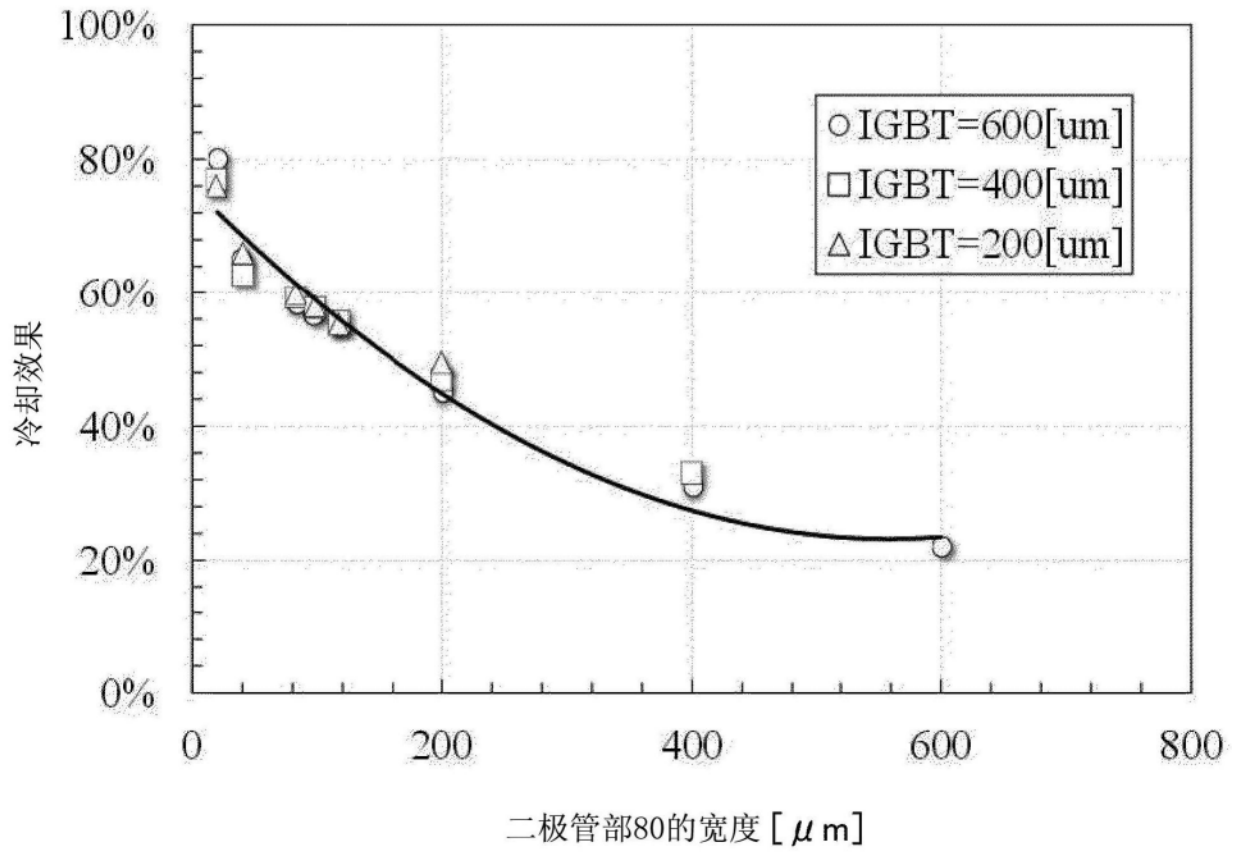


图3C

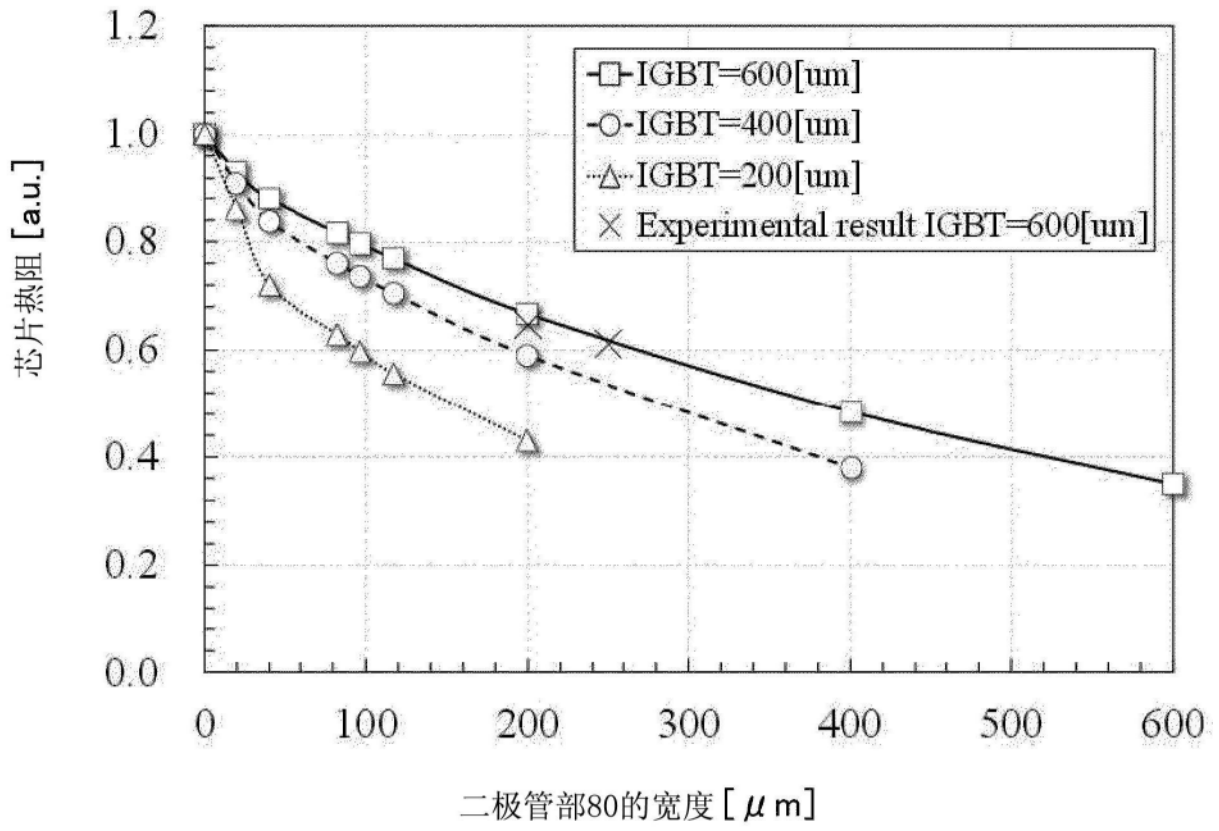


图3D



图3E

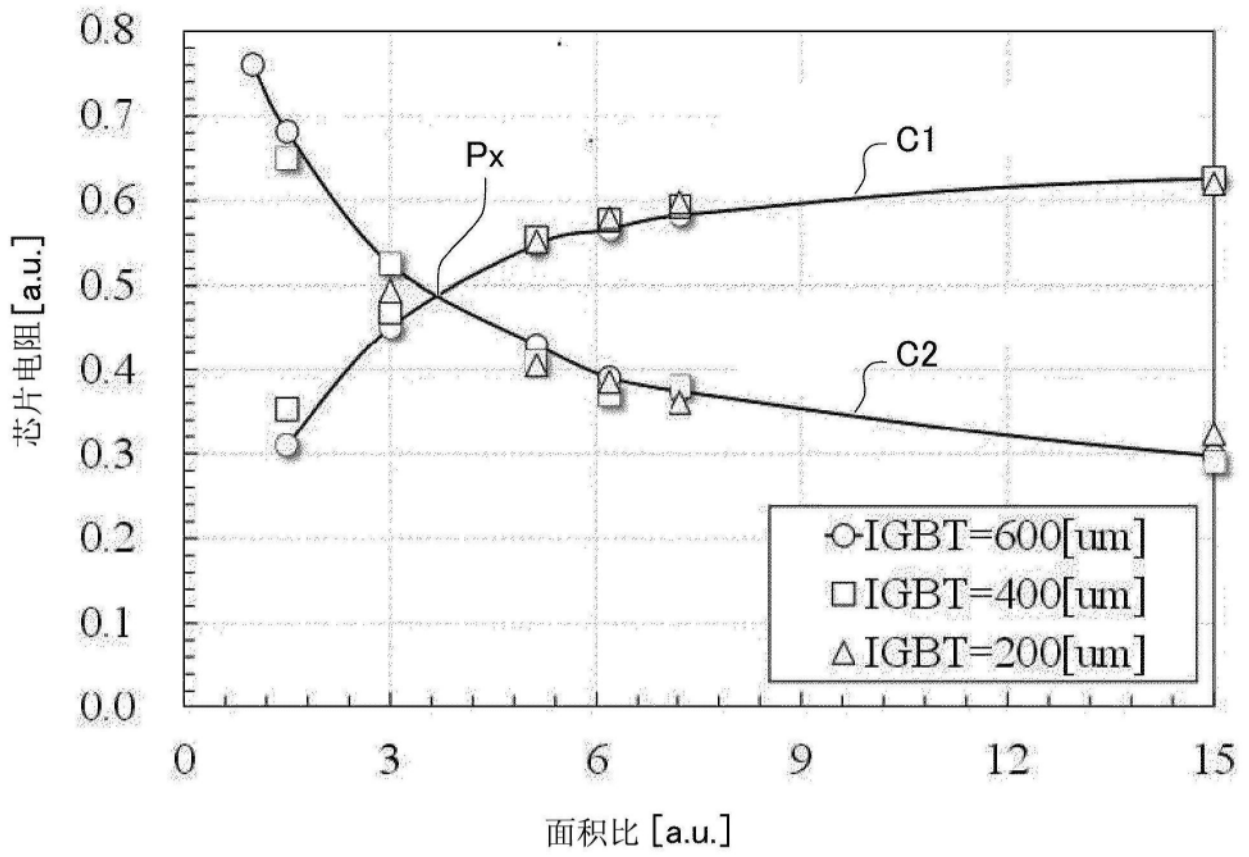


图4

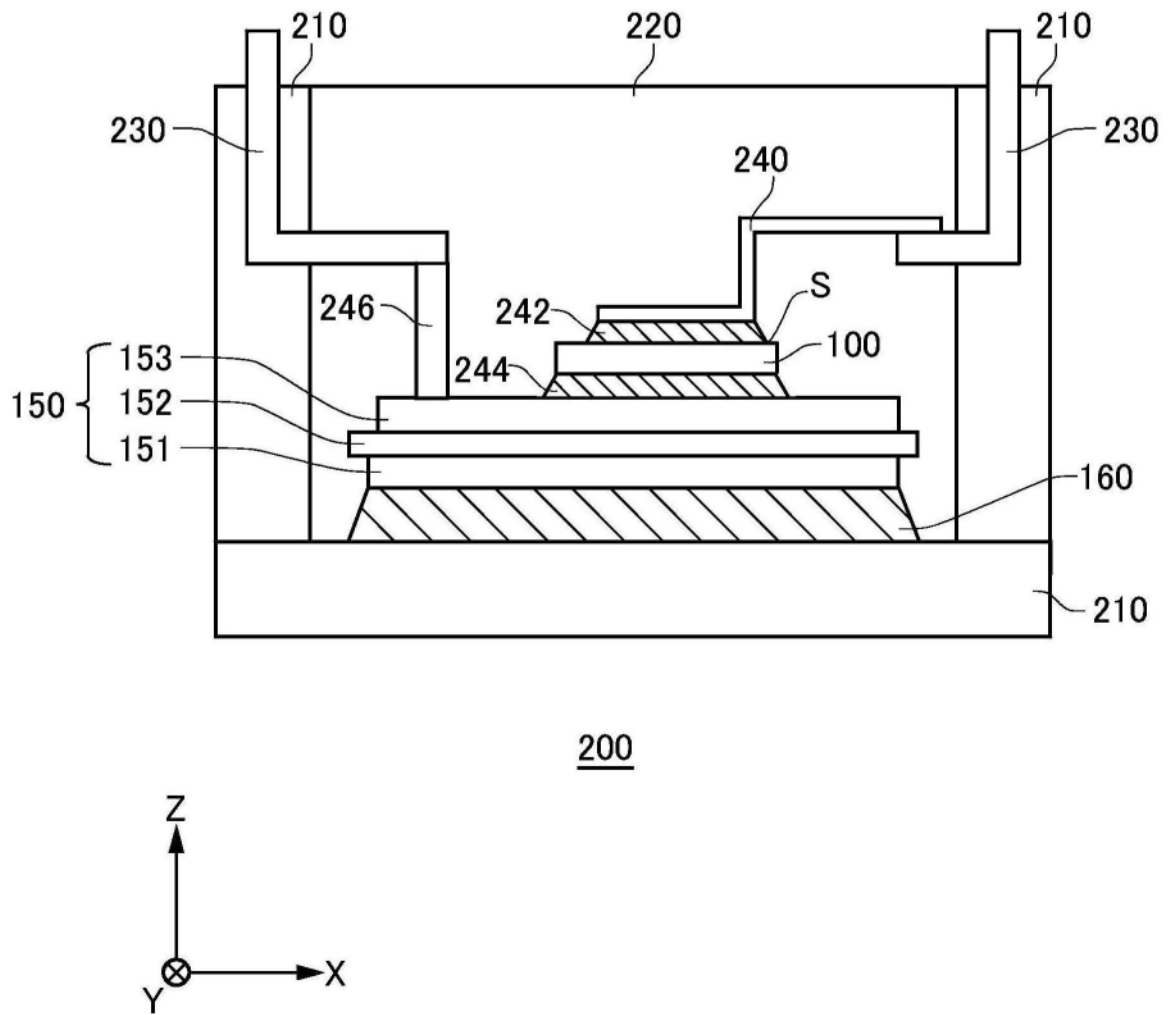


图5A

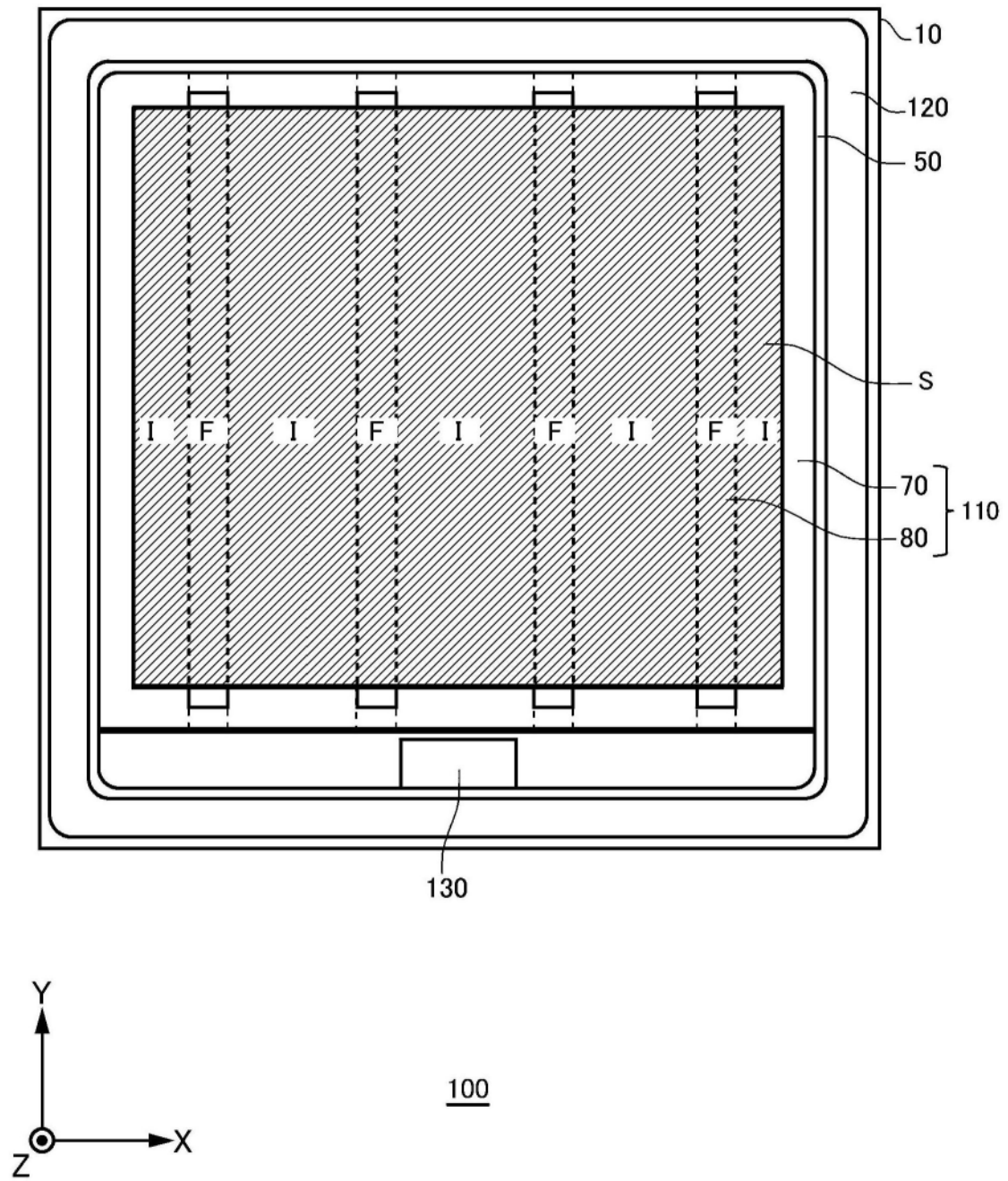


图5B