

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4608794号
(P4608794)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月22日(2010.10.22)

(51) Int.Cl.		F I			
H05K	3/46	(2006.01)	H05K	3/46	Q
H01F	17/00	(2006.01)	H05K	3/46	E
			H05K	3/46	X
			H01F	17/00	A

請求項の数 10 (全 20 頁)

(21) 出願番号	特願2001-81727 (P2001-81727)	(73) 特許権者	000002185
(22) 出願日	平成13年3月21日 (2001.3.21)		ソニー株式会社
(65) 公開番号	特開2002-280745 (P2002-280745A)		東京都港区港南1丁目7番1号
(43) 公開日	平成14年9月27日 (2002.9.27)	(74) 代理人	100067736
審査請求日	平成20年1月11日 (2008.1.11)		弁理士 小池 晃
		(74) 代理人	100086335
			弁理士 田村 榮一
		(74) 代理人	100096677
			弁理士 伊賀 誠司
		(72) 発明者	平林 崇之
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	小瀬村 孝彦
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 高周波モジュール装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

主面上に配線層を有するベース基板と、

上記ベース基板の上に、誘電絶縁材料をスピンコート法で塗布することにより形成された誘電絶縁層と、当該誘電絶縁層上に薄膜形成された受動素子とを有する高周波素子部とを備え、

上記誘電絶縁層の形成面上に上記誘電絶縁材料の流れを抑制する流動抑制部が配置されることにより、上記誘電絶縁層に厚みが部分的に大となる肉厚部が形成されており、

上記受動素子が、上記誘電絶縁層の肉厚部上に形成されている高周波モジュール装置。

【請求項2】

上記ベース基板は、上記高周波素子部の形成面が研磨加工により平坦化された有機配線基板である請求項1記載の高周波モジュール装置。

【請求項3】

上記流動抑制部は、上記受動素子が形成される領域の周囲を囲むように配置されている請求項1記載の高周波モジュール装置。

【請求項4】

上記流動抑制部は、メッキ法により厚膜形成された金属膜である請求項1記載の高周波モジュール装置。

【請求項5】

上記金属膜は、上記ベース基板及び上記高周波素子部と電氣的に接続されている請求項

4 記載の高周波モジュール装置。

【請求項 6】

主面上に配線層を有するベース基板を形成するベース基板形成工程と、
上記ベース基板上にスピンコート法により誘電絶縁材料を塗布することにより形成された誘電絶縁層と、当該誘電絶縁層上に薄膜形成された受動素子とを有する高周波素子部を形成する高周波素子部形成工程とを有し、

上記高周波素子部形成工程が、

上記ベース基板上に上記スピンコート法により塗布される上記誘電絶縁材料の流れを抑制する流動抑制部を形成する流動抑制部形成工程と、

上記流動抑制部が形成される上記ベース基板上に、上記スピンコート法により塗布された上記誘電絶縁材料の流れが上記流動抑制部により抑制されることで部分的に厚みが大となる肉厚部を有する上記誘電絶縁層を形成する誘電絶縁層形成工程と、

上記誘電絶縁層の肉厚部上に上記受動素子を形成する受動素子形成工程と

を有する高周波モジュール装置の製造方法。

【請求項 7】

上記ベース基板形成工程において、有機配線基板が用いられ、上記高周波素子部の形成面に研磨加工を施して平坦化する工程を有する請求項 6 記載の高周波モジュール装置の製造方法。

【請求項 8】

上記流動抑制部形成工程が、上記流動抑制部を上記受動素子が形成される領域の周囲を囲むように形成する工程である請求項 6 記載の高周波モジュール装置の製造方法。

【請求項 9】

上記流動抑制部形成工程が、メッキ法により金属膜を厚膜形成して上記流動抑制部を形成する工程である請求項 6 記載の高周波モジュール装置の製造方法。

【請求項 10】

上記流動抑制部形成工程が、上記金属膜を上記ベース基板と上記高周波素子部とに電気的に接続する工程を有する請求項 9 記載の高周波モジュール装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばパーソナルコンピュータ、携帯電話機、オーディオ機器等の各種電子機器に好適に搭載され、情報通信機能やストレージ機能等を有して超小型通信機能モジュールを構成する高周波モジュール装置及びその製造方法に関する。

【0002】

【従来の技術】

例えば、音楽、音声或いは画像等の各種情報は、近年、データのデジタル化に伴ってパーソナルコンピュータやモバイルコンピュータ等によっても手軽に扱えるようになっている。また、これらの情報は、音声コーデック技術や画像コーデック技術により帯域圧縮が図られて、デジタル通信やデジタル放送により各種の通信端末機器に対して容易にかつ効率的に配信される環境が整いつつある。例えば、オーディオ・ビデオデータ（AVデータ）は、携帯電話機によって屋外での受信も可能である。

【0003】

ところで、データ等の送受信システムは、家庭を始めとして小規模な地域内においても好適なネットワークシステムの提案によって、様々に活用されるようになってきている。ネットワークシステムとしては、例えば IEEE 802.11a で提案されているような 5 GHz 帯域の狭域無線通信システム、IEEE 802.11b で提案されているような 2.45 GHz 帯域の無線 LAN システム或いは Bluetooth と称される近距離無線通信システム等の種々の次世代ワイヤレスシステムが注目されている。

【0004】

データ等の送受信システムは、かかるワイヤレスネットワークシステムを有効に利用し

10

20

30

40

50

て、家庭内や屋外等の様々な場所において手軽にかつ中継装置等を介することなく様々なデータの授受、インターネット網へのアクセスやデータの送受信が可能となっている。

【 0 0 0 5 】

一方、データ等の送受信システムにおいては、小型軽量で携帯可能であり上述した通信機能を有する通信端末機器の実現が必須となる。通信端末機器においては、送受信部においてアナログの高周波信号の変復調処理を行うことが必要であることから、一般に図 2 7 に示すような送受信信号からいったん中間周波数に変換するようにしたスーパーヘテロダイン方式による高周波送受信回路 1 0 0 が備えられる。

【 0 0 0 6 】

高周波送受信回路 1 0 0 には、アンテナや切替スイッチを有して情報信号を受信或いは送信するアンテナ部 1 0 1 と、送信と受信との切替を行う送受信切替器 1 0 2 とが備えられる。高周波送受信回路 1 0 0 には、周波数変換回路部 1 0 3 や復調回路部 1 0 4 等からなる受信回路部 1 0 5 が備えられる。高周波送受信回路 1 0 0 には、パワーアンプ 1 0 6 やドライブアンプ 1 0 7 及び変調回路部 1 0 8 等からなる送信回路部 1 0 9 が備えられる。高周波送受信回路 1 0 0 には、受信回路部 1 0 5 や送信回路部 1 0 9 に基準周波数を供給する基準周波数生成回路部が備えられる。

【 0 0 0 7 】

以上のような構成の高周波送受信回路 1 0 0 においては、詳細を省略するが、各段間にそれぞれ介挿された種々のフィルタ、局発装置 (V C O)、S A W フィルタ等の大型機能部品や、整合回路或いはバイアス回路等の高周波アナログ回路に特有なインダクタ、抵抗、キャパシタ等の受動部品の点数が非常に多い構成となっている。したがって、高周波送受信回路 1 0 0 は、全体に大型となり、通信端末機器の小型軽量化に大きな障害となっていた。

【 0 0 0 8 】

一方、通信端末機器には、図 2 8 に示すように中間周波数への変換を行わずに情報信号の送受信を行うようにしたダイレクトコンバージョン方式による高周波送受信回路 1 1 0 も用いられる。高周波送受信回路 1 1 0 においては、アンテナ部 1 1 1 によって受信された情報信号が送受信切替器 1 1 2 を介して復調回路部 1 1 3 に供給されて直接ベースバンド処理が行われる。高周波送受信回路 1 1 0 においては、ソース源で生成された情報信号が変調回路部 1 1 4 において中間周波数に変換されることなく直接所定の周波数帯域に変調され、アンプ 1 1 5 と送受信切替器 1 1 2 を介してアンテナ部 1 1 1 から送信される。

【 0 0 0 9 】

以上のような構成の高周波送受信回路 1 1 0 においては、情報信号について中間周波数の変換を行うことなくダイレクト検波を行うことによって送受信する構成であることから、フィルタ等の部品点数が低減されて全体構成の簡易化が図られ、より 1 チップ化に近い構成が見込まれるようになる。しかしながら、高周波送受信回路 1 1 0 においても、後段に配置されたフィルタ或いは整合回路の対応が必要となる。また、高周波送受信回路 1 1 0 は、高周波段で一度の増幅を行うことから十分なゲインを得ることが困難となり、ベースバンド部でも増幅操作を行う必要がある。したがって、高周波送受信回路 1 1 0 は、D C オフセットのキャンセル回路や余分なローパスフィルタを必要とし、さらに全体の消費電力が大きくなるといった問題があった。

【 0 0 1 0 】

【 発明が解決しようとする課題 】

従来の高周波送受信回路は、上述したようにスーパーヘテロダイン方式及びダイレクトコンバージョン方式のいずれにおいても、通信端末機器の小型軽量化等の要求仕様に対して十分な特性を満足し得ないものであった。このため、高周波送受信回路については、例えば S i - C M O S 回路等をベースとして簡易な構成によって小型化を図ったモジュール化について種々の試みが図られている。すなわち、試みの 1 つは、例えば特性のよい受動素子を S i 基板上に形成するとともにフィルタ回路や共振器等を L S I 上に作り込み、さらにベースバンド部分のロジック L S I も集積化することで、いわゆる 1 チップ化高周波

10

20

30

40

50

モジュールを製作する方法である。

【0011】

しかしながら、この1チップ化高周波モジュールにおいては、図29に示すように、いかにして性能のよいインダクタ部120をLSI上に形成するかが極めて重要となる。かかる1チップ化高周波モジュールでは、Si基板121及びSiO₂絶縁層122のインダクタ部形成部位123に対応して大きな凹部124を形成する。1チップ化高周波モジュールは、凹部124に臨ませて第1の配線層125を形成するとともに凹部124を閉塞する第2の配線層126が形成されてコイル部127を構成する。また、1チップ化高周波モジュールは、他の対応として配線パターンの一部を基板表面から立ち上げて空中に浮かすといった対応を図ることによってインダクタ部120が形成されていた。しかしながら、この1チップ化高周波モジュールは、いずれもインダクタ部120を形成する工程が極めて面倒であり、工程の増加によってコストがアップするといった問題があった。

10

【0012】

また、この1チップ化高周波モジュールにおいては、アナログ回路の高周波回路部と、デジタル回路のベースバンド回路部との間に介在するSi基板の電氣的干渉が大きな問題となった。

【0013】

以上のような欠点を改善する高周波モジュールとしては、例えば図30に示したSi基板をベース基板に用いた高周波モジュール130や、図31に示したガラス基板をベース基板に用いた高周波モジュール140が提案されている。

20

【0014】

この高周波モジュール130は、Si基板131上にSiO₂層132を形成した後に、リソグラフィ技術によって受動素子形成層133が成膜形成されてなる。

【0015】

受動素子形成層133には、詳細を省略するが、その内部に配線パターンとともにインダクタ部、抵抗体部或いはキャパシタ部等の受動素子が薄膜形成技術や厚膜形成技術によって多層に形成されている。

【0016】

高周波モジュール130は、受動素子形成層133上にビア(中継スルーホール)等を介して内部配線パターンと接続された端子部が形成され、これら端子部にフリップチップ実装法等により高周波ICやLSI等の回路素子134が直接実装されて構成される。この高周波モジュール130は、例えばマザー基板等に実装することで、高周波回路部とベースバンド回路部とを区分して両者の電氣的干渉を抑制することが可能とされる。

30

【0017】

ところで、かかる高周波モジュール130においては、導電性を有するSi基板131が、受動素子形成層133内に各受動素子を形成する際に機能するが、各受動素子の良好な高周波特性にとって邪魔になるといった問題があった。

【0018】

一方、高周波モジュール140は、上述した高周波モジュール130におけるSi基板131の問題を解決するために、ベース基板にガラス基板141が用いられている。高周波モジュール140も、ガラス基板141上にリソグラフィ技術によって受動素子形成層142が成膜形成されてなる。受動素子形成層142には、詳細を省略するが、その内部に配線パターンとともにインダクタ部、抵抗体部或いはキャパシタ部等の受動素子が薄膜形成技術や厚膜形成技術によって多層に形成されている。

40

【0019】

高周波モジュール140は、受動素子形成層142上にビア等を介して内部配線パターンと接続された端子部が形成され、これら端子部にフリップチップ実装法等により高周波ICやLSI等の回路素子143が直接実装されて構成される。この高周波モジュール140は、導電性を有しないガラス基板141を用いることで、ガラス基板141と受動素子形成層142との容量的結合度が抑制され受動素子形成層142内に良好な高周波特性

50

を有する受動素子を形成することが可能である。

【0020】

ところで、高周波モジュール140においては、例えばマザー基板等を実装するために、受動素子形成層142の表面に端子パターンを形成するとともにワイヤボンディング法等によってマザー基板との接続が行われる。したがって、高周波モジュール140は、端子パターン形成工程やワイヤボンディング工程が必要となる。

【0021】

これらの1チップ化高周波モジュールにおいては、上述したようにベース基板上に高精度の受動素子形成層が形成される。ベース基板には、受動素子形成層を薄膜形成する際に、スパッタリング時の表面温度の上昇に対する耐熱特性、リソグラフィ時の焦点深度の保持、マスクング時のコンタクトアライメント特性が必要となる。ベース基板は、このために高精度の平坦性が必要とされるとともに、絶縁性、耐熱性或いは耐薬品性等が要求される。

10

【0022】

上述したSi基板131やガラス基板141は、かかる特性を有しておりLSIと別プロセスにより低コストで低損失な受動素子の形成を可能とする。また、Si基板131やガラス基板141は、従来のセラミックモジュール技術で用いられる印刷によるパターン等の形成方法或いはプリント配線基板に配線パターンを形成する湿式エッチング法等と比較して、高精度の受動素子の形成が可能であるとともに、素子サイズをその面積が1/100程度まで縮小することを可能とする。さらに、Si基板131やガラス基板141は、受動素子の使用限界周波数帯域を20GHzまで高めることも可能とする。

20

【0023】

ところで、かかる1チップ化高周波モジュールにおいては、上述したようなSi基板131やガラス基板141上に受動素子とともに配線やグランド等が薄膜形成技術や厚膜形成技術によって多層に形成されている。このため、図32に示す高周波モジュール200においては、Si基板131やガラス基板141上に形成された受動素子とグランド部201、ここでは主に、インダクタ部202とグランド部201との間の距離が近いことから寄生容量の影響によりインダクタ部202のインダクタンスのQ値が劣化するという問題があった。

30

【0024】

高周波モジュール200においては、かかる問題を防止するために、例えば第1の薄膜層203及び第2の薄膜層204を厚くしてインダクタ部202とグランド部201との距離を離し、インダクタ部202に対する寄生容量の影響を低減する方法が提案されている。また、高周波モジュール200においては、図33に示すように、インダクタ部202の下方にグランド部201が形成されない配線禁止領域Aを施すことによりインダクタ部202に対する寄生容量の影響を低減する方法も提案されている。

【0025】

しかしながら、第1の方法は、インダクタ部202と配線205とを配線するためのビア206を形成する際に第1の薄膜層203が厚くなったためにビア206の径が大きくなってしまい、高周波モジュール200の厚みや面積が大型化するという問題がある。

40

【0026】

一方、第2の方法は、グランド部201がマイクロストリップ線路のシールド、RF電流が他の配線への干渉や不要な結合をすることを防ぐシールドとして機能していることから、配線禁止領域Aでこれらのシールドが機能しなくなる。また、第2の方法は、グランド部201を電源や受動素子を電氣的に接続させる配線としても機能させていることから、配線禁止領域Aを避けて配線を施すことにより、高周波モジュール200の面積が大型化するという問題がある。

【0027】

そこで、本発明は、ベース基板上に形成された配線層の受動素子に対する寄生容量の影響を低減するとともに、高機能化及び小面積化、小型化を図った高周波モジュール装置及

50

びその製造方法を提供することを目的に提案されたものである。

【 0 0 2 8 】

【課題を解決するための手段】

上述した目的を達成する本発明にかかる高周波モジュール装置は、主面上に配線層を有するベース基板と、ベース基板上に、誘電絶縁材料をスピンコート法で塗布することにより形成された誘電絶縁層と、当該誘電絶縁層上に薄膜形成された受動素子とを有する高周波素子部とを備え、誘電絶縁層の形成面上に設けた誘電絶縁材料の流れを抑制する流動抑制部により、誘電絶縁層に厚みが部分的に大となる肉厚部が形成され、この誘電絶縁層の肉厚部上に受動素子が形成されていることを特徴としている。

【 0 0 2 9 】

以上のように構成された本発明にかかる高周波モジュール装置によれば、ベース基板の誘電絶縁層の形成面上に流動抑制部が設けられたことにより、回転操作された状態のベース基板に滴下された誘電絶縁材料の周面へと広がる流れが流動抑制部により抑制されて、誘電絶縁層に厚みが部分的に大となる肉厚部が形成される。したがって、高周波モジュール装置によれば、誘電絶縁層の肉厚部上に形成された受動素子とベース基板上に形成された配線層との距離が保持され、受動素子に対する配線層からの寄生容量の影響が低減される。

【 0 0 3 0 】

また、上述した目的を達成する本発明にかかる高周波モジュール装置の製造方法は、主面上に配線層を有するベース基板を形成するベース基板形成工程と、ベース基板上にスピンコート法により誘電絶縁材料を塗布することにより形成された誘電絶縁層と、当該誘電絶縁層上に薄膜形成される受動素子とを有する高周波素子部を形成する高周波素子部形成工程とを経て高周波モジュール装置を製造する。高周波素子部形成工程は、ベース基板上にスピンコート法により塗布される誘電絶縁材料の流れを抑制する流動抑制部を形成する流動抑制部形成工程と、流動抑制部が形成されたベース基板上に、スピンコート法により塗布された誘電絶縁材料の流れが流動抑制部により抑制されることで部分的に厚みが大となる肉厚部を有する誘電絶縁層を形成する誘電絶縁層形成工程と、誘電絶縁層の肉厚部上に受動素子を形成する受動素子形成工程とを有することを特徴とする。

【 0 0 3 1 】

以上のように構成された本発明にかかる高周波モジュール装置の製造方法によれば、流動抑制部形成工程によりベース基板上に形成された流動抑制部が、誘電絶縁層形成工程でスピンコート法により塗布された誘電絶縁材料の流れを抑制して誘電絶縁層に部分的な肉厚部を形成する。これにより、高周波モジュール装置の製造方法では、受動素子形成工程により誘電絶縁層の肉厚部上に形成された受動素子とベース基板上に形成された配線層との距離が保持され、受動素子に対する配線層からの寄生容量が低減された高周波モジュール装置が製造される。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。実施の形態として図 1 に示した高周波モジュール装置 1 は、詳細を後述するベース基板部製作工程で形成されたベース基板部 2 の最上層が高精度の平坦面からなる高周波素子層形成面 3 として構成されているとともに、この高周波素子層形成面 3 上に詳細を後述する高周波素子層部製作工程によって高周波素子層部 4 が形成されてなる。高周波モジュール装置 1 は、ベース基板部 2 が、上層に形成された高周波素子層部 4 に対する電源系の配線部や制御系の配線部或いはグランド部を構成する。高周波モジュール装置 1 には、図 1 に示すように、高周波素子層部 4 の上面に高周波 IC 9 0 やチップ部品 9 1 が実装されるとともにシールドカバー 9 2 によって封装される。高周波モジュール装置 1 は、いわゆる 1 チップ部品としてマザー基板 9 3 上に実装される。

【 0 0 3 3 】

ベース基板部 2 は、両面基板からなるコア基板 5 と、このコア基板 5 をコアとしてその

10

20

30

40

50

第1の主面5 a側に形成された第1のパターン配線層6と、第2の主面5 b側に形成された第2のパターン配線層7とからなる。ベース基板部2には、コア基板5に対して第1の樹脂付銅箔8及び第2の樹脂付銅箔9が接合される。第1の樹脂付銅箔8は、コア基板5の第1の主面5 a側に接合されて、このコア基板5とともに2層からなる第1のパターン配線層6を形成する。第2の樹脂付銅箔9は、コア基板5の第2の主面5 b側に接合されて、このコア基板5とともに2層からなる第2のパターン配線層7を形成する。

【0034】

ベース基板部2の構成並びに作製工程について、以下図2乃至図10を参照しながら詳細に説明する。

【0035】

ベース基板部2の製作工程は、図2に示すように、コア基板5の第1の主面5 a及び第2の主面5 bに適宜の第1のパターン配線層12及び第2のパターン配線層13やコア基板5を貫く複数のビアホール14を形成する第1のパターン配線層形成工程s-1と、コア基板5の第1の主面5 a及び第2の主面5 bに第1の樹脂付銅箔8と第2の樹脂付銅箔9とをそれぞれ接合する第1の銅箔接合工程s-2と、これら樹脂付銅箔8、9とにビア15、16を形成するビア形成工程s-3とを有する。ベース基板部2の製作工程は、接合された樹脂付銅箔8、9にそれぞれ適宜の第3のパターン配線層17及び第4のパターン配線層18とを形成する第2のパターン配線層形成工程s-4とを経て、ベース基板中間体19を製作する。

【0036】

ベース基板部2の製作工程は、ベース基板中間体19に対して第3のパターン配線層17及び第4のパターン配線層18を被覆する第3の樹脂付銅箔10と第2の樹脂付銅箔11とをそれぞれ接合する第2の銅箔接合工程s-5を有する。ベース基板部2の製作工程は、第3の樹脂付銅箔10と第4の樹脂付銅箔11とに対して研磨処理を施して第1の主面5 a側の最上層に高周波素子層形成面3を形成する研磨工程s-6を経てベース基板部2を製作する。

【0037】

コア基板5は、低誘電率で低い Tan 、すなわち高周波特性に優れた基材、例えばポリフェニレンエーテル(PPE)、ビスマレイドトリアジン(BT-resin)、ポリテトラフルオロエチレン(商標名テフロン)、ポリイミド、液晶ポリマ(LCP)、ポリノルボルネン(PNB)、セラミック或いはセラミックと有機基材の混合体等が用いられ形成される。コア基板5は、機械的剛性ととも耐熱性、耐薬品性を有し、例えば上述した基材よりもさらに廉価なエポキシ系基板FR-5等も用いられる。コア基板5は、上述した基材によって形成されることで、高精度に形成されることによって比較的高価となるSi基板やガラス基板と比較して廉価であり、材料コストの低減が図られる。

【0038】

コア基板5には、図3に示すように、第1の主面5 aと第2の主面5 bの全面に銅箔層20a、20bが形成されている。コア基板5には、図4に示すように、第1のパターン配線層形成工程s-1が施される。コア基板5は、ドリルやレーザによる孔穿加工が施されて所定の位置にそれぞれビアホール14が形成される。コア基板5には、メッキ等によって内壁に導通処理が施されたビアホール14内に、導電ペースト21を埋め込んだ後にメッキ法によって蓋形成が行われる。コア基板5は、銅箔層20a、20bに対してフォトリソグラフ処理が施されることによって、第1の主面5 aと第2の主面5 bとにそれぞれ所定の第1のパターン配線層12及び第2のパターン配線層13とが形成される。

【0039】

以上の工程を経たコア基板5には、第1の銅箔接合工程s-2によって、図5に示すように、第1のパターン配線層12及び第2のパターン配線層13をそれぞれ被覆して第1の樹脂付銅箔8と第2の樹脂付銅箔9とが第1の主面5 aと第2の主面5 bに接合される。第1の樹脂付銅箔8と第2の樹脂付銅箔9には、それぞれ銅箔層8a、9aの一方主面の全体に樹脂層8b、9bが裏打ちされたいわゆる樹脂付銅箔が用いられる。

10

20

30

40

50

【 0 0 4 0 】

第1の樹脂付銅箔8及び第2の樹脂付銅箔9は、樹脂層8b、9b側を接合面として、コア基板5の第1の主面5aと第2の主面5bとに接着樹脂(プリプレグ)によって接合される。なお、これら第1の樹脂付銅箔8及び第2の樹脂付銅箔9は、樹脂層8b、9bが熱可塑性樹脂によって形成される場合には、接着樹脂を不要としてコア基板5に接合される。

【 0 0 4 1 】

第1の樹脂付銅箔8と第2樹脂付銅箔9には、コア基板5に接合された状態においてビア形成工程s-3が施されて、図6に示すように、上述した各ビアホール14に対応する部位に対してフォトリソグラフ処理が施されることにより、それぞれビア15、16が形成される。ビア形成工程s-3は、ビア15、16の形成部位にフォトリソグラフ処理を施した後、湿式エッチングを行って第1の樹脂付銅箔8と第2樹脂付銅箔9とに開口部22a、22bを形成し、これら開口部22a、22bをマスクとしてレーザ加工を施すことにより第1のパターン配線層12或いは第2のパターン配線層13のランド部が受けとなってそれぞれにビア15、16を形成する。

【 0 0 4 2 】

第1の樹脂付銅箔8と第2樹脂付銅箔9には、図7に示すように、ビアメッキ等によりビア15、16の内壁に導通処理が施されるとともにメッキ法や導電ペーストの埋め込みにより導電材23a、23bが充填される。第1の樹脂付銅箔8及び第2樹脂付銅箔9には、第2のパターン配線層形成工程s-4により、銅箔層8a、9aにそれぞれ所定のパターンニングが施されて、第3のパターン配線層17及び第4のパターン配線層18とが形成される。第2のパターン配線層形成工程s-4は、上述した第1のパターン配線層形成工程s-1と同様に、銅箔層8a、9aに対してフォトリソグラフ処理を施すことにより樹脂層8b、9b上にそれぞれ第3のパターン配線層17と第4のパターン配線層18とを形成してベース基板中間体19を製作する。

【 0 0 4 3 】

ベース基板部製作工程においては、ベース基板部2に後述する高周波素子層部4を形成するために、ベース基板中間体19に対して高精度の平坦性を有する高周波素子層形成面3を形成する研磨工程が施される。ベース基板中間体19には、第2の銅箔接合工程s-5により、図8に示すように第3のパターン配線層17及び第4のパターン配線層18をそれぞれ被覆して第3の樹脂付銅箔10と第4の樹脂付銅箔11とが第1の主面5a及び第2の主面5bにそれぞれ接合される。第3の樹脂付銅箔10及び第4の樹脂付銅箔11も、上述した第1の樹脂付銅箔8や第2の樹脂付銅箔9と同様に、それぞれ銅箔層10a、11aの一方主面の全体に亘って樹脂層10b、11bが裏打ちされたいわゆる樹脂付銅箔が用いられる。

【 0 0 4 4 】

第3の樹脂付銅箔10及び第4の樹脂付銅箔11は、図9に示すように、樹脂層10b、11bを接合面として、ベース基板中間体19の表裏主面に接着樹脂(プリプレグ)によって接合される。なお、第3の樹脂付銅箔10及び第4の樹脂付銅箔11も、樹脂層10b、11bが熱可塑性樹脂によって形成される場合には、接着樹脂を不要としてベース基板中間体19に接合される。

【 0 0 4 5 】

ベース基板中間体19には、研磨工程s-6により、接合した第3の樹脂付銅箔10と第4の樹脂付銅箔11とに対して研磨処理が施される。研磨工程s-6は、例えばアルミナとシリカの混合液からなる研磨材により第3の樹脂付銅箔10と第4の樹脂付銅箔11の全体を研磨することによってベース基板中間体19の両面を精度の高い平坦面に形成する。研磨工程s-6においては、図10に示すように、第3の樹脂付銅箔10側、換言すれば高周波素子層形成面3については第3のパターン配線層17が露呈するまでの研磨を施す。また、研磨工程s-6においては、第4の樹脂付銅箔11側については第4のパターン配線層18を露呈させずに樹脂層11bが所定の厚みxを残すようにして研磨を施

10

20

30

40

50

す。

【0046】

ベース基板部製作工程は、上述した各工程によりコア基板5からベース基板中間体19を経て、良好な平坦精度を有する高周波素子層形成面3が形成されてなるベース基板部2を製作する。ベース基板部製作工程は、ベース基板中間体19を製作する工程を従来の多層基板の製作工程と同様とすることで、多層基板の製作プロセスをそのまま適用可能であるととも、量産性も高いといった特徴を有している。なお、ベース基板部製作工程については、上述した工程に限定されるものではなく、従来採用されている種々の多層基板の製作工程が採用されてもよいことは勿論である。

【0047】

ベース基板部2は、上述したようにコア基板5の第1の主面5a側に接合された第1の樹脂付銅箔8によって、第3のパターン配線層17が形成されている。ベース基板部2は、この第3のパターン配線層17が、第3の樹脂付銅箔10の樹脂層10bを第3のパターン配線層17が露呈するまで研磨が施された構造となっている。ベース基板部2は、後述する高周波素子層部製作工程において、第3のパターン配線層17上に高周波素子層部4を形成することで、第3のパターン配線層17を薬品、機械的或いは熱的負荷から保護する樹脂層10bが不要となる。ベース基板部2は、かかる構成によって後述する高周波素子層部製作工程において、第3のパターン配線層17が高周波素子層部に対する電源系の配線部や制御系の配線部或いはグランド部を構成する。

【0048】

ベース基板部2は、上述したようにコア基板5の第2の主面5b側に接合された第2の樹脂付銅箔9によって、第4のパターン配線層18が形成されている。ベース基板部2は、この第4のパターン配線層18が、第4の樹脂付銅箔11の樹脂層11bの研削量を制限することによって第4のパターン配線層18が露呈されない構造となっている。ベース基板部2は、かかる構成によって後述する高周波素子層部製作工程において、第4のパターン配線層18が残された樹脂層11b(誘電体層)によって薬品や機械的或いは熱的負荷から保護されるようにする。第4のパターン配線層18は、高周波素子層部4を形成した後に、上述した樹脂層11bが切削除去されることで露呈されて入出力端子部24を構成する。

【0049】

以上のようにして製作されたベース基板部2には、後述する高周波素子層形成工程を経て高周波素子層形成面3上に高周波素子層部4が積層形成される。高周波素子層部4には、平坦化されたベース基板部2の高周波素子層形成面3上に、誘電絶縁材料からなる第1の誘電絶縁層30乃至第3の誘電絶縁層32と、誘電絶縁材料の流れを抑制する流動抑制部33と、薄膜形成技術を用いて形成されたキャパシタ部26、レジスタ部27等の受動素子が内蔵された素子形成層部28と、一部にインダクタ部25が形成された配線層部29とが形成されてなる。高周波素子層部4には、配線層部29上に高周波IC90やチップ部品91が実装されるとともに、全体がシールドカバー92によって覆われる。

【0050】

なお、ベース基板部製作工程においては、コア基板5に対して第2の樹脂付銅箔9を介して接合される第4の樹脂付銅箔11が、銅箔部11aを研磨されることになる。ベース基板部製作工程においては、接合された各構成部材がプレス機によってプレスされて一体化される。ベース基板部製作工程においては、金属製のプレス面と第4の樹脂付銅箔11とのなじみがよく、精度のよいプレスが行われるようになる。したがって、第4の樹脂付銅箔11については、銅箔部が配線層を構成しないことから、銅貼りでなく他の樹脂付金属箔であってもよい。

【0051】

上述したベース基板部製作工程においては、両面基板からなるコア基板5をコアとしてその第1の主面5aと第2の主面5bとに第1の樹脂付銅箔8乃至第4の樹脂付銅箔11とを接合して4層構成のベース基板部2を製作する工程を採用したが、本発明はかかるべ

10

20

30

40

50

ース基板部の製作工程に限定されるものではないことは勿論である。ベース基板部の製作工程としては、例えば2枚の両面基板を接着樹脂（プリプレグ）によって接合されることで上述したベース基板部2と同様のベース基板部が製作される。

【0052】

高周波素子層部4の構成並びに作製工程について、以下図11乃至図20を参照しながら詳細に説明する。

【0053】

高周波素子層部4の製作工程は、上述した工程を経て製作されたベース基板部2の平坦化された高周波素子層形成面3上に、第1の誘電絶縁層30を成膜形成する第1の誘電絶縁層形成工程s-7と、第1の誘電絶縁層30上に誘電絶縁材料の流れを抑制する流動抑制部33を形成する流動抑制部形成工程s-8と、流動抑制部33が形成された第1の誘電絶縁層30上に第2の誘電絶縁層31を成膜形成する第2の誘電絶縁層形成工程s-9と、第2の誘電絶縁層31上に素子形成層部28を形成するための下地処理を施す下地処理工程s-10と、素子形成層部28内に各受動素子を形成する受動素子形成工程s-11との工程を経る。高周波素子層部4の製作工程は、素子形成層部28を被覆するとともに配線層部29を形成するための第3の誘電絶縁層32を成膜形成する第3の誘電絶縁層形成工程s-12と、配線層部29に所定のパターン配線34や受動素子を形成する配線層形成工程s-13と、表裏主面を被覆するレジスト層35a、35bを形成するレジスト層形成工程s-14とを経て、高周波モジュール装置1を製作する。

【0054】

ベース基板部2には、第1の誘電絶縁層形成工程s-7において、図12に示すように、高周波素子層形成面3上に誘電絶縁材料が供給されて例えばスピンコート法により第1の誘電絶縁層30が成膜形成される。誘電絶縁材料には、コア基板5と同様に低誘電率で低い Tan 、すなわち高周波特性に優れかつ耐熱性や耐薬品性に優れた基材が用いられる。誘電絶縁材料には、具体的には、ベンゾシクロブテン（BCB）、ポリイミド、ポリノルボルネン（PNB）、液晶ポリマ（LCP）或いはエポキシ樹脂やアクリル系樹脂が用いられる。

【0055】

第1の誘電絶縁層30上には、流動抑制部作製工程s-8において、図13に示すように、例えばメッキ法により金属膜からなる流動抑制部33が厚膜形成される。流動抑制部33は、詳細な構成については後述するが、厚みが50 μm 乃至100 μm 程度に厚膜形成されてなる。なお、流動抑制部33の作製は、必ずしもメッキ法に限定されることなく、金属膜の厚膜形成が可能とされる、例えばスクリーン印刷法等を適用して成膜してもよい。

【0056】

第1の誘電絶縁層の主面に形成された流動抑制部33上には、第2の誘電絶縁層形成工程s-9において、図14に示すように、誘電絶縁材料が供給されて例えばスピンコート法により第2の誘電絶縁層31が成膜形成される。誘電絶縁材料には、第1の誘電絶縁層30と同様に低誘電率で低い Tan 、すなわち高周波特性に優れかつ耐熱性や耐薬品性に優れた基材が用いられる。

【0057】

第2の誘電絶縁層形成工程s-9においては、図14に示すように、回転操作されるベース基板部2に滴下された誘電絶縁材料が外周方向へと広がる際に、第1の誘電絶縁層30上に形成された流動抑制部33によって流れが抑制されて部分的に厚みが大となる肉厚部36を有する第2の誘電絶縁層31が形成される。第2の誘電絶縁層形成工程s-9においては、第2の誘電絶縁層31に対して第1の誘電絶縁層30を貫通する多数のビア37が形成される。各ビア37は、高周波素子層形成面3に露呈された第3のパターン配線層17の所定のランド17aに対応して形成され、ランド17aを外方に臨ませる。各ビア37は、誘電絶縁材料として感光性樹脂を用いた場合には、所定のパターンニングに形成されたマスクを第2の誘電絶縁層31に取り付けてフォトリソグラフィ法により形成され

10

20

30

40

50

る。各ビア 37 は、その他適宜の方法によっても形成される。

【0058】

下地処理工程 s - 10 においては、図 15 に示すように、各ビア 37 を含む第 2 の誘電絶縁層 31 の表面上に、例えばスパッタリング法等によって全面に亘って例えばニッケル層と銅層とからなる配線層 38 が成膜形成されて素子形成層部 28 となる。配線層 38 は、ニッケル層と銅層の厚みがそれぞれ 50 nm 乃至 500 nm 程度に成膜されてなる。下地処理工程 s - 10 においては、配線層 38 のレジスタ部 27 の形成部位をレジストでマスクした状態で硝酸 / 硫酸 / 酢酸の混合液からなるエッチング液によってエッチング処理を施すことにより、配線層 38 を除去する処理を行う。

【0059】

配線層 38 には、受動素子層形成工程 s - 11 が施されてレジスタ部 27 やキャパシタ部 26 が形成される。配線層 38 には、図 15 に示すように、除去された部位にリフトオフ法によって窒化タンタル層 39 が形成される。この窒化タンタル層 39 は、レジスト処理された全面に窒化タンタル (Ta₂N₅) がスパッタリングされ、レジスト層部分の窒化タンタルが取り去られることにより配線層 38 が除去されたレジスタ部 27 の対応部位にのみ形成される。

【0060】

配線層 38 には、図 15 に示すようにキャパシタ部 26 の形成部位にも窒化タンタル層 40 が形成される。配線層 38 には、キャパシタ部形成部位を除く全面にレジストコーティングが行われた状態で、ホウ酸アンモニウム等の電解液中で窒化タンタルが陽極となるように電界がかけられる、いわゆる陽極酸化が施される。この陽極酸化処理は、100 V、30 分程度の電界印加により行われることにより、窒化タンタル層 40 が酸化して、タンタルオキサイト (Ta₂O₅) 層 41 を形成する。

【0061】

配線層 38 には、必要な配線パターンだけを残すようにフォトリソグラフ処理によってレジストパターンニングが行われる。タンタルオキサイト層 41 には、レジストを取り去った後にマスクが施され、例えばリフトオフ法によってニッケル層と銅層とからなる上部電極 42 が形成される。高周波素子層部製作工程においては、以上の工程を経て、図 16 に示すベース基板部 2 上に流動抑制部 33 や受動素子等が形成された高周波モジュール装置中間体 43 が製作される。

【0062】

高周波素子層部製作工程においては、以上の工程を経て製作された高周波モジュール装置中間体 43 に対して、第 3 の誘電絶縁層形成工程 s - 12 によって図 17 に示すように第 3 の誘電絶縁層 32 が成膜形成される。第 3 の誘電絶縁層形成工程 s - 12 は、上述した第 1 の誘電絶縁層 30 及び第 2 の誘電絶縁層 31 と同様の方法によって第 3 の誘電絶縁層 32 を形成するとともに、この第 3 の誘電絶縁層 32 に配線層 38 に形成された所定のパターンやキャパシタ部 26 の上部電極 42 を外方に臨ませる複数のビアホール 44 を形成する。

【0063】

高周波素子層部製作工程においては、配線層形成工程 s - 13 により、第 3 の誘電絶縁層 32 上にパターン配線 34 が形成される。配線層形成工程 s - 13 は、具体的にはスパッタリング法等によって第 3 の誘電絶縁層 32 上にニッケル層及び銅層とかなるスパッタ層を成膜形成し、このスパッタ層に対してフォトリソグラフ処理を施して所定のパターンニングを行う。配線層形成工程 s - 13 は、さらにスパッタ層に対して電界メッキにより数 μm 程度の厚みを有する銅メッキを選択的に行った後に、メッキ用レジストを除去しさらにスパッタ層を全面的にエッチングすることによって図 18 に示すように配線層部 29 を形成する。

【0064】

配線層部 29 の一部には、第 2 の誘電絶縁層作製工程 s - 9 にて形成された肉厚部 36 の上方にインダクタ部 25 が形成される。インダクタ部 25 は、肉厚部 36 の上方に形成

10

20

30

40

50

されることで、電源系の配線部や制御系の配線部或いはグラウンド部を構成する第3のパターン配線層17に対する距離が大となり、第3のパターン配線層17から受ける寄生容量の影響が低減されてインダクタンスのQ値の劣化が抑制される。インダクタ部25は、直列抵抗値が問題となるが、上述したようにスパッタ層に対して電解メッキを施す厚膜形成技術によって形成することで十分な厚みを以って形成され、損失の低下が抑制される。

【0065】

高周波素子層部製作工程においては、後述するレジスト層形成工程s-14により第4のパターン配線層18の主面にレジスト層35bを形成することで、第4のパターン配線層18を薬品、機械的或いは熱的負荷から保護する樹脂層11bが不要となる。高周波素子層部製作工程においては、樹脂層11bに対して研磨加工を施すことにより、第4のパターン配線層18を露呈させる。

10

【0066】

高周波素子層部製作工程においては、レジスト層形成工程s-14により、図19に示すように、高周波素子層部4の表面全体とベース基板部2の第4のパターン配線層18とにレジスト層35a、35bをそれぞれコーティングする。高周波素子層部製作工程においては、これらレジスト層35a、35bに対してマスクパターンを介してフォトリソグラフィ処理を施し、所定の位置に開口部45a、45bを形成する。高周波素子層部製作工程においては、図20に示すように、これら開口部45a、45bに無電解ニッケル/銅メッキを施してそれぞれ電極端子46a、46bを形成することにより、ベース基板部2上に高周波素子層部4が形成された高周波モジュール装置1を製作する。

20

【0067】

高周波モジュール装置1は、図1に示すように、高周波素子層部4側に形成された電極端子46aが、高周波IC90やチップ部品91を搭載して接続する接続端子を構成する。高周波モジュール装置1は、ベース基板部2の第4のパターン配線層18側に形成された電極端子46bが、例えばマザー基板93に搭載される際の接続端子及び入出力端子部24を構成する。高周波IC90は、例えばフリップチップ94を介するフリップチップ法によって実装される。

【0068】

なお、高周波モジュール装置1は、高周波素子層部4の表面に搭載される高周波IC90やチップ部品91が、シールドカバー92によって覆われている。このため、高周波モジュール装置1においては、高周波IC90やチップ部品91からの発熱がシールドカバー92内にこもるために、例えば図21に示すような高周波IC90の上面とシールドカバー92の内面との間に、熱伝導性樹脂材70等を充填する放熱構造を設けることが好ましい。

30

【0069】

以上のように構成される高周波モジュール装置1においては、上述したように、第1の誘電絶縁層30上に誘電絶縁材料の流れを抑制する流動抑制部33が形成されることにより、第2の誘電絶縁層31の厚みが部分的に大となる肉厚部36が形成される。高周波モジュール装置1においては、第2の誘電絶縁層31の肉厚部36の上方にインダクタ部25が形成されていることから、インダクタ部25とグラウンド部を構成する第3のパターン配線層17との距離が大となる。したがって、高周波モジュール装置1においては、第3のパターン配線層17のインダクタ部25に対する寄生容量の影響が低減されることから、インダクタ部25のインダクタンスのQ値の劣化が抑制される。なお、高周波モジュール装置1においては、肉厚部36の上方に形成される受動素子をインダクタ部25にすることに必ずしも限定されず、例えば、キャパシタ素子、レジスタ素子、分布定数素子等を形成してもこれらの受動素子に対する寄生容量の影響を低減することが可能である。

40

【0070】

高周波モジュール装置1においては、メッキ法により厚膜形成された金属膜からなる流動抑制部33が形成されている。このため、流動抑制部33は、ベース基板部2及び高周波素子層部4の金属配線層と電氣的に接続させた場合、配線として機能させてもよい。こ

50

れにより、高周波モジュール装置 1 においては、流動抑制部 3 3 を配線として例えば受動素子等の電源供給配線をして用いることができることから、余剰な配線を削減でき小面積化、小型化が図られる。

【 0 0 7 1 】

高周波モジュール装置 1 において、流動抑制部 3 3 が、図 2 2 に示すように、インダクタ部 2 5 を形成する領域の周囲を囲む略矩形をなす枠状に形成されている。これにより、流動抑制部 3 3 は、第 2 の誘電絶縁層 3 1 を形成する際に、インダクタ部 2 5 が形成される領域に肉厚部 3 6 が適切に形成されるように誘電絶縁材料の流れを抑制する。また、流動抑制部 3 3 は、インダクタ部 2 5 を形成する領域の周囲を囲む形状が略矩形をなす枠状であることに必ずしも限定されるものでなく、例えば図 2 3 乃至図 2 5 に示すようなインダクタ部 2 5 が形成される領域で誘電絶縁材料の流れを抑制する枠の周壁が不連続に形成される流動抑制部 3 3 a 乃至流動抑制部 3 3 c であってもよい。これにより、高周波モジュール装置 1 においては、流動抑制部 3 3 a 乃至流動抑制部 3 3 c を配線としても用いた際に、所望の配線パターンの一部を構成することができることから、小面積化、小型化が図られる。なお、流動抑制部 3 3 は、インダクタ部 2 5 が形成される領域に肉厚部 3 6 が適切に形成されるように誘電絶縁材料の流れを抑制する例えば図 2 6 に示すような略円環をなす枠状を呈する流動抑制部 3 3 d であっても良い。この流動抑制部 3 3 d は、略円環をなす枠の周壁が不連続に形成された形状であっても良いことは勿論である。

【 0 0 7 2 】

高周波モジュール装置 1 においては、配線層 3 8 とインダクタ部 2 5 との距離を大とすることなく、第 2 の誘電絶縁層 3 1 における肉厚部 3 6 だけでインダクタ部 2 5 とグランド部を構成する第 3 のパターン配線層 1 7 との距離が大となるようにしている。これにより、高周波モジュール装置 1 においては、配線層 3 8 とインダクタ部 2 5 とを電氣的に接続させるビアホール 4 4 の径を大きくすることなく小面積化、小型化が図られる。

【 0 0 7 3 】

高周波モジュール装置 1 においては、従来のように、インダクタ部 2 5 とグランド部を構成する第 3 のパターン配線層 1 7 との距離を離すためのグランド部における配線禁止領域 A を施すことがないことから、第 3 のパターン配線層 1 7 をマイクロストリップ線路のシールド、RF 電流が他の配線への干渉や不要な結合をすることを防ぐシールドとして十分に機能させることができる。また、高周波モジュール装置 1 においては、第 3 のパターン配線層 1 7 に配線禁止領域 A がなく配線の引き回しに制約がないことから小面積化、小型化が図られる。

【 0 0 7 4 】

高周波モジュール装置 1 においては、有機基材等からなるベース基板部 2 上に形成された高周波素子層部 4 がインダクタ部 2 5 と第 3 のパターン配線層 1 7 との距離を大とすることから、インダクタ部 2 5 に対するインダクタンスの Q 値の劣化を抑制するとともに、小面積化、小型化を図ることができる。これにより、高周波モジュール装置 1 においては、高周波素子層部 4 が形成されるベース基板部 2 として上述した有機基材等を用いることに必ずしも限定されることはなく、ベース基板部 2 に例えば、Si 基板、ガラス基板等を用いてもインダクタ部 2 5 に対するインダクタンスの Q 値の劣化を抑制するとともに、小面積化、小型化を図ることができる。

【 0 0 7 5 】

【 発明の効果 】

以上で説明したように、本発明によれば、ベース基板の誘電絶縁層の形成面上に流動抑制部が設けられたことにより、回転操作された状態のベース基板に滴下された誘電絶縁材料の周面へと広がる流れが流動抑制部により抑制されて、誘電絶縁層に厚みが部分的に大となる肉厚部が形成された高周波モジュール装置が得られるようになる。したがって、本発明によれば、誘電絶縁層の肉厚部上に形成された受動素子とベース基板上に形成された配線層との距離が保持され、受動素子に対する配線層からの寄生容量の影響が低減されることから、特性の良い受動素子を有する高周波モジュール装置が得られるようになる。本

10

20

30

40

50

発明によれば、受動素子を形成する領域だけが誘電絶縁層の肉厚部であることから、ベース基板及び高周波素子部の電気的な接続を担うビアの径を大きくすることなく小面積化、小型化が図られた高周波モジュール装置が得られるようになる。本発明によれば、グラウンド部に配線禁止領域を施すことなく配線の引き回しに制約がないことから小面積化、小型化が図られた高周波モジュール装置が得られるようになる。本発明によれば、高周波素子部を形成する際に、メッキ法といった簡易な厚膜形成工程を追加するだけで、簡便に高性能化及び小面積化、小型化が図られた高周波モジュール装置が得られるようになる。

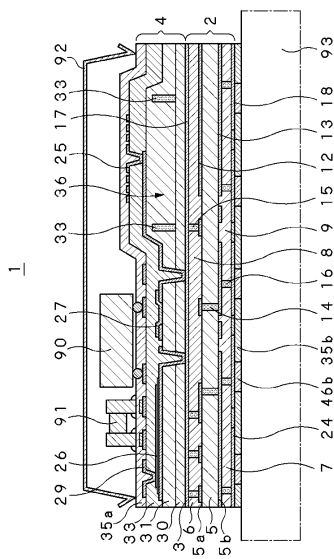
【図面の簡単な説明】

- 【図 1】本発明にかかる高周波モジュール装置の縦断面図である。
- 【図 2】同高周波モジュール装置のベース基板部製作工程図である。 10
- 【図 3】同高周波モジュール装置に用いられるコア基板の縦断面図である。
- 【図 4】コア基板のパターンニング工程説明図である。
- 【図 5】第 1 の樹脂付銅箔及び第 2 の樹脂付銅箔の接合工程説明図である。
- 【図 6】ビア形成の工程説明図である。
- 【図 7】第 1 のパターン配線層及び第 2 のパターン配線層の形成工程説明図である。
- 【図 8】第 3 の樹脂付銅箔及び第 4 の樹脂付銅箔の接合工程説明図である。
- 【図 9】第 3 の樹脂付銅箔及び第 4 の樹脂付銅箔を接合した状態の工程説明図である。
- 【図 10】第 3 の樹脂付銅箔及び第 4 の樹脂付銅箔の研磨工程説明図である。
- 【図 11】同高周波モジュール装置の高周波素子層部製作工程図である。
- 【図 12】第 1 の誘電絶縁層の形成工程説明図である。 20
- 【図 13】流動抑制部の形成工程説明図である。
- 【図 14】第 2 の誘電絶縁層の形成工程説明図である。
- 【図 15】配線層の形成工程説明図である。
- 【図 16】受動素子の形成工程説明図である。
- 【図 17】第 3 の誘電絶縁層の形成工程説明図である。
- 【図 18】配線層部の形成工程説明図である。
- 【図 19】レジスト層の形成工程説明図である。
- 【図 20】高周波モジュール装置の縦断面図である。
- 【図 21】放熱構造を備えた高周波モジュール装置の縦断面図である。
- 【図 22】高周波モジュール装置のインダクタ部の下層における流動抑制部の配置の一例を示した透視平面図である。 30
- 【図 23】高周波モジュール装置のインダクタ部の下層における流動抑制部の配置の一例を示した透視平面図である。
- 【図 24】高周波モジュール装置のインダクタ部の下層における流動抑制部の配置の一例を示した透視平面図である。
- 【図 25】高周波モジュール装置のインダクタ部の下層における流動抑制部の配置の一例を示した透視平面図である。
- 【図 26】高周波モジュール装置のインダクタ部の下層における流動抑制部の配置の一例を示した透視平面図である。
- 【図 27】スーパーヘテロダイン方式による高周波送受信回路の構成図である。 40
- 【図 28】ダイレクトコンバージョン方式による高周波送受信回路の構成図である。
- 【図 29】従来の高周波モジュールに備えられるインダクタ部の説明図であり、同図 (a) は要部斜視図、同図 (b) は要部縦断面図である。
- 【図 30】従来のシリコン基板を用いた高周波モジュールの縦断面図である。
- 【図 31】従来のガラス基板を用いた高周波モジュールの縦断面図である。
- 【図 32】従来の高周波モジュールの要部を示した縦断面図である。
- 【図 33】従来の高周波モジュールのグラウンド部に配線禁止領域が施された状態を示す要部縦断面図である。
- 【符号の説明】
- 1 高周波モジュール装置、 2 ベース基板部、 3 高周波素子層形成面、 4 高周波 50

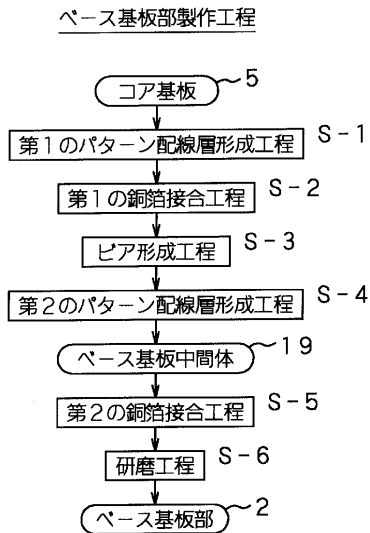
素子層部、5 コア基板、6 第1のパターン配線層、7 第2のパターン配線層、8 第1の樹脂付銅箔、9 第2の樹脂付銅箔、10 第3の樹脂付銅箔、11 第4の樹脂付銅箔、12 第1のパターン配線層、13 第2のパターン配線層、14 ビアホール、15, 16 ビア、17 第3のパターン配線層、17a ランド、18 第4のパターン配線層、19 ベース基板中間体、20a, 20b 銅箔層、21 導電ペースト、22a, 22b 開口部、23a, 23b 導電材、24 入出力端子部、25 インダクタ部、26 キャパシタ部、27 レジスタ部、28 素子形成層部、29 配線層部、30 第1の誘電絶縁層、31 第2の誘電絶縁層、32 第3の誘電絶縁層、33, 33a, 33b, 33c, 33d 流動抑制部、34 パターン配線、35a, 35b レジスト層、36 肉厚部、37 ビア、38 配線層、39, 40 窒化タンタル層、41 タンタルオキサイト層、42 上部電極、43 高周波モジュール装置中間体、44 ビアホール、45a, 45b 開口部、46a, 46b 電極端子、70 導電性樹脂材、90 高周波IC、91 チップ部品、92 シールドカバー、93 マザー基板

10

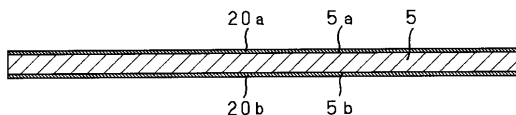
【図1】



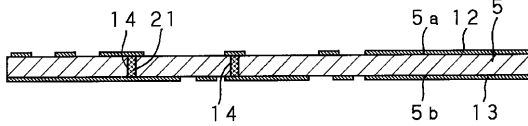
【図2】



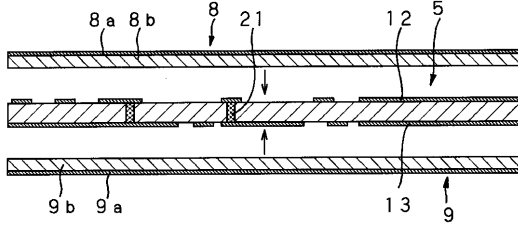
【図3】



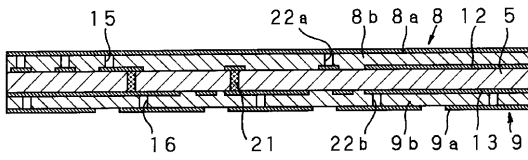
【図4】



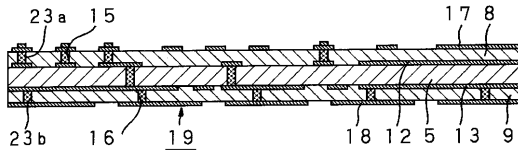
【図5】



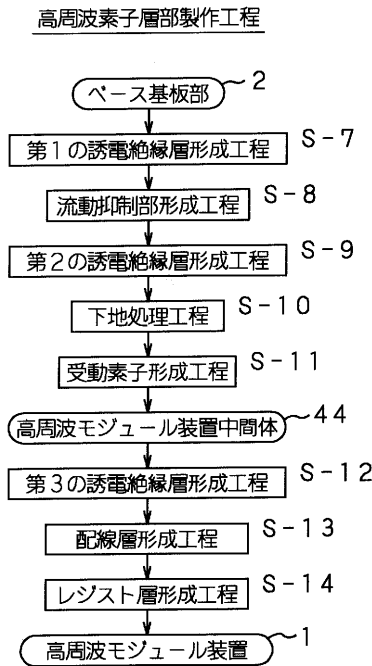
【図6】



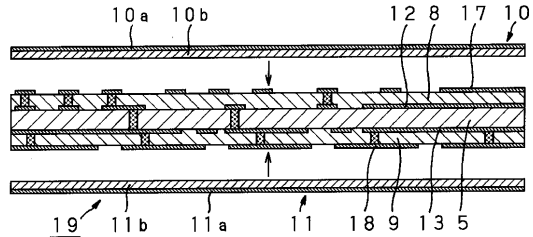
【図7】



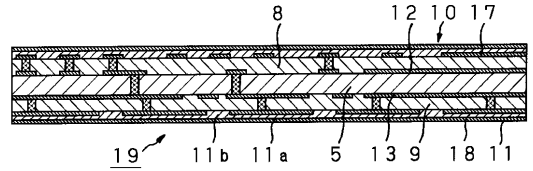
【図11】



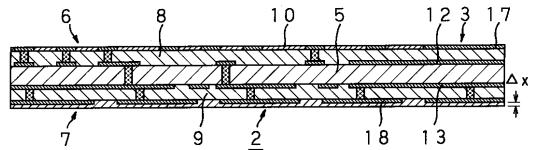
【図8】



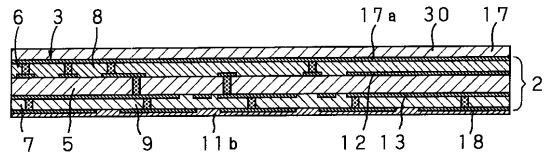
【図9】



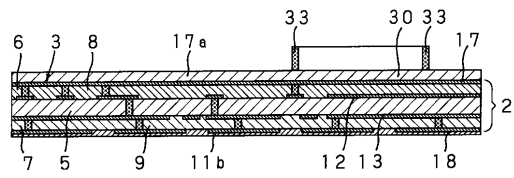
【図10】



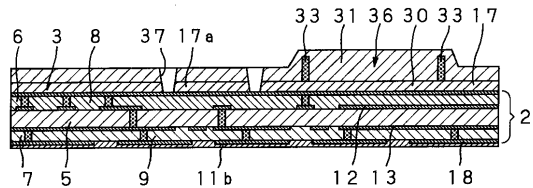
【図12】



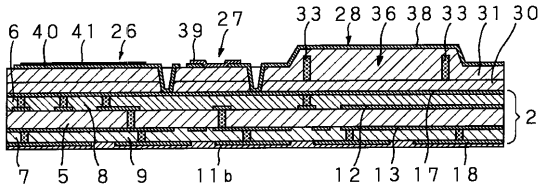
【図13】



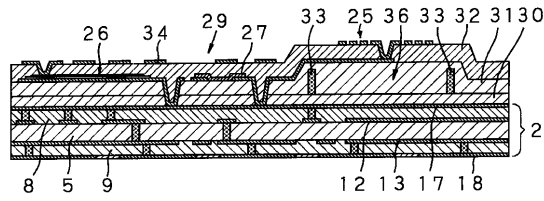
【図14】



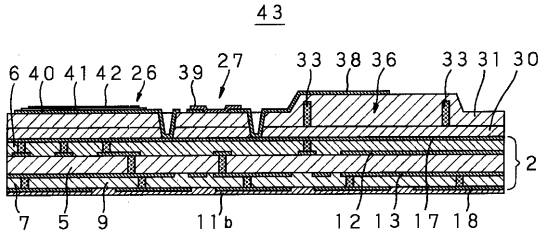
【図15】



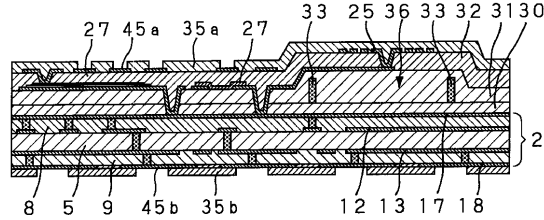
【図18】



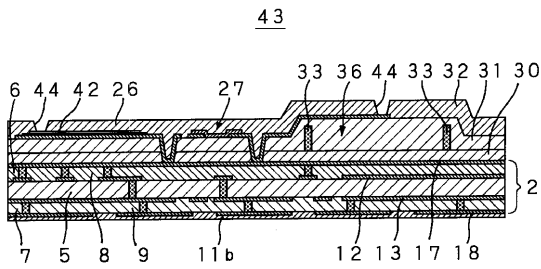
【図16】



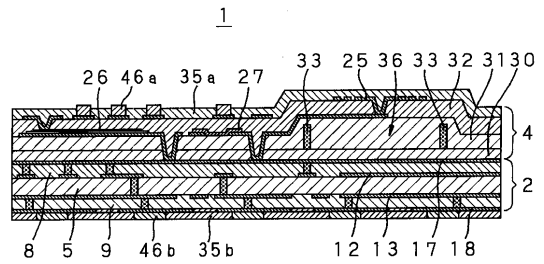
【図19】



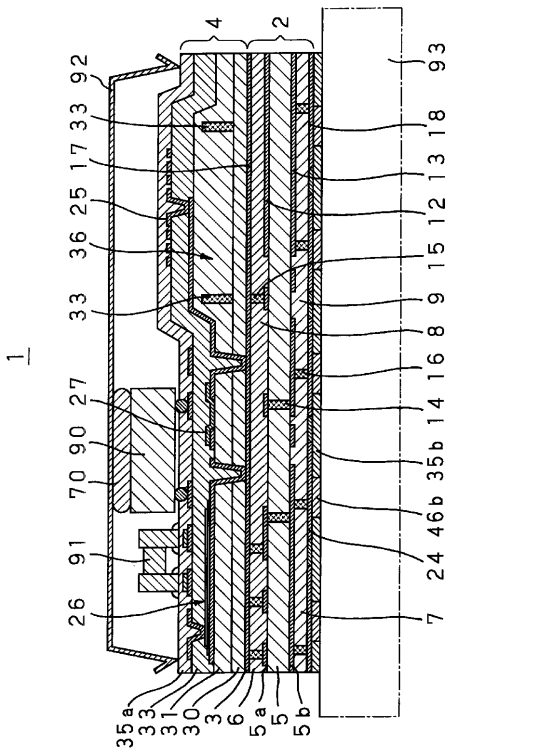
【図17】



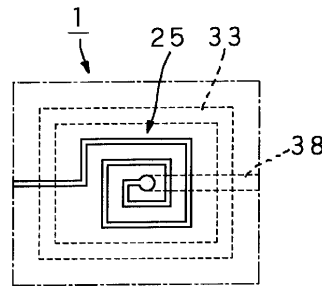
【図20】



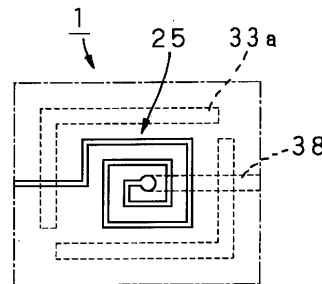
【図21】



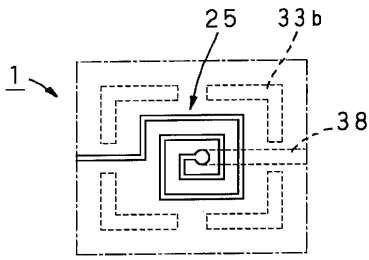
【図22】



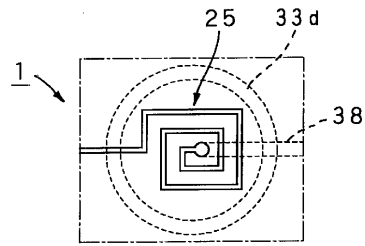
【図23】



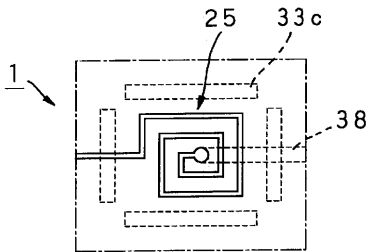
【図 24】



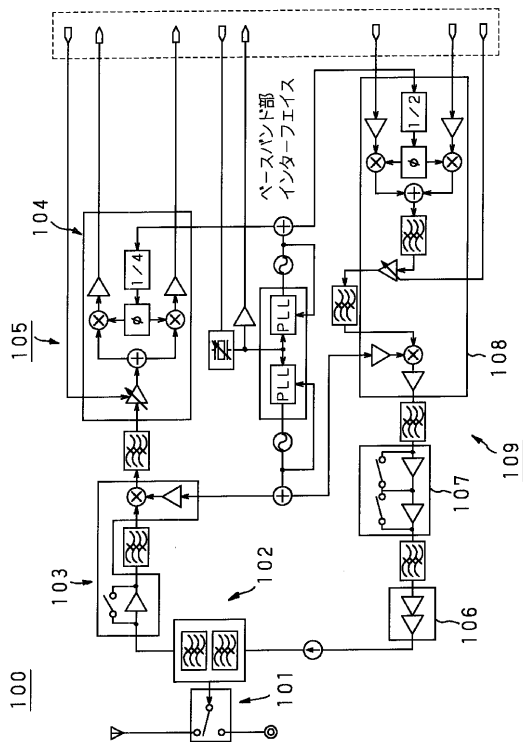
【図 26】



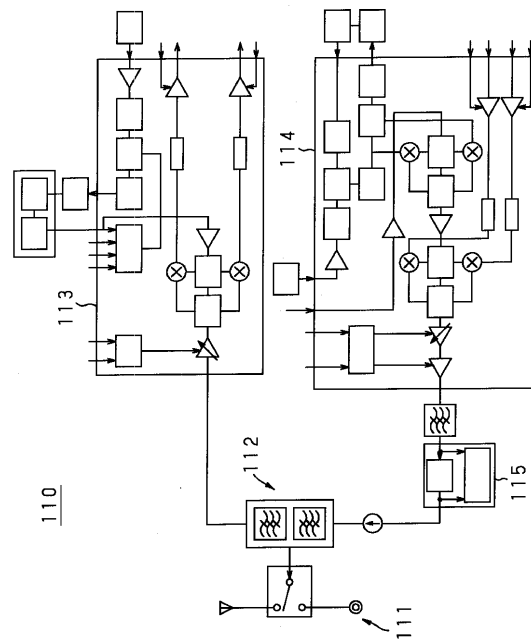
【図 25】




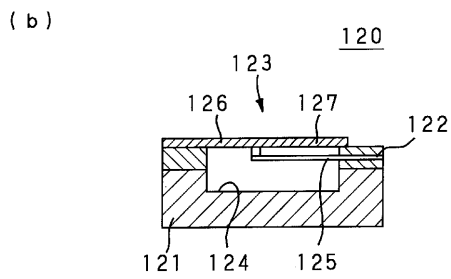
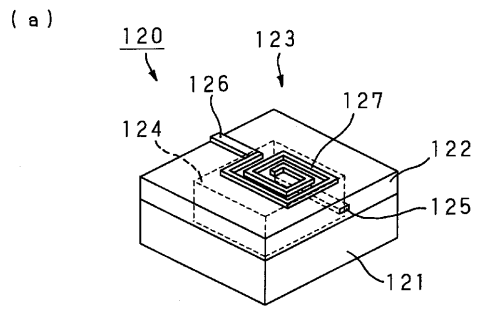
【図 27】




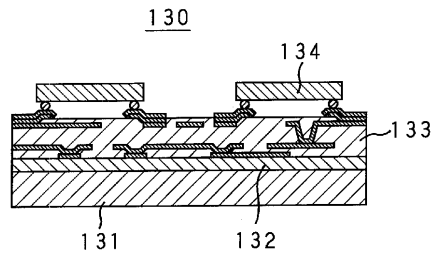
【図 28】




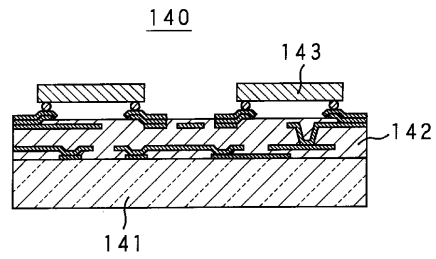
【 29】




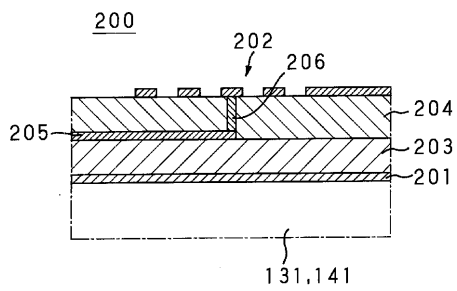
【 30】




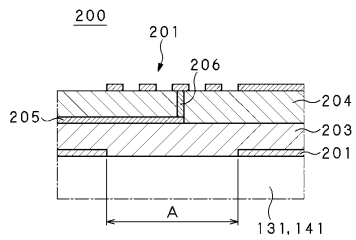
【 31】



【 32】



【 33】



フロントページの続き

(72)発明者 小川 剛
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 原 泰造

(56)参考文献 実開昭57-108316(JP,U)
特開平06-120659(JP,A)
特開平08-032244(JP,A)
特開2001-028474(JP,A)
実開昭57-075715(JP,U)
特開平05-235554(JP,A)

(58)調査した分野(Int.Cl., DB名)
H05K 3/46
H01F 17/00