

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6200849号
(P6200849)

(45) 発行日 平成29年9月20日(2017.9.20)

(24) 登録日 平成29年9月1日(2017.9.1)

(51) Int.Cl.

H01L 21/3065 (2006.01)

F 1

H01L 21/302 105A

請求項の数 9 (全 16 頁)

(21) 出願番号 特願2014-92095 (P2014-92095)
 (22) 出願日 平成26年4月25日 (2014.4.25)
 (65) 公開番号 特開2015-211139 (P2015-211139A)
 (43) 公開日 平成27年11月24日 (2015.11.24)
 審査請求日 平成28年12月2日 (2016.12.2)

(73) 特許権者 501387839
 株式会社日立ハイテクノロジーズ
 東京都港区西新橋一丁目24番14号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 栗原 優
 東京都港区西新橋一丁目24番14号 株式会社日立ハイテクノロジーズ内
 (72) 発明者 森 政士
 東京都港区西新橋一丁目24番14号 株式会社日立ハイテクノロジーズ内
 (72) 発明者 荒瀬 高男
 東京都港区西新橋一丁目24番14号 株式会社日立ハイテクノロジーズ内

最終頁に続く

(54) 【発明の名称】 プラズマ処理装置およびドライエッチング方法

(57) 【特許請求の範囲】

【請求項 1】

プラズマを用いてウェハが処理されるプラズマ処理室と、
 前記プラズマを生成するための第一の高周波電力を供給する第一の高周波電源と、
 前記ウェハが載置される試料台に第二の高周波電力を供給する第二の高周波電源と、を
 備え、
 前記ウェハの被エッチング膜上にパターニングされたマスクの歪み量と前記ウェハへの
 入熱量との相関データに基づいて求められた前記第二の高周波電力が、前記試料台に供給
 される、プラズマ処理装置。

【請求項 2】

請求項1記載のプラズマ処理装置において、
 エッチング中の前記ウェハへの入熱量を求める機構、をさらに備え、
 前記機構により求められた前記ウェハへの入熱量に基づいて前記被エッチング膜のエッ
 チング時間を求め、前記エッチング時間の間は、前記被エッチング膜がエッチングされる
 、プラズマ処理装置。

【請求項 3】

請求項2記載のプラズマ処理装置において、
 前記機構は、温度センサであり、
 前記温度センサによって得られた温度の積算値を、前記エッチング時間を求めるための
 入熱量とする、プラズマ処理装置。

【請求項 4】

プラズマを用いてウェハをエッチングするドライエッチング方法であって、
前記ウェハの被エッチング膜上にパターニングされたマスクの歪み量と前記ウェハへの
入熱量との相関データに基づいて求められた高周波電力を、前記ウェハが載置される試料
台上に供給することにより、前記被エッチング膜をエッチングする、ドライエッチング方法
。

【請求項 5】

請求項 4 記載のドライエッチング方法において、
エッチング中の前記ウェハへの入熱量を求める、
求められた前記ウェハへの入熱量に基づいて前記被エッチング膜のエッチング時間を求
める、ドライエッチング方法。

【請求項 6】

請求項 5 記載のドライエッチング方法において、
エッチング中の前記ウェハへの入熱量を、温度センサによって得られた温度の積算値と
する、ドライエッチング方法。

【請求項 7】

請求項 5 記載のドライエッチング方法において、
エッチング中の前記ウェハへの入熱量を、前記プラズマの発光スペクトルの変化量から
求める、ドライエッチング方法。

【請求項 8】

請求項 5 記載のドライエッチング方法において、
エッチング中の前記ウェハへの入熱量を、光を用いる寸法計測法により得られた測定対
象の計測値から求める、ドライエッチング方法。

【請求項 9】

請求項 4 記載のドライエッチング方法において、
前記高周波電力は、第一の高周波電力と、第二の高周波電力と、を有し、
前記高周波電力が供給される期間は、前記第一の高周波電力が供給される第一の期間と
、前記第一の期間の後、前記第二の高周波電力が供給される第二の期間と、を有し、
前記第一の高周波電力を 0 W 以上、かつ、前記第二の高周波電力の電力値以下とする、
ドライエッチング方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プラズマ処理装置およびドライエッチング方法に関する。

【背景技術】

【0002】

本技術分野の背景技術として、国際特許公開 WO 13 / 118660 号公報（特許文献 1）がある。この公報には、基板上に比誘電率の異なる第 1 の膜および第 2 の膜が交互に積層された多層膜をプラズマによりエッチングし、多層膜に所定形状の穴または溝を形成するための半導体製造装置の製造方法が記載されている。この半導体製造装置の製造方法は、多層膜を C_4F_8 と $HB\gamma$ を含む混合ガスを用いたエッチングを実行する第 1 の工程と、多層膜をガス比を変更した C_4F_8 と $HB\gamma$ を含む混合ガスを用いたエッチングを実行する第 2 の工程と、第 2 の工程後、多層膜の下地層に穴または溝が到達するまでオーバーエッチングを実行する第 3 の工程とを含んでいる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】国際特許公開 WO 13 / 118660 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【0004】

例えば3次元構造のメモリ素子を有するフラッシュメモリでは、A C L (Amorphous Carbon Layer: アモルファスカーボン層)をマスクに用いたエッティングによって、互いに比誘電率の異なる第1の膜と第2の膜とを交互に積層した多層膜(ペア層、積層膜などとも言う)にホール(穴)またはトレンチ(溝)が形成されている。しかし、この際、マスクの高さ不足および変形、またはマイクロローディングなどにより、所望する形状のホールまたはトレンチが形成できないという問題があった。

【0005】

そこで、本発明は、被エッティング膜に所望する形状のホールまたはトレンチを形成することができるプラズマ処理装置およびドライエッティング方法を提供する。

10

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明は、試料台上にウェハを載置し、ウェハの主面上に形成された被エッティング膜を、パターニングされたマスクを用いてエッティングするプラズマ処理装置において、予め求められた、マスクの歪み量とウェハへの入熱量との相関データに基づいて、試料台に供給される高周波電力を設定する。

【0007】

また、本発明は、ウェハの主面上に形成された被エッティング膜を、パターニングされたマスクを用いてプラズマによりエッティングして、被エッティング膜にホールまたはトレンチを形成するドライエッティング方法において、予め求められた、マスクの歪み量とウェハへの入熱量との相関データに基づいて、ウェハを搭載する試料台に供給される高周波電力を設定する。

20

【発明の効果】

【0008】

本発明によれば、被エッティング膜に所望する形状のホールまたはトレンチを形成することができるプラズマ処理装置およびドライエッティング方法を提供することができる。

【0009】

上記した以外の課題、構成および効果は、以下の実施の形態の説明により明らかにされる。

【図面の簡単な説明】

30

【0010】

【図1】本実施例による平行平板型の有磁場VHFドライエッティング装置の概略図である。

【図2】本実施例によるエッティング前の被エッティング膜の構造を示す要部断面図である。【図3】(a)、(b)および(c)はそれぞれ、比較例として示すマスクの高さが不足した場合のエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストップ膜に形成されたホールの底部の形状を示す平面図である。

【図4】(a)、(b)および(c)はそれぞれ、比較例として示すマスクに歪みが発生した場合のエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストップ膜に形成されたホールの底部の形状を示す平面図である。

40

【図5】(a)、(b)および(c)はそれぞれ、比較例として示すマイクロローディングが発生した場合のエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストップ膜に形成されたホールの底部の形状を示す平面図である。

【図6】マスクの歪み(長径/短径)と規格化されたマスクへの入熱量との関係を示すグラフ図である。

【図7】(a)、(b)および(c)はそれぞれ、マスクの歪み(長径/短径)が1.0、0.9および0.6の場合のエッティング後のマスクの形状を示す平面図である。

50

【図8】規格化されたエッティングレートと規格化されたホールのアスペクト比との関係を示すグラフ図である。

【図9】本実施例による最適なエッティング条件を解析する手順を示す工程図である。

【図10】本実施例による被エッティング膜のエッティングの手順を示す工程図である。

【図11】(a)、(b)および(c)はそれぞれ、本実施例によるエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストップ膜に形成されたホールの底部の形状を示す平面図である。

【発明を実施するための形態】

【0011】

10

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0012】

また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0013】

また、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

20

【0014】

また、「Aからなる」、「Aよりなる」、「Aを有する」、「Aを含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0015】

また、以下の実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、以下の実施の形態において、窒化シリコン、窒化ケイ素またはシリコンナイトライド等というときは、 Si_3N_4 は勿論であるが、それのみではなく、シリコンの窒化物で類似組成(例えば化学量論的組成からずれた組成)の絶縁膜を含むものとする。また、酸化シリコンまたは酸化珪素等というときも、 SiO_2 は勿論であるが、それのみでなく、シリコンの酸化物で類似組成(例えば化学量論的組成からずれた組成)の絶縁膜を含むものとする。

30

【0016】

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本実施の形態を図面に基づいて詳細に説明する。

40

【0017】

近年、フラッシュメモリの高集積化に伴い、チャネルまたはゲート電極を鉛直方向に積層化するという3次元構造のメモリ素子が検討されている。このような3次元構造のメモリ素子を実現するためには、多結晶シリコン膜と酸化シリコン膜、または窒化シリコン膜と酸化シリコン膜とを交互に積層した多層膜に対して、高アスペクト比のホールまたはトレンチを形成することのできるエッティング技術が必要である。特に、フラッシュメモリに適用される3次元構造のメモリ素子では、チャネル用のホールを形成する際、電界集中を減らすための真円形状で、かつ特性ばらつきを軽減するための垂直な円柱形状のホールを実現するためのエッティングが要求される。

【0018】

50

しかし、詳細は後述するが（後述の2.多層膜のエッチング方法の課題参照）、エッチングの際に用いるマスクの高さが不足する問題が発生する。また、この問題を解決するためにマスク選択比を改善するとマスクに堆積物が付着し、堆積物への入熱によりマスクが変形して、ホールの形状が真円形状からずれるという問題が発生する。さらに、堆積物への入熱を抑制するためにウェハに印加するバイアスを低減すると、マイクロローディングが発生し、ホールの径および深さのばらつきが生じて、メモリ素子の特性ばらつきが悪化するという問題が発生する。

【0019】

本実施例によるプラズマ処理装置およびドライエッチング方法によれば、これらの問題を解決して、多層膜に所望する形状のホールまたはトレーニチを形成することができる。

10

【実施例】

【0020】

ドライエッチング装置の構成

本実施例によるプラズマ処理装置を図1を用いて説明する。図1は、本実施例による平行平板型の有磁場VHF (Very High Frequency) ドライエッチング装置の概略図である。

【0021】

有磁場VHF ドライエッチング装置における真空容器は、プラズマ処理室としてのエッチングチャンバー（処理室、プラズマ処理室とも言う）206と、VHF 放射アンテナ211と、真空ポンプ（図示は省略）と、圧力制御バルブ（図示は省略）とを備えている。

20

【0022】

エッチング用のガスは、マスフローコントローラ（図示は省略）およびストップバルブ（図示は省略）を通過した後、第1ガス導入口207と、第2ガス導入口209とを通して、シャワープレート212の同心円状にエッチングチャンバー206の内部へ導入される。このようにエッチングチャンバー206の内部へ導入されたエッチング用のガスがプラズマ発生手段により照射された電磁波のエネルギーによって解離されて、プラズマが生成し、維持される。

【0023】

プラズマ発生手段は、200MHz のVHF 波のソース用電源（第1高周波電源）201と、ソース電磁波用整合器202と、第1電磁石204および第2電磁石205からなる磁場発生手段とを有している。第1電磁石204および第2電磁石205を用いて、プラズマ生成分布は均一化される。発生磁場はシャワープレート212近傍で10mT 以下である。

30

【0024】

ウェハ213を載置するウェハステージ（試料台とも言う）216は、ウェハ213の載置面の外周側および側壁を覆って配置されたリング形状のフォーカスリング214と、サセプタ215とを備えており、ウェハステージ216の複数部分は、複数の温度制御手段等（図示は省略）を用いて、互いに異なる所定の温度にそれぞれ制御される。ウェハステージ216には、プラズマ中からウェハ213にイオンを引き込み、そのイオンエネルギーを制御するための4MHz のRFバイアス電源（第2高周波電源）219と、RFバイアス整合器217とが接続されている。

40

【0025】

RFバイアス電源219には、2レベルでTM (Time Modulation) バイアスの発振が可能な電源を用いた。これにより、12インチ径のウェハ213に対して、連続正弦波時相当で最小電力1W程度から最大電力6kW程度の出力ができ、かつ、チャージアップダメージ（電子シューディング）の低減および垂直加工性の効果を得ることができる。RFバイアス電源219は0.1~10kHz の範囲で、高バイアスパワーと低バイアスパワーという2レベルの電力と、それぞれの期間を設けることが可能であり、低バイアスパワーは0Wから高バイアスパワーまでの範囲で設定することが可能である。また、高バイアスパワーの時間（t1）と1周期時間（t2）との比（t1/t2）をDuty比と定義

50

し、T Mバイアスの周期とD u t y比とを用いて高バイアスパワーおよび低バイアスパワーのそれぞれの時間を制御する。

【0026】

また、有磁場V H Fドライエッティング装置には、プラズマを透過するバイアス電流のV H F放射アンテナ211への割合を制御するバイアス経路制御機構220が備わっており、バイアス経路制御機構220によって、プラズマの分布をより高精度に制御することが可能である。さらに、T Mバイアスの高バイアスパワーと低バイアスパワーとに応じたプラズマインピーダンスの変化に追随して放電を安定化させるために、ソース電磁場用整合器202およびバイアス経路制御機構220には、R Fバイアス電源219から周期情報が入力される。

10

【0027】

なお、図中、符号203で示す部位はフィルタユニット、符号208で示す部位は石英天板、符号210で示す部位はガス分配プレート、符号218で示す部位はE S C (Electro Static Chucks)用直流電源である。

【0028】

多層膜のエッティング方法

1. 被エッティング膜の構造

図2は、本実施例によるエッティング前の被エッティング膜の構造を示す要部断面図である。

【0029】

20

図2に示すように、ウェハ基板101の主面上にストッパ膜102が形成されている。ストッパ膜102は、例えば酸化シリコン膜である。ストッパ膜102上には、酸化シリコン膜103と窒化シリコン膜104とが交互に積層された多層膜108が形成されている。酸化シリコン膜103の層数は、例えば11層、窒化シリコン膜104の層数は、例えば12層であり、酸化シリコン膜103および窒化シリコン膜104のそれぞれの厚さは、例えば15～40nmである。さらに、多層膜108上には、キャップ酸化シリコン膜105が形成され、キャップ酸化シリコン膜105上には、キャップ窒化シリコン膜106が形成されている。キャップ酸化シリコン膜105およびキャップ窒化シリコン膜106のそれぞれの厚さは、例えば50～150nmである。

【0030】

30

キャップ窒化シリコン膜106上には、パターニングされた炭素を含有するA C L 107からなるマスクが形成されている。このパターニングされたA C L 107をマスクとして、キャップ窒化シリコン膜106、キャップ酸化シリコン膜105および多層膜108はエッティングされる。本実施例による被エッティング膜は、キャップ窒化シリコン膜106、キャップ酸化シリコン膜105および多層膜108であり、窒化シリコン膜と酸化シリコン膜とを交互に積層した構造であるが、これは一例であって、この構造に限定されるものではない。例えば多結晶シリコン膜と酸化シリコン膜とを交互に積層した構造であってもよい。

【0031】

2. 多層膜のエッティング方法の課題

40

まず、本実施例による多層膜のエッティング方法がより明確になると思われるため、本発明者らが見出した多層膜にホールを形成するエッティングにおいて生じる不具合について図3～図5を用いて説明する。図3(a)、(b)および(c)はそれぞれ、比較例として示すマスクの高さが不足した場合のエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストッパ膜に形成されたホールの底部の形状を示す平面図である。図4(a)、(b)および(c)はそれぞれ、比較例として示すマスクに歪が発生した場合のエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストッパ膜に形成されたホールの底部の形状を示す平面図である。図5(a)、(b)および

50

(c) はそれぞれ、比較例として示すマイクロローディングが発生した場合のエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストップ膜に形成されたホールの底部の形状を示す平面図である。

【0032】

図3～図5には、ウェハ基板101の主面上に順次形成されたストップ膜102、多層膜108、キャップ酸化シリコン膜105およびキャップ窒化シリコン膜106を、ACL107をマスクとしてエッティングした後の被エッティング膜の形状が示されている。エッティングガスには、フルオロカーボン、例えばCH_xF_y系ガスを含む混合ガスを用いた。

【0033】

図3(a)、(b)および(c)に示すように、マスクの高さが不足した場合は、マスクの残り量の不足によるキャップ窒化シリコン膜106の肩落ちが発生し、また、多層膜108がテーパ形状となるという問題が発生する。

【0034】

そこで、マスク選択比を改善するために、CH_xF_y比を増加したエッティングガスを用いて被エッティング膜をエッティングした。その結果を図4(a)、(b)および(c)に示す。

【0035】

図4(a)、(b)および(c)に示すように、CH_xF_y比を増加したエッティングガスを用いることにより、マスクの上面に堆積物が付着するので、ストップ膜102まで被エッティング膜をエッティングしてもマスクの高さは十分に残っている。しかし、プラズマからの入熱のため、マスクの上面に付着した堆積物の応力が変化してマスクの形状が変形する。その結果、ホールの形状に歪みが発生する。

【0036】

そこで、次に、プラズマからの入熱を抑制するために、ウェハに印加するバイアスを低減した。その結果を図5(a)、(b)および(c)に示す。

【0037】

図5(a)、(b)および(c)に示すように、ウェハに印加するバイアスを低減することにより、マスクの高さは十分に残り、また、ホールの形状に歪みは発生しない。しかし、ウェハに印加するバイアスが低減すると、イオンエネルギーが低下したことに伴ってマイクロローディングが顕在化し、ホールの径および深さのばらつきが増大する。

【0038】

以上のことから、多層膜108にホールを形成するエッティングにおいては、ホールの形状の歪み(真円度: Distortion)、ホールの径および深さのばらつき(Intra-loading)並びにホールの垂直性を満たすように、エッティング条件を設定することが必要であることが分かる。

【0039】

ところで、ホールの形状の歪みの原因としては、プラズマを用いたエッティングによるマスクの変形が考えられる。特に、マスクに付着したC(炭素)系堆積物へのプラズマからの入熱が、マスクの変形の主原因であると考えられる。

【0040】

図6は、マスクの歪み(長径/短径)と規格化されたマスクへの入熱量との関係を示すグラフ図である。図6では、マスクに形成されたホールの長径と短径との比をマスクの歪みとし、ホールの径の設計寸法をパラメータとしている。図7(a)、(b)および(c)はそれぞれ、マスクに形成されたホールの歪み(長径/短径)が1.0、0.9および0.6の場合のエッティング後のマスクの形状を示す平面図である。

【0041】

図6および図7に示すように、処理時間またはイオンエネルギーの増加によってマスクへの入熱量が増加すると、マスクに形成されたホールの歪みは悪化する傾向にある。また、マスクに形成されたホールの歪みは、パターンレイアウト、例えばホールの径または隣

10

20

30

40

50

り合うホール間の距離にも大きく依存する。

【0042】

このため、ホールの歪みの悪化を抑制するためには、ウェハに印加するバイアスを低くしてエッティングを実施することが望ましい。しかし、ウェハに印加するバイアスを低くすると処理時間が長くなるため、積算入熱量を調整する必要がある。また、O₂の添加量を調整することによってC(炭素)系堆積物を削減する方法もあるが、同時にマスク選択比が低下する。

【0043】

従って、ホールの歪みの悪化を抑制するためには、C(炭素)系堆積物の量を制御しつつ低イオンエネルギーでエッティングすることが望ましい。しかし、この場合は、ホールの径またはホールのアスペクト比に対するエッティングレートの依存性、すなわちマイクロローディングとの両立が必要となる。

【0044】

プラズマを用いたエッティングでは、エッティング面に対する等方性ラジカル入射および異方性イオン入射によってエッティングが進行する。そのため、ホールのアスペクト比が高い場合、具体的にはエッティングの進行によりホールが深くなる場合、またはそれぞれが互いに異なる設計寸法を有する複数のホールの中でホールの径が小さい場合などは、エッティング面に入射する等方性ラジカルの入射量が減少して、エッティングレートが低下する。

【0045】

図8は、規格化されたエッティングレートと規格化されたホールのアスペクト比との関係を示すグラフ図である。図8では、ウェハに印加するバイアスをパラメータとしている。

【0046】

図8に示すように、エッティングレートはホールのアスペクト比に依存しており、ホールのアスペクト比が増加するに従って減少する。これがマイクロローディングである。設計寸法が同じであってもプロセス工程の影響、例えば露光マスクにおける寸法ばらつき、被エッティング膜の厚さばらつき、被エッティング膜の表面粗さなどにより、ホールの径にはばらつきが存在する場合、このばらつきに起因してホールの深さにはばらつきが発生する。これをintra-loadingという。

【0047】

特に、プラズマを用いたエッティングでは、ホールの形成が矩形の断面形状ではなく先細りの断面形状となって、エッティングが進行していく。このため、intra-loadingが存在する場合には、ホールの深さがばらつくだけでなく、ストップ膜に到達するタイミングが異なることから、前記図5に示したように、ストップ膜に形成されるホールの底部の径(ボトム径)もばらつく。このintra-loadingを低減するには、エッティング反応のイオン性を増加する必要がある。つまり、ウェハに印加するバイアスを増加して、イオンエネルギーを高くする必要がある。しかし、これは先のホールの歪みと相反する事象となり、また、マスク選択比も低下する傾向となる。

【0048】

以上、説明したように、フルオロカーボンを含む混合ガスを用いた多層膜のエッティングでは、ホールの歪みおよびintra-loadingを抑制すること、さらには、同時に所望するマスク選択比を得ることが要求される。このためには、イオンエネルギーを制御するウェハに印加するバイアス、および処理時間の最適化が重要となる。

【0049】

3. 本実施例における基本思想

本実施例では、複数のステップに分けてエッティングを行う。この場合、まず、「第1ステップ」では、ホールの歪みを抑制し、かつ高マスク選択比が得られる条件、すなわち低イオンエネルギーの条件を適用してエッティングを行う。しかし、エッティングが進行してホールが深くなるに従ってintra-loadingが顕著になる。そこで、「第2ステップ」として、高イオンエネルギーの条件を適用してエッティングを行う。高イオンエネルギーは、例えばウェハに印加するバイアスを増加することにより実現することができる。intra-loadin

10

20

30

40

50

gが顕著になる前にホールの歪みが悪化する場合には、intra-loadingが顕著になる前に「第2ステップ」に移行してもよい。この2つのステップの切り替えにより、ホールの歪みおよびintra-loadingを低減することができる。また、マスク選択比を確保する、またはホールの歪みをさらに低減する場合には、「第3ステップ」として、ウェハに印加するバイアスを時間変調してもよい。

【0050】

4. 本実施例における多層膜のエッチング条件の設定方法

本実施例による最適なエッチング条件（ウェハに印加するバイアスおよび処理時間）を解析する手順について図9を用いて説明する。図9は、本実施例による最適なエッチング条件を解析する手順を示す工程図である。イオンエネルギーはウェハに印加するバイアス（以下、単にウェハバイアスと記す）によって制御される。本実施例では、図9に示す手順に従って最適なエッチング条件を決定し、そのエッチング条件を使用してエッチングを行う。なお、ウェハに印加するバイアスとは、具体的には、前記図1に示す有磁場VHFドライエッチング装置に備わるRFバイアス電源219からウェハステージ216へ印加されるバイアスである。

10

【0051】

（工程S1）まず、ホールの径およびピッチなどの被エッチング膜のパターンレイアウト情報を入力する。

【0052】

（工程S2）次に、被エッチング膜の構造の情報、特にマスク（例えば前記図2に示すACL107）の厚さおよび多層膜の膜厚（例えば前記図2に示す酸化シリコン膜103および窒化シリコン膜104の各膜厚）などを入力する。

20

【0053】

（工程S3）次に、マスクの歪み量およびマスクへの入熱量のデータベースを参照して、被エッチング膜のパターンレイアウトにおいてマスクに歪みが発生しない最大入熱量 Q_0 を算出する。

【0054】

（工程S4）次に、「第1ステップ」のウェハバイアス W_1 および「第2ステップ」のウェハバイアス W_2 の初期値を設定する。ここで、「第1ステップ」のウェハバイアス W_1 は「第2ステップ」のウェハバイアス W_2 よりも小さい（ $W_1 < W_2$ ）。

30

【0055】

（工程S5）次に、マイクロローディングのデータベースを参照して、ウェハバイアス W_1 , W_2 においてマイクロローディングが悪化する最大アスペクト比を見積もる。なお、ウェハバイアス W_2 においてマイクロローディングが悪化する最大アスペクト比は、設計仕様のアスペクト比以上であることが望ましいので、ウェハバイアス W_2 においてもマイクロローディングが悪化する最大アスペクト比を見積もる。しかし、本実施例では、ウェハバイアス W_2 においてマイクロローディングが悪化する最大アスペクト比は、必ずしも設計仕様のアスペクト比以上でなければならないということではない。また、エッチングレートのデータベースを参照して、ホールの径と最大アスペクト比から、「第1ステップ」の処理時間 T_1 を算出する。

40

【0056】

（工程S6）次に、被エッチング膜の構造から、「第2ステップ」でホールがストップ膜（例えば前記図2に示すストップ膜102）に到達する「第2ステップ」の処理時間 T_2 を算出する。

【0057】

（工程S7）次に、「第1ステップ」のウェハバイアス W_1 および処理時間 T_1 、並びに「第2ステップ」のウェハバイアス W_2 および処理時間 T_2 から積算入熱量 Q を算出する。そして、この積算入熱量 Q が最大入熱量 Q_0 よりも大きい場合には、ウェハバイアス W_1 , W_2 の初期の設定値を変更して、前記工程S3～工程S6を繰り返す。

【0058】

50

(工程S8) 次に、エッチングレートのデータベースを参照して、「第2ステップ」が終わった場合のマスクの高さを算出する。マスクの高さの残り量が十分でない場合には、ウェハバイアスW₁, W₂の初期の設定値を変更して、前記工程S3～工程S7を繰り返す。

【0059】

(工程S9) マスクの高さの残り量が十分である場合には、「第1ステップ」のウェハバイアスW₁および処理時間T₁、並びに「第2ステップ」のウェハバイアスW₂および処理時間T₂を確定する。

【0060】

(工程S10) さらに、ホールの径を拡大する必要がある場合は、オーバーエッチングとして「第3ステップ」を追加する。 10

【0061】

本実施例において算出された、「第1ステップ」、「第2ステップ」および「第3ステップ」のエッチング条件の一例を以下に示す。

【0062】

「第1ステップ」のエッチング条件は、[ガス比] CH₂F₂ : C₄F₆ : O₂ = 12 : 10 : 13、[圧力] P_{re1} = 2 Pa、[ウェハバイアス] W₁ = 1.6 kW、[処理時間] T₁ = 650秒である。

【0063】

「第2ステップ」のエッチング条件は、[ガス比] CH₂F₂ : C₄F₆ : O₂ = 12 : 10 : 13 [圧力] P_{re2} = 2 Pa、[ウェハバイアス] W₂ = 3.5 kW、[処理時間] T₂ = 650秒である。 20

【0064】

「第3ステップ」のエッチング条件は、[ガス比] CH₂F₂ : C₄F₆ : O₂ : NF₃ = 11 : 11 : 10 : 4、[圧力] P_{re3} = 0.6 Pa、[ウェハバイアス] W_{hi}g_h / W_{low} = 3.5 kW / 0.5 kW (TMバイアス: f = 0.5 Hz、Duty比 = 90%)、[処理時間] T₃ = 440秒である。

【0065】

本実施例では、CH_xF_y系ガスと酸素含有ガスとの混合ガスを用いる。CH_xF_y系ガスはエッチングガス堆積性を有し、CH_xF_y系ガスとしては、CHF₃、CH₂F₂、CH₃F、C₂HF₅、C₂H₂F₄、C₂H₃F₃、CH₄、CH₃OH、C₂H₅OH、C₂H₂F₄、CF₄、C₂F₆、C₃F₈、C₄F₆、C₄F₈、C₅F₈等が使用される。また、酸素含有ガスとしては、O₂、CO₂、CO、CO₂S等が使用される。また、添加ガスとして、例えばNF₃、SF₆などのフッ素含有ガスを使用してもよい。また、希釈ガスとして、例えばAr、Heなどの希ガスまたはN₂などのガスを使用してもよい。 30

【0066】

また、ここでは、高バイアスパワーのDuty比を90%としたが、50%以上、95%以下の範囲で設定することができる。

【0067】

5. 本実施例における多層膜のエッチング方法

本実施例による多層膜のエッチング方法について図10を用いて説明する。図10は、本実施例による被エッチング膜のエッチングの手順を示す工程図である。本実施例では、前記図9に示す手順に従って決定された最適なエッチング条件を使用してエッチングを行う。 40

【0068】

(工程P1) まず、被エッチング膜が形成されたウェハをプラズマ処理処置(例えば前記図1に示す有磁場VHFドライエッチング装置)のエッチングチャンバーの内部へ導入する。

【0069】

(工程P2) 次に、エッティング条件に指定されたエッティングガスをエッティングチャンバーの内部へ導入し、圧力を調整する。その後、ソース用電源(第1高周波電源)により電磁波をエッティングチャンバーの内部へ導入してプラズマを生成させる。その後、エッティング条件に指定されたウェハバイアスがRFバイアス電源(第2高周波電源)からウェハを載置したウェハステージに印加されて、ウェハに形成された被エッティング膜のエッティングが開始される。

【0070】

(工程P3)、(工程P7)および(工程P8)被エッティング膜のエッティング中は、リアルタイムでエッティング状況がモニタされる。通常は、プラズマからの発光スペクトルをモニタして、特定の波長または複数の波長を解析することにより、エッティングの深さや終点判定などを行う。本実施例では、特にマスクの歪み量を把握することが必要であるため、マスクの歪み量の指標をリアルタイムでモニタする必要がある。そこで、本実施例では、ウェハ近傍に設置した温度センサのデータをリアルタイムでモニタし、積算温度からウェハへの入熱量を解析する。

10

【0071】

本実施例では、マスクの歪み量の指標を温度センサにより得られた積算温度から解析したが、これに限定されるものではない。例えばプラズマ中のC(炭素)関連の発光スペクトルの変化量をマスクの歪み量の指標とすることができる。また、例えばin-situ OCD(Optical Critical Dimension; 光を用いた寸法計測)法を適用し、そのモデルと測定対象との一致度を示す指標であるGOF(Goodness of Fit)値の変化量をマスクの歪み量の指標とすることができる。

20

【0072】

処理時間中であっても、ウェハへの入熱量(歪み量指標)がエッティング条件に指定されたステップの入熱量(閾値)を超えた場合は、ステップを終了し、次のステップへ移行する。

【0073】

(工程P4)、(工程P6)および(工程P8)また、同時に、終点判定もリアルタイムでモニタしており、処理時間中であっても、終点と判定された場合は、ステップを終了し、次のステップへ移行する。

30

【0074】

(工程P5)および(工程P8)ウェハへの入熱量(歪み量指標)がエッティング条件に指定されたステップの入熱量(閾値)を超えない場合は、指定された処理時間(最大処理時間)までエッティングを行い、その後、次のステップへ移行する。

【0075】

(工程P9)総ステップ数のエッティングを行った後、エッティングが終了する。

【0076】

(工程P10)その後、ウェハをエッティングシステムのエッティングチャンバーから搬出する。

【0077】

本実施例では、ホールの径を拡大するために「第3ステップ」を適用している。「第3ステップ」では、マスク選択比を確保するためにTMバイアスを適用する。TMバイアスではOFF周期中に堆積物が成長するため、マスク選択比が大幅に改善する。ただし、堆積物が厚くなり過ぎると、マスク歪み量が増大する懸念があるため、本実施例ではOFF周期にもTMバイアスを印加できる機能を適用した。つまり、ON/OFF駆動ではなく、高ウェハバイアスおよび低ウェハバイアスを周期的に印加できる機能を適用した。高ウェハバイアスは、例えば3.5kW、低ウェハバイアスは、例えば0.5kWである。

40

【0078】

図11(a)、(b)および(c)はそれぞれ、本実施例によるエッティング後のマスクおよび被エッティング膜の形状を示す要部断面図、エッティング後のマスクの形状を示す平面図およびエッティング後の被エッティング膜の下地膜であるストップ膜に形成されたホールの

50

底部の形状を示す平面図である。

【0079】

図11に示すように、本実施例によるエッティング条件およびプラズマ処理装置を用いることにより、ホールの形状の歪み(Distortion)並びにホールの径および深さのばらつき(Intra-loading)がなく、ホールの垂直性を満たすエッティングを行うことができる。

【0080】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0081】

例えば前記実施例では、本発明を多層膜に複数のホールを形成するエッティング工程に適用した場合を例示したが、これに限定されるものではなく、例えば多層膜に複数のトレーナーを形成するエッティング工程にも適用することもできる。

【符号の説明】

【0082】

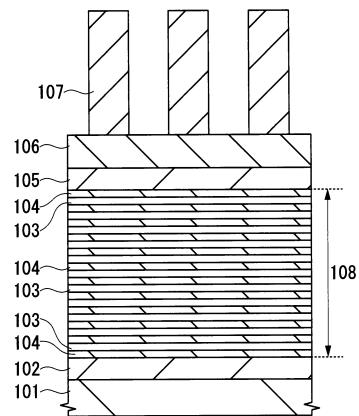
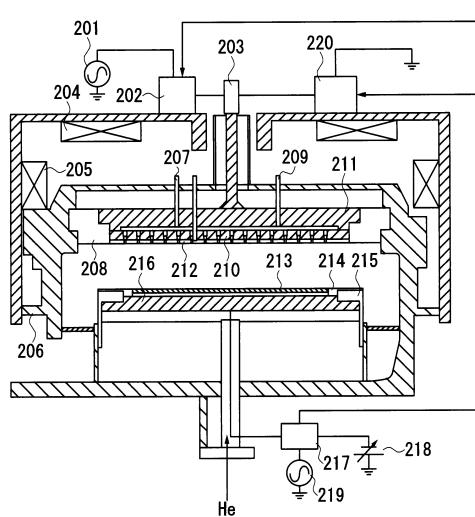
101	ウェハ基板	10
102	ストッパ膜	
103	酸化シリコン膜	
104	窒化シリコン膜	
105	キャップ酸化シリコン膜	20
106	キャップ窒化シリコン膜	
107	ACL	
108	多層膜(ペア層、積層膜)	
201	ソース用電源	
202	ソース電磁波用整合器	
203	フィルタユニット	
204	第1電磁石	
205	第2電磁石	
206	エッティングチャンバー(処理室、プラズマ処理室)	
207	第1ガス導入口	30
208	石英天板	
209	第2ガス導入口	
210	ガス分配プレート	
211	VHF放射アンテナ	
212	シャワープレート	
213	ウェハ	
214	フォーカスリング	
215	サセプタ	
216	ウェハステージ(試料台)	
217	RFBバイアス整合器	40
218	ESC用直流電源	
219	RFBバイアス電源	
220	バイアス経路制御機構	

【図1】

【図2】

図1

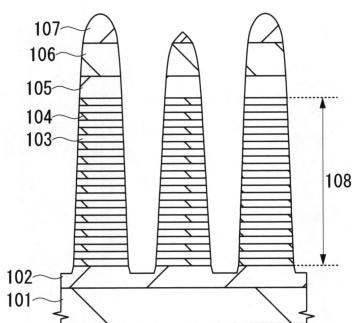
図2



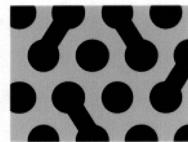
【図3】

図3

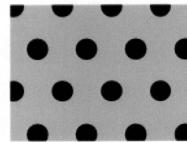
(a)



(b)



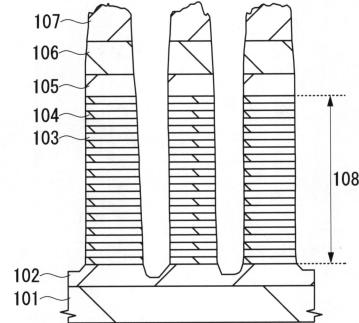
(c)



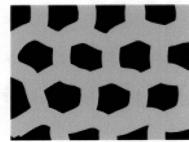
【図4】

図4

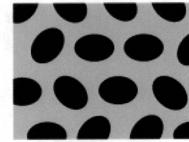
(a)



(b)

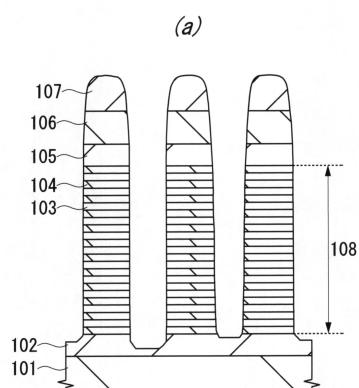


(c)



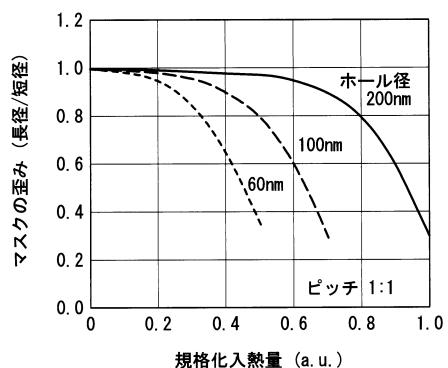
【図5】

図5



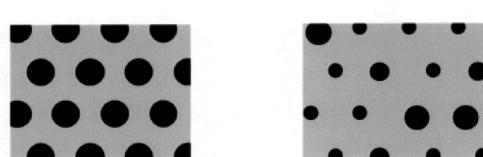
【図6】

図6

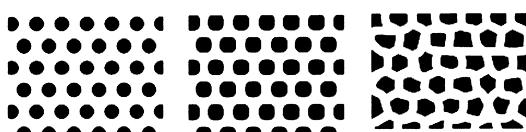


【図7】

図7

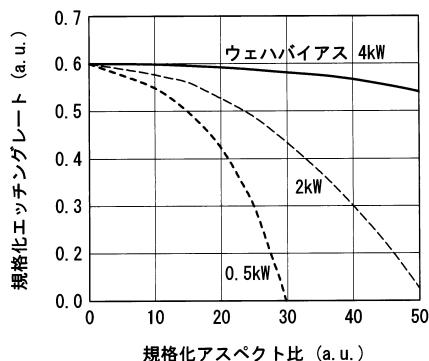


(a) (b) (c)



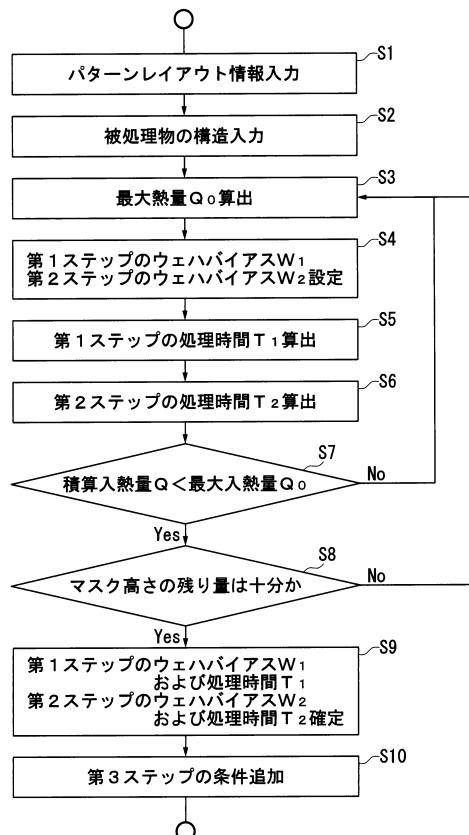
【図8】

図8

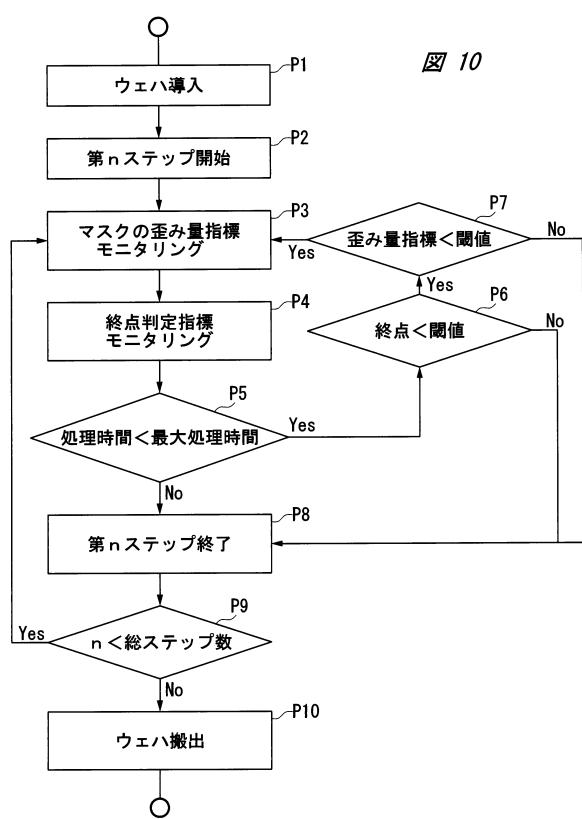


【図9】

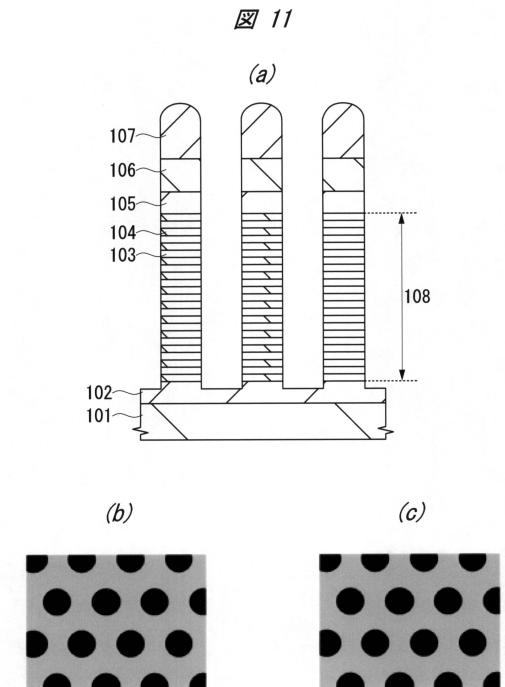
図9



【図10】



【図11】



フロントページの続き

(72)発明者 河村 慎也

東京都港区西新橋一丁目24番14号 株式会社日立ハイテクノロジーズ内

(72)発明者 森本 忠雄

東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

審査官 齊田 寛史

(56)参考文献 特開2013-084994(JP, A)

特開2010-205967(JP, A)

特開2009-193989(JP, A)

特開2008-071951(JP, A)

特開2006-041470(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3065