



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월02일
 (11) 등록번호 10-1078743
 (24) 등록일자 2011년10월26일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2010-0034400
 (22) 출원일자 2010년04월14일
 심사청구일자 2010년04월14일
 (65) 공개번호 10-2011-0114980
 (43) 공개일자 2011년10월20일
 (56) 선행기술조사문헌
 KR1020100113676 A*
 US20060186540 A1
 US20080315396 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

강태민

서울 성북구 정릉1동 181-32

황유경

서울 성북구 돈암동 637번지 성일우리미apt 101동 304호

(뒷면에 계속)

(74) 대리인

강성배

전체 청구항 수 : 총 7 항

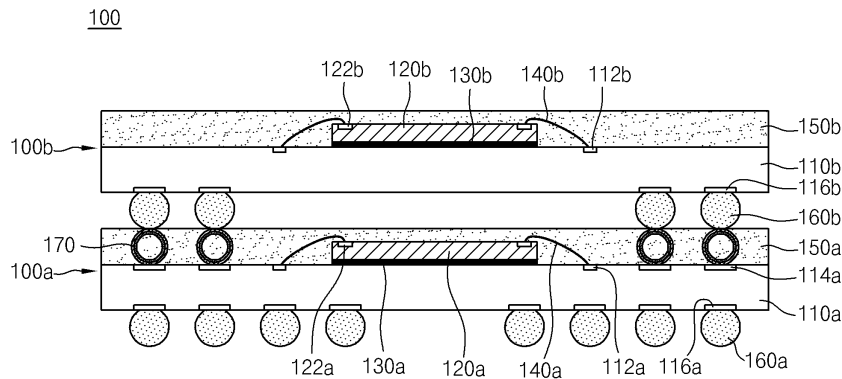
심사관 : 설관식

(54) 스택 패키지

(57) 요약

본 발명은 구성요소들간의 열팽창계수 차이로 인한 크랙 발생을 감소시킨 스택 패키지를 개시한다. 개시된 본 발명의 스택 패키지는, 제1반도체칩과 상기 제1반도체칩을 밀봉하는 제1봉지부재를 갖는 제1패키지; 상기 제1패키지 상에 스택되며, 제2반도체칩과 상기 제2반도체칩을 밀봉하는 제2봉지부재를 갖는 제2패키지; 및 상기 제1패키지의 제1봉지부재 내에 상기 제1패키지와 제2패키지를 전기적으로 연결하도록 설치된 플렉서블 전도체;를 포함하며, 상기 제1패키지의 상기 제1봉지부재는 상기 플렉서블 전도체가 삽입된 홈을 갖는 것을 특징으로 한다.

대표도 - 도1



(72) 발명자

손재현

경기 광주시 실촌읍 곤지암 쌍용202-901

이대웅

경기 용인시 기흥구 중동 백현마을상록롯데캐슬아
파트 2001동 201호

이병도

경기 안양시 만안구 석수2동 석수LG빌리지아파트
406동 802호

김유환

경기 부천시 소사구 심곡본동 724-4번지 5호

특허청구의 범위

청구항 1

제1반도체칩과 상기 제1반도체칩을 밀봉하는 제1봉지부재를 갖는 제1패키지;

상기 제1패키지 상에 스택되며, 제2반도체칩과 상기 제2반도체칩을 밀봉하는 제2봉지부재를 갖는 제2패키지; 및
상기 제1패키지의 제1봉지부재 내에 상기 제1패키지와 제2패키지를 전기적으로 연결하도록 설치된 플렉서블 전도체;

를 포함하며,

상기 제1패키지의 상기 제1봉지부재는 상기 플렉서블 전도체가 삽입된 홈을 갖는 것을 특징으로 하는 스택 패키지.

청구항 2

제 1 항에 있어서,

상기 플렉서블 전도체는 일면 상에 구리패턴이 형성된 플렉서블 서킷 보드가 상기 구리패턴이 외측면에 배치되게 원기둥 모양으로 말려진 형상을 갖는 것을 특징으로 하는 스택 패키지.

청구항 3

제 1 항에 있어서,

상기 플렉서블 전도체는 일면 상에 구리패턴이 형성된 플렉서블 서킷 보드가 단면이 지그재그로 구부러진 형상을 갖는 것을 특징으로 하는 스택 패키지.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 플렉서블 전도체가 삽입된 상기 홈 내에 형성된 언더필을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 6

제 1 항에 있어서,

상기 제1패키지의 하측에 부착된 제1접속단자를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 7

제 1 항에 있어서,

상기 제2패키지의 하측에 부착되고 상기 플렉서블 전도체와 전기적으로 연결된 제2접속단자를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 8

제 7 항에 있어서,

상기 제2접속단자는 솔더 볼 또는 다른 플렉서블 전도체를 포함하는 것을 특징으로 하는 스택 패키지.

청구항 9

삭제

- 청구항 10
삭제
- 청구항 11
삭제
- 청구항 12
삭제
- 청구항 13
삭제
- 청구항 14
삭제
- 청구항 15
삭제
- 청구항 16
삭제
- 청구항 17
삭제
- 청구항 18
삭제
- 청구항 19
삭제
- 청구항 20
삭제
- 청구항 21
삭제
- 청구항 22
삭제
- 청구항 23
삭제
- 청구항 24
삭제
- 청구항 25
삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

명세서

기술분야

[0001] 본 발명은 스택 패키지에 관한 것으로, 보다 상세하게는, 구성요소들간의 열팽창계수 차이로 인한 크랙 발생을 감소시킨 스택 패키지에 관한 것이다.

배경기술

[0002] 최근 들어, 방대한 데이터를 저장함은 물론 방대한 데이터를 단시간 내에 처리하는 것이 가능한 메모리 반도체 칩을 갖는 반도체 패키지가 개발된 바 있다.

[0003] 또한, 다수개의 메모리 반도체칩들을 칩 레벨로, 또는, 패키지 레벨로 적층하여 데이터 저장 용량을 보다 증가시킨 스택 패키지가 개발되고 있다. 패키지 온 패키지(Package on Package)는 메모리 반도체칩들을 패키지 레벨로 적층하여 구성한 스택 패키지의 대표적 예이다.

[0004] 아울러, 최근에는 메모리 반도체칩들과 시스템 반도체칩을 적층하여 데이터 저장 용량은 물론 데이터 처리 속도를 보다 향상시킨 시스템 인 패키지(System In Package)가 개발되고 있다. 이러한 시스템 인 패키지는 메모리 반도체칩들과 시스템 반도체칩을 칩 레벨로 적층하여 구성하는 것이 일반적이며, 경우에 따라서는 상기 메모리 반도체칩들과 시스템 반도체칩을 패키지 레벨로 적층하여 구성하기도 한다.

[0005] 그런데, 반도체 패키지들을 상,하로 적층하여 구성하는 종래의 스택 패키지는 구성요소들간의 열팽창계수 차이로 인해 크랙(crack)이 발생됨으로써 신뢰성 문제를 일으키고 있다.

[0006] 구체적으로, 종래의 스택 패키지는 제1패키지 내에 프리-솔더(pre-solder) 또는 구리 포스트(copper post)를 형성하여 제1패키지와 제2패키지간의 전기적 연결을 달성하고 있다.

[0007] 그런데, 이와 같은 종래의 스택 패키지 구조에서는 반도체칩을 밀봉하고 있는 봉지부재인 EMC(Epoxy Molding Compound)와 제1패키지와 제2패키지간의 전기적 연결을 위해 상기 제1패키지 내에 형성한 프리-솔더 또는 구리-포스트간 열팽창계수(Coefficient of Thermal Expansion; CTE)의 미스매치(mismatch)로 인해 상기 제1패키지의

휨(warpage)이 일어남은 물론 크랙이 발생하게 되고, 이 결과, 신뢰성이 저하된다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 구성요소들간 CTE 미스매치로 인한 휨의 발생을 감소시킨 스택 패키지를 제공한다.
- [0009] 또한, 본 발명은 구성요소들간 CTE 미스매치로 인한 크랙 발생을 억제시킨 스택 패키지를 제공한다.
- [0010] 게다가, 본 발명은 구성요소들간의 CTE 미스매치로 인한 휨 및 크랙 발생을 감소시킴으로써 신뢰성을 향상시킨 스택 패키지를 제공한다.

과제의 해결 수단

- [0011] 본 발명에 따른 스택 패키지는, 제1반도체칩과 상기 제1반도체칩을 밀봉하는 제1봉지부재를 갖는 제1패키지; 상기 제1패키지 상에 스택되며, 제2반도체칩과 상기 제2반도체칩을 밀봉하는 제2봉지부재를 갖는 제2패키지; 및 상기 제1패키지의 제1봉지부재 내에 상기 제1패키지와 제2패키지를 전기적으로 연결하도록 설치된 플렉서블 전도체;를 포함하며, 상기 제1패키지의 상기 제1봉지부재는 상기 플렉서블 전도체가 삽입된 홀을 갖는 것을 특징으로 한다.
- [0012] 상기 플렉서블 전도체는, 일면 상에 구리패턴이 형성된 플렉서블 서킷 보드가 상기 구리패턴이 외측면에 배치되게 원기둥 모양으로 말려진 형상을 갖거나, 일면 상에 구리패턴이 형성된 플렉서블 서킷 보드가 단면이 지그재그로 구부러진 형상을 갖는다.
- [0013] 삭제
- [0014] 본 발명에 따른 스택 패키지는 상기 플렉서블 전도체가 삽입된 상기 홀 내에 형성된 언더필을 더 포함한다.
- [0015] 본 발명에 따른 스택 패키지는 상기 제1패키지의 하측에 부착된 제1접속단자를 더 포함한다.
- [0016] 본 발명에 따른 스택 패키지는 상기 제2패키지의 하측에 부착되고 상기 플렉서블 전도체와 전기적으로 연결된 제2접속단자를 더 포함한다.
- [0017] 상기 제2접속단자는 솔더 볼 또는 다른 플렉서블 전도체를 포함한다.
- [0018] 삭제
- [0019] 삭제
- [0020] 삭제
- [0021] 삭제
- [0022] 삭제
- [0023] 삭제
- [0024] 삭제

- [0025] 삭제
- [0026] 삭제
- [0027] 삭제
- [0028] 삭제
- [0029] 삭제
- [0030] 삭제
- [0031] 삭제
- [0032] 삭제
- [0033] 삭제
- [0034] 삭제
- [0035] 삭제
- [0036] 삭제
- [0037] 삭제
- [0038] 삭제
- [0039] 삭제
- [0040] 삭제

발명의 효과

- [0041] 본 발명은 스택 패키지를 구현함에 있어서 제1패키지 내에 플렉서블 서킷 보드에 구리패턴이 형성된 구조의 플렉서블 전도체(Flexible conductor)를 형성하고, 이러한 플렉서블 전도체를 이용해서 제1패키지와 제2패키지간의 전기적 연결을 달성한다.

[0042] 이 경우, 상기 플렉서블 전도체가 제1패키지와 제2패키지간의 전기적 신호 전달을 위한 인터페이스(interface) 역할을 함은 물론 제1패키지에서의 구성요소들간 CTE 미스매치에 기인하여 발생하는 스트레스(stress)의 버퍼(buffer) 역할을 하게 된다.

[0043] 따라서, 본 발명에 따른 스택 패키지는 상기 플렉서블 전도체가 스트레스 버퍼의 역할을 하는 것을 통해, 종래의 그것과 비교할 때, 제1패키지의 휨이 개선됨은 물론 크랙 발생이 억제되며, 그래서, 향상된 신뢰성을 갖게 된다.

도면의 간단한 설명

[0044] 도 1은 본 발명의 제1실시예에 따른 스택 패키지를 도시한 단면도이다.

도 2 및 도 3은 본 발명의 일 실시예에 따른 스택 패키지에서의 플렉서블 전도체를 설명하기 위한 사시도들이다.

도 4는 본 발명의 제2실시예에 따른 스택 패키지를 도시한 단면도이다.

도 5는 본 발명의 제3실시예에 따른 스택 패키지를 도시한 단면도이다.

도 6은 본 발명의 제4실시예에 따른 스택 패키지를 도시한 단면도이다.

도 7은 본 발명의 제5실시예에 따른 스택 패키지를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0045] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

[0046] 도 1은 본 발명의 제1실시예에 따른 스택 패키지를 도시한 단면도이다. 도시된 바와 같이, 본 발명의 제1실시예에 따른 스택 패키지(100)는 제1패키지(100a) 및 상기 제1패키지(100a) 상에 스택된 제2패키지(100b)를 포함한다.

[0047] 상기 제1패키지(100a)는 제1기판(110a)과 상기 제1기판(110a) 상에 배치된 제1반도체칩(120a)과 상기 제1반도체칩(120a)을 밀봉하는 제1봉지부재(150a) 및 상기 제1봉지부재(150a) 내에 배치된 플렉서블 전도체(170)를 포함한다.

[0048] 상기 제1기판(110a)은 인쇄회로기판(Printed Circuit Board)인 것으로 이해될 수 있으며, 그의 상면에 배치된 제1본드핑거들(112a) 및 제1접속패드들(114a)과 그의 하면에 배치된 제1볼랜드들(116a)을 포함한다. 상기 제1반도체칩(120a)은, 예를 들어, 에지 패드 타입(edge pad type) 칩이며, 상기 제1기판(110a)의 상면에 제1접착부재(130a)를 매개로 하여 페이스-업 타입(face-up type)으로 부착된다.

[0049] 상기 제1패키지(100a)는 상기 제1반도체칩(120a)의 제1본딩패드(122a)와 이에 인접하여 배치된 상기 제1기판(110a)의 제1본드핑거(122a)를 연결하는 제1연결부재(140a)들을 더 포함한다. 상기 제1연결부재(140a)는, 도시된 바와 같이, 전도성 와이어가 이용될 수 있다. 한편, 도시하지 않았으나, 상기 제1연결부재(140a)로서는 회로 패턴을 구비한 패턴 필름도 이용될 수도 있다.

[0050] 상기 제1패키지(100a)는 제1기판(110a) 하면의 제1볼랜드들(116a) 상에 각각 부착된 제1접속부재들(160a)을 더 포함한다. 상기 제1접속부재(160a)는, 도시된 바와 같이, 솔더 볼이 이용될 수 있다.

[0051] 상기 제1봉지부재(150a)는 상기 제1반도체칩(120a) 및 제1연결부재(140a)를 포함한 상기 제1기판(110a)의 상면을 덮도록 형성된다. 상기 제1봉지부재(150a)로서는, 예를 들어, EMC(Epoxy Molding Compound)가 이용될 수 있다.

[0052] 상기 플렉서블 전도체(170)는 제1패키지(100a)의 제1봉지부재(150a) 내에 배치된다. 본 실시예에서, 상기 플렉서블 전도체(170)는, 도 2에 도시된 바와 같이, 절연성의 플렉서블 서킷 보드(172)와 상기 플렉서블 서킷 보드(172)의 일면 상에 형성된 구리패턴(174)을 포함하며, 이와 같이 일면 상에 구리패턴(174)이 형성된 플렉서블 서킷 보드(172)가 상기 구리패턴(174)이 외측면에 배치되게 원기둥 모양으로 말려져 있는 형상을 갖는다. 이때, 상기 플렉서블 서킷 보드(172)의 양측단은, 예를 들어, 접착제에 의해 상호 부착된다.

[0053] 다른 실시예에서, 상기 플렉서블 전도체(170)는, 도 3에 도시된 바와 같이, 일면 상에 구리패턴(174)이 형성된 플렉서블 서킷 보드(172)가 단면이 지그재그로 구부러진 형상을 가질 수 있다. 이때, 상기 지그재그로 구부러진

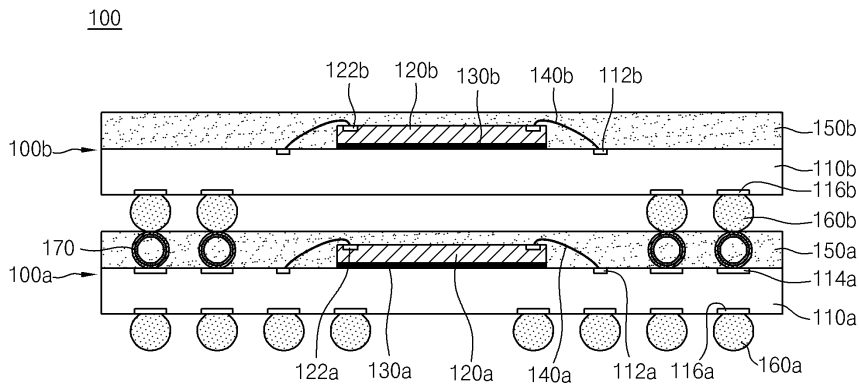
플렉서블 서킷 보드(172)의 상단면 및 하단면 각각에는 상기 구리패턴(174)이 배치된다.

- [0054] 이와 같은 플렉서블 전도체(170)에 있어서, 하측에 배치된 구리패턴(174) 부분은 상기 제1기판(110a)의 제1접속패드(114a)와 연결되며, 상측에 배치된 구리패턴(174) 부분은 상기 제1봉지부재(150a)의 표면으로 노출된다.
- [0055] 한편, 상기 플렉서블 전도체(170)는 상기 제1봉지부재(150a)의 형성 전에 상기 제1기판(110a)의 제1접속패드(114a) 상에 우선 배치될 수 있으며, 그리고, 상기 제1봉지부재(150a)는, 예를 들어, 상기 플렉서블 전도체(170)의 상측 부분이 노출되는 두께로 형성되거나, 또는, 상기 플렉서블 전도체(170)를 완전히 덮는 두께로 형성된 후, 상기 플렉서블 전도체(170)의 상측 부분이 노출되도록 라인딩된다.
- [0056] 도시하지 않았으나, 상기 제1봉지부재(150a)는 제1플렉서블 전도체(170)가 배치된 제1기판(110a) 상에 상기 플렉서블 전도체(170)를 완전히 덮는 두께로 형성된 후, 인접한 다수의 플렉서블 전도체들(170)의 상측 부분들을 동시에 노출시키도록 선택적으로 식각될 수도 있다.
- [0057] 계속해서, 상기 제2패키지(100b)는 제2기판(110b)과 상기 제2기판(110b) 상에 배치된 제2반도체칩(120b)과 상기 제2반도체칩(120b)을 밀봉하는 제2봉지부재(150b)를 포함한다.
- [0058] 상기 제2기판(110b)은 인쇄회로기판인 것으로 이해될 수 있으며, 상면에 배치된 제2본드핑거들(112b) 및 하면에 배치된 제1볼랜드들(116b)을 포함한다. 상기 제2반도체칩(120b)은, 예를 들어, 예지 패드 타입 칩이며, 상기 제2기판(110b)의 상면 상에 제2접착부재(130b)를 매개로 하여 페이스-업 타입(face-up type)으로 부착된다.
- [0059] 상기 제2패키지(100b)는 상기 제2반도체칩(120b)의 제2본딩패드(122b)와 이에 인접하여 배치된 상기 제2기판(110b)의 제2본드핑거(122b)를 전기적으로 연결하는 제2연결부재(140b)를 더 포함한다. 상기 제2연결부재(140b)는, 예를 들어, 전도성 와이어가 이용될 수 있고, 도시하지 않았으나, 패턴 필름 등도 이용 가능하다.
- [0060] 상기 제2패키지(100b)는 상기 제2기판(110b) 하면의 제2볼랜드들(116b) 상에 각각 부착된 제2접속부재들(160b)을 더 포함한다. 상기 제2접속부재(160b)로서는, 예를 들어, 솔더 볼이 이용될 수 있다. 또한, 상기 제2접속부재(160b)로서는 상기 제1봉지부재(150a) 내에 삽입된 플렉서블 전도체(170)와 동일하거나 유사한 구조를 갖는 다른 플렉서블 전도체 또한 이용 가능하다.
- [0061] 본 실시예에서, 상기 제2접속부재(160b)는 상기 제1패키지(100a)에서의 제1봉지부재(150a)의 표면으로 노출된 플렉서블 전도체(170) 부분과 전기적으로 연결된다. 보다 명확하게, 상기 제2접속부재(160b)는 상기 제2패키지(100b)와 제1패키지(100a)간의 전기적 연결을 위해 제1봉지부재(150a)의 표면으로 노출된 플렉서블 전도체(170)의 상측 부분에 배치된 구리패턴(172) 부분과 전기적으로 연결된다.
- [0062] 상기 제2봉지부재(150b)는 상기 제2반도체칩(120b) 및 제2연결부재(140b)를 포함한 상기 제2기판(110b)의 상면을 덮도록 형성된다. 상기 제2봉지부재(150b)로서는, 예를 들어, EMC가 이용될 수 있다.
- [0063] 한편, 전술한 본 발명의 제1실시예에 따른 스택 패키지(100)에 있어서, 상기 제2패키지(100b)는 제2볼랜드(116b)에의 제2접속단자(160b)의 부착없이 구성될 수 있으며, 이 경우, 상기 제1패키지(100a)에서의 제1봉지부재(150a)의 표면으로 노출된 플렉서블 전도체(170) 부분은 상기 제2패키지(100b)의 제2볼랜드(116b)에 직접 연결된다.
- [0064] 전술한 바와 같은 본 발명의 스택 패키지는 제1패키지에 플렉서블 전도체를 삽입하여 상기 제1패키지와 제2패키지간의 전기적 연결을 달성한 POP 구조를 갖는데, 제1패키지에 프리-솔더 또는 구리-포스트를 삽입하여 구성한 종래의 그것에 비해 구성요소들간 CTE의 미스매치가 감소되며, 이로 인해, 상기 제1패키지의 휨 발생이 감소된 것은 물론 크랙 발생 또한 억제된다.
- [0065] 예를 들어, 본 발명의 스택 패키지는 제1봉지부재 물질인 EMC와 솔더간, 또는, EMC와 구리-포스트간의 CTE 미스매치가 감소되어 종래 대비 50% 이상 휨이 개선되며, 또한, 플렉서블 전도체가 EMC와 솔더간, 또는, EMC와 구리-포스트간의 CTE 미스매치에 기인하는 스트레스를 감소시킴으로써 종래 대비 20~50% 정도 크랙 발생이 억제된다.
- [0066] 따라서, 본 발명의 스택 패키지는 구성요소들간 CTE의 미스매치에 기인하는 제1패키지의 휨 및 크랙 발생이 감소됨으로써 향상된 신뢰성을 갖게 된다.
- [0067] 도 4는 본 발명의 제2실시예에 따른 스택 패키지를 도시한 단면도이다. 여기서, 도 1과 동일한 부분은 동일한 도면부호로 나타낸다.

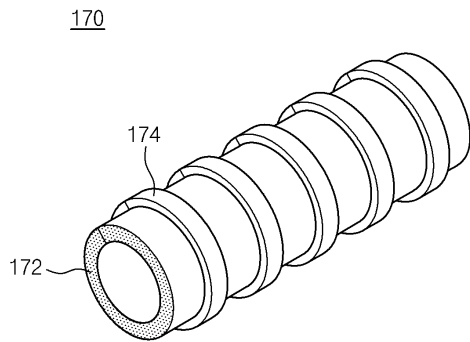
- [0068] 도시된 바와 같이, 제1패키지(100a)의 제1봉지부재(150a)에 제1기관(110a)의 상면에 배치된 제1접속패드들(114a)을 각각 노출시키는 제1홀들(H1)이 형성되어 있고, 플렉서블 전도체들(170)은 상기 제1홀들(H1) 내에 각각 삽입되어 대응하는 제1접속패드(114a)와 각각 연결되도록 배치되어 있으며, 그리고, 각각 플렉서블 전도체(170)가 삽입된 제1홀들(H1) 내에는 언더필(180)이 형성되어 있다. 상기 제1홀(H1)은, 예를 들어, 상기 제1봉지부재(150a)의 형성 후에 드릴링 공정 또는 식각 공정을 통해 형성된 것으로 이해될 수 있다.
- [0069] 상기 플렉서블 전도체(170)는, 예를 들어, 원기둥 형상의 단면을 갖도록 마련되어 있으며, 상기 언더필(180)은 이러한 원기둥 형상의 단면을 갖는 플렉서블 전도체(170)의 내측에도 형성되어 있다. 상기 플렉서블 전도체(170)는 단면이 원기둥 형상을 갖는 구조 이외에, 도시하지 않았으나, 지그재그로 절곡된 단면을 갖도록 구부러진 형상을 가질 수도 있다.
- [0070] 그 밖에, 본 발명의 제2실시예에 따른 스택 패키지(200)에서의 나머지 구성요소들은 전술한 제1실시예에 따른 스택 패키지(100)에서의 그것들과 동일하며, 여기서는 동일한 부분들에 대한 중복 설명은 생략하도록 한다.
- [0071] 도 5는 본 발명의 제3실시예에 따른 스택 패키지를 도시한 단면도이다. 여기서, 도 1과 동일한 부분은 동일한 도면부호로 나타낸다.
- [0072] 도시된 바와 같이, 제1패키지(100a)의 제1봉지부재(150a)에 인접한 한 쌍의 제1접속패드들(114a)을 동시에 노출시키는 제2홀(H2)이 형성되어 있고, 상기 제2홀(H2) 내에 플렉서블 전도체(170)가 삽입되어 있으며, 그리고, 상기 플렉서블 전도체(170)가 삽입된 제2홀(H2) 내에 언더필(180)이 형성되어 있다. 이때, 상기 언더필(180)은 상기 제1 플렉서블 전도체(170) 내측에도 형성되어 있다.
- [0073] 본 실시예에서, 상기 플렉서블 전도체(170)는 플렉서블 서킷 보드(172)의 일면 상에 형성된 구리패턴(174)이 상기 제2홀(H1)의 일측벽 및 이에 대항하는 타측벽 상에 상호 이격하여 각각 n자 모양 및 미러 n자 모양으로 배치되는 형상을 갖도록 마련되어 있다.
- [0074] 그 밖에, 본 발명의 제3실시예에 따른 스택 패키지(300)에서의 나머지 구성요소들은 전술한 제1실시예에 따른 스택 패키지(100)에서의 그것들과 동일하며, 여기서는 동일한 부분들에 대한 중복 설명은 생략하도록 한다.
- [0075] 도 6은 본 발명의 제4실시예에 따른 스택 패키지를 도시한 단면도이다. 여기서, 도 1과 동일한 부분은 동일한 도면부호로 나타낸다.
- [0076] 도시된 바와 같이, 제1패키지(100a)의 제1반도체칩(120a)과 제2패키지(100b)의 제2반도체칩(120b)은 와이어 본딩 방식이 아닌 플립 칩 본딩 방식에 의해 각각 제1기관(110a)과 제2기관(110b) 상에 페이스-다운 타입(face-down type)으로 배치되어 있다.
- [0077] 이때, 상기 제1기관(110a)의 제1본드핑거들(112a) 및 상기 제2기관(110b)의 제2본드핑거들(112b)은 상기 제1반도체칩(120a)의 제1본딩패드(122a) 및 상기 제2반도체칩(120b)의 제2본딩패드(122b)에 대응하는 위치에 배치되어 있으며, 상기 제1반도체칩(120a)의 제1본딩패드(122a)와 상기 제1기관(110a)의 제1본드핑거(112a) 및 상기 제2반도체칩(120b)의 제2본딩패드(122b)와 상기 제2기관(110b)의 제2본드핑거(112b)는, 예를 들어, 범프와 같은 제1 및 제2 연결부재(140a, 140b)에 의해 상호 전기적으로 연결되어 있다. 상기 제1 및 제2 연결부재(140a, 140b)로서 상기 범프 이외에 솔더 등도 이용 가능하다.
- [0078] 그 밖에, 본 발명의 제4실시예에 따른 스택 패키지(400)에서의 나머지 구성요소들은 전술한 제1실시예에 따른 스택 패키지(100)에서의 그것들과 동일하며, 여기서 동일한 부분들에 대한 중복 설명은 생략하도록 한다.
- [0079] 도 7은 본 발명의 제5실시예에 따른 스택 패키지를 도시한 단면도이다. 여기서, 도 1과 동일한 부분들은 동일한 도면부호로 나타낸다.
- [0080] 도시된 바와 같이, 제2패키지(100b1, 100b2)가 제1패키지(100a) 상에 적어도 하나 이상, 예를 들어, 두 개가 스택되어 있다. 상기 스택된 제2패키지들(100b1, 100b2) 중에서 최상부에 배치되는 최상부 제2패키지(100b2)는 이전 실시예들의 그것들과 동일한 구조를 가지며, 반면, 상기 최상부 제2패키지(100b2)를 제외하고 그 하부에 배치되는 나머지 제2패키지(100b1)들은 상기 제1패키지(100a)와 동일한 구조, 즉, 제2봉지부재(150b) 내에 상부에 배치되는 다른 제2패키지와 전기적 연결을 위해 플렉서블 전도체(170)가 설치되어 있는 구조를 갖는다.
- [0081] 상기 플렉서블 전도체(170)는, 전술한 바와 같이, 일면에 구리패턴이 형성된 플렉서블 서킷 보드가 상기 구리패턴이 외측면에 배치되게 원기둥 모양으로 말려져 있는 형상을 갖는다. 도시하지 않았으나, 상기 플렉서블 전도체(170)는 일면 상에 구리패턴이 형성된 플렉서블 서킷 보드가 단면이 지그재그로 절곡되게 구부러진 형상을 가

도면

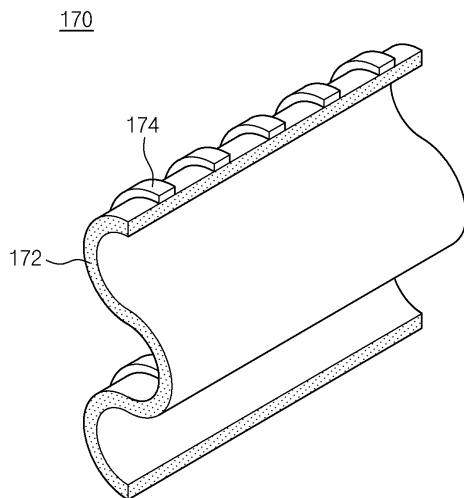
도면1



도면2

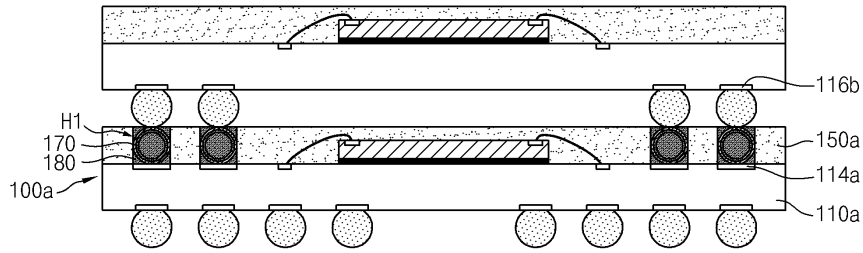


도면3



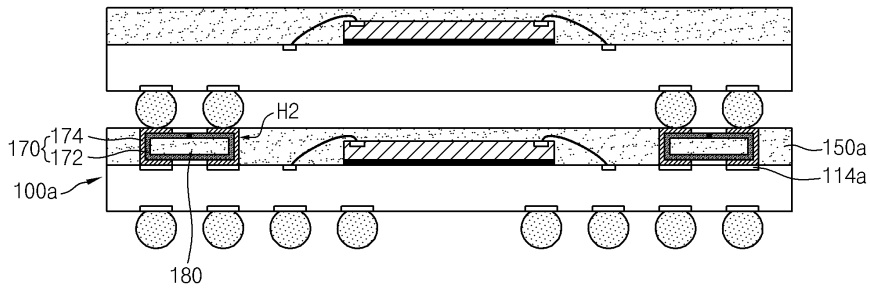
도면4

200



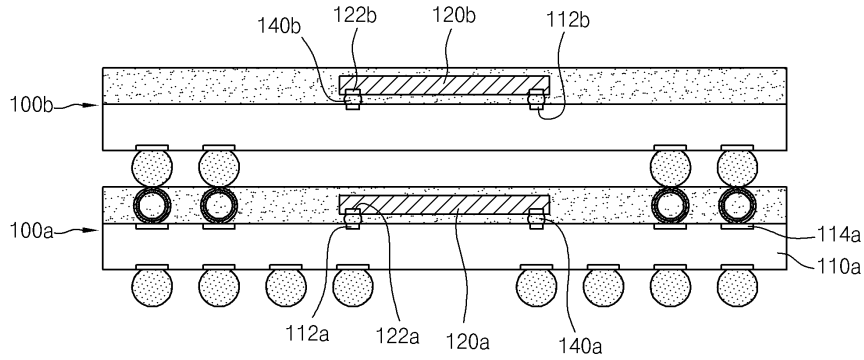
도면5

300



도면6

400



도면7

500

