



(12) 发明专利

(10) 授权公告号 CN 101997071 B

(45) 授权公告日 2015.06.10

(21) 申请号 201010256572.8

US 6261929 B1, 2001.07.17,

(22) 申请日 2010.08.17

审查员 陈龙

(30) 优先权数据

75733/09 2009.08.17 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金峻渊 洪贤基 卓泳助 李在原

丁亨洙

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 冯玉清

(51) Int. Cl.

H01L 33/20(2010.01)

H01L 33/00(2010.01)

(56) 对比文件

US 5872422 A, 1999.02.16,

US 6261929 B1, 2001.07.17,

US 5872422 A, 1999.02.16,

US 6265289 B1, 2001.07.24,

权利要求书2页 说明书7页 附图6页

(54) 发明名称

衬底结构及其制造方法

(57) 摘要

本发明涉及衬底结构及其制造方法。通过在缓冲层之下形成衬底的突出区域以及在缓冲层上形成半导体层而制造衬底结构,由此在除了形成突出部的区域以外的区域将衬底与缓冲层分开。不与衬底接触的缓冲层上的半导体层具有独立特性,可以减少或防止位错或裂纹。



1. 一种衬底结构,包括:  
衬底,包括至少一个衬底突出部;  
缓冲层,在所述至少一个衬底突出部上,所述衬底突出部将所述缓冲层与部分所述衬底分开;以及  
半导体层,在所述缓冲层上;  
其中所述至少一个衬底突出部的宽度在中部比在端部小。
2. 如权利要求 1 的衬底结构,还包括:  
氮化物半导体层,  
其中所述衬底突出部是多个衬底突出部,  
所述缓冲层是与所述多个衬底突出部对应的多个缓冲层,且  
所述氮化物半导体层延伸越过所述多个缓冲层。
3. 如权利要求 1 的衬底结构,其中所述缓冲层的形状是多边形、椭圆形和直板之一。
4. 如权利要求 1 的衬底结构,其中所述宽度随与所述中部的距离的增加而增大。
5. 如权利要求 1 的衬底结构,其中所述衬底包括 Si、GaN、蓝宝石、SiC、LiGaO<sub>2</sub>、ZrB<sub>2</sub>、ZnO 和 (Mn, Zn)FeO<sub>4</sub>中的至少一种。
6. 如权利要求 1 的衬底结构,其中所述缓冲层具有单层结构和多层结构中的一种,  
所述缓冲层的材料包括 AlN、SiC、Al<sub>2</sub>O<sub>3</sub>、AlGaN、AlInGaN、AlInBGaN、AlBGaN、GaN 和 XY 中的至少一种,其中 X 是 Ti、Cr、Zr、Hf、Nb 和 Ta 中的至少一种,Y 是氮、B 和 B<sub>2</sub>中的至少一种。
7. 如权利要求 1 的衬底结构,其中所述缓冲层的厚度为 5nm 至 5 μm。
8. 如权利要求 1 的衬底结构,其中所述衬底突出部是多个衬底突出部,  
所述缓冲层是与所述多个衬底突出部对应的多个缓冲层,且  
分隔所述多个缓冲层的区域的宽度大于 10nm。
9. 一种制造衬底结构的方法,该方法包括:  
在衬底上形成缓冲层;  
将图案蚀刻到所述缓冲层中;  
通过所述图案化的缓冲层蚀刻所述衬底从而形成至少一个衬底突出部,所述衬底突出部将部分所述图案化的缓冲层与部分所述衬底分开;以及  
在所述缓冲层上形成半导体层,  
其中所述至少一个衬底突出部的宽度在中部比在端部小。
10. 如权利要求 9 的方法,还包括:  
在所述缓冲层上形成蚀刻掩模,  
其中将图案蚀刻到所述缓冲层中包括通过所述蚀刻掩模各向异性地蚀刻所述缓冲层从而暴露所述衬底的表面。
11. 如权利要求 10 的方法,其中通过所述图案化的缓冲层蚀刻所述衬底包括各向异性地蚀刻所述衬底从而形成衬底凹陷以及各向同性地蚀刻所述衬底凹陷从而暴露所述缓冲层的部分下表面。
12. 如权利要求 9 的方法,其中接触所述缓冲层的所述衬底突出部的表面的宽度小于所述缓冲层的宽度。

13. 如权利要求 9 的方法, 其中将图案蚀刻到所述缓冲层中包括将所述缓冲层分成多个缓冲层, 且

形成所述半导体层包括将所述半导体层形成为被所述多个缓冲层支承的单个半导体层。

14. 如权利要求 13 的方法, 其中形成所述半导体层包括利用外延横向过生长工艺形成所述半导体层。

15. 如权利要求 9 的方法, 其中将图案蚀刻到所述缓冲层中包括将所述缓冲层分成多个缓冲层, 且

形成所述半导体层包括将所述半导体层形成为多个半导体层, 所述多个半导体层中的每个形成在所述多个缓冲层中的不同缓冲层上。

16. 如权利要求 15 的方法, 其中在所述缓冲层上形成所述半导体层包括利用垂直生长工艺形成所述半导体层。

17. 如权利要求 9 的方法, 还包括:

通过执行氧化工艺、氮化工艺和 AlN 层形成工艺中的至少一种处理所述衬底和所述衬底突出部的暴露表面。

18. 一种电子器件, 包括:

衬底, 包括多个突出部;

缓冲层, 在所述多个突出部上, 所述缓冲层的宽度大于所述多个突出部的组合宽度; 以及

半导体层, 在所述缓冲层上;

其中所述突出部的宽度在中部比在端部小。

## 衬底结构及其制造方法

### 技术领域

[0001] 本发明的示范性实施方式涉及衬底结构及其制造方法,更具体而言,涉及包括氮化物半导体薄膜的衬底结构及其制造方法,该氮化物半导体薄膜以减小的位错密度生长并且其中的裂纹得到减少和 / 或防止。

### 背景技术

[0002] 发光二极管 (LED) 可分为 GaN 基 LED 和基于磷光体制造的白光 LED。GaN 基 LED 主要在 2 英寸蓝宝石衬底上制造。在 4 英寸衬底上制造 GaN 基 LED 的方法还处于初始阶段。相反,大多数基于半导体的器件可以在 12 英寸 (300mm) 或更大的硅晶片上以大批量生产的方式制造。

[0003] 为了提高 LED 晶片产率以及降低 LED 制造成本,需要大直径的衬底。然而,使用更大直径的衬底用于 LED 制造受到材料兼容性问题的限制。例如,当半导体层生长在大直径蓝宝石衬底上时,由于蓝宝石的低热导率,衬底会在高温下弯曲。因此,难以保持一致的薄膜特性。

[0004] 为了减小或消除衬底弯曲,已经提出了在硅衬底上外延生长 GaN LED 的方法。硅衬底具有比蓝宝石衬底更高的热导率。因此,暴露于高的 GaN 薄膜生长温度的硅衬底的弯曲程度可减小,可以观测到具有一致的薄膜特性的 8 英寸衬底。因此,如果可以在硅上 GaN LED 结构中生长高质量 LED 薄膜,则可以克服蓝宝石衬底的限制并可以降低制造成本。

[0005] 然而,硅衬底的使用提出了不同的问题。由于大的晶格失配和热膨胀系数的不一致,在硅上生长的 LED 半导体薄膜会具有高的位错密度和裂纹。为了使用当前的硅衬底作为 LED 生长衬底,需要针对这些问题的解决方案。

### 发明内容

[0006] 示范性实施方式可提供支承氮化物半导体薄膜 (例如 GaN 薄膜) 的衬底结构,其中可以减小线位错密度并且可以减少和 / 或防止裂纹。示范性实施方式可提供制造衬底结构的方法。

[0007] 根据示范性实施方式,一种衬底结构包括:衬底;以及以预定图案形成在该衬底上的缓冲层,其中该缓冲层被衬底突出部支承,该衬底突出部通过蚀刻该衬底的表面而形成,该缓冲层的不与该衬底突出部接触的下表面暴露到空气。

[0008] 根据示范性实施方式,一种衬底结构包括:衬底,包括衬底突出部;以及缓冲层,在该衬底突出部上,该衬底突出部将该缓冲层与该衬底的一部分分开。

[0009] 该衬底结构还可包括与所述缓冲层相同的多个缓冲层,该衬底结构还可包括氮化物半导体层,该氮化物半导体层通过比垂直生长更快的横向生长形成在所述多个缓冲层上。该衬底结构还可包括形成在该缓冲层上以对应于该缓冲层的图案的氮化物半导体层。该缓冲层可具有诸如三角形或正方形的多边形形状、椭圆形状或者直板形状。该衬底可包括 Si、GaN、蓝宝石、SiC、LiGaO<sub>2</sub>、ZrB<sub>2</sub>、ZnO 或 (Mn, Zn)FeO<sub>4</sub>。

[0010] 该缓冲层可具有由选自自由 AlN、SiC、Al<sub>2</sub>O<sub>3</sub>、AlGaN、AlInGaN、AlInBGaN、AlBGaN、GaN 和 XY 组成的组中的一种形成的单层结构,或者具有包括这些的组合的多层结构,其中 X 是 Ti、Cr、Zr、Hf、Nb 或 Ta, Y 是氮 (N) 或硼 (B, B<sub>2</sub>)。缓冲层的厚度可以为从约 5nm 至约 5 μm。包括该衬底结构的芯片的宽度 L 可以在  $1\ \mu\text{m} \leq L \leq 1.5\text{mm}$  的范围,衬底和缓冲层分开的部分的宽度 m 在  $0.01L \leq m \leq 0.49L$  的范围,图案的宽度在从约 0.02L 至约 0.98L 的范围。衬底结构还可以包括多个缓冲层,其中多个缓冲层之间的宽度 n 在  $10\text{nm} \leq n \leq 10\ \mu\text{m}$  的范围。

[0011] 根据另一示例性实施方式,一种形成衬底结构的方法包括:在衬底上形成缓冲层;图案化该缓冲层从而暴露衬底表面;通过蚀刻缓冲层之间的衬底的暴露表面而形成孔;通过蚀刻缓冲层之下的部分衬底以形成衬底突出部,由此通过经由所述孔对衬底的暴露表面执行蚀刻工艺以露出缓冲层的下部;以及在缓冲层上形成半导体层。

[0012] 根据另一示例性实施方式,一种制造衬底结构的方法包括:在衬底上形成缓冲层;将图案蚀刻到缓冲层中;通过该图案化的缓冲层蚀刻所述衬底从而形成至少一个衬底突出部,所述衬底突出部将部分所述图案化的缓冲层与部分所述衬底分开;以及在所述缓冲层上形成半导体层。

[0013] 衬底和缓冲层彼此接触的部分的宽度可小于缓冲层的宽度。通过图案化可形成多个缓冲层,半导体层可形成为多个缓冲层上的单个层。半导体层可通过外延横向过生长 (ELOG) 工艺在多个缓冲层上形成为单个层。半导体层可通过生长而分别形成在缓冲层上。该方法还可包括:在蚀刻衬底之后氧化或氮化衬底表面或者在衬底表面上形成 AlN 层。

[0014] 根据另一示例性实施方式,一种电子器件包括:衬底,包括多个突出部;以及缓冲层,形成在所述多个突出部上并具有比所述多个突出部的宽度更大的宽度。该电子器件还可包括形成在所述缓冲层上的半导体层。

[0015] 根据其它示例性实施方式,一种电子器件包括:衬底,包括多个突出部;以及缓冲层,在该多个突出部上,该缓冲层的宽度大于所述多个突出部的组合宽度。

## 附图说明

[0016] 本发明的示例性实施方式将从下面结合附图的简要说明得到更清楚的理解。图 1-6D 表示这里描述的非限制性的示例性实施方式。

[0017] 图 1 是示意图,示出根据示例性实施方式的发光二极管 (LED) 衬底结构;

[0018] 图 2A 是示意图,示出根据示例性实施方式的 LED 衬底结构;

[0019] 图 2B 是图 2A 的衬底结构的俯视图;

[0020] 图 2C 是示意图,示出包括图 2A 的衬底结构的 LED 器件;

[0021] 图 3A 是示意图,示出根据示例性实施方式的 LED 衬底结构;

[0022] 图 3B 是俯视图,示出图 3A 的衬底结构;

[0023] 图 3C 是示意图,示出包括图 3A 的衬底结构的 LED 器件;

[0024] 图 4A-4E 示出根据示例性实施方式制造图 2A 的 LED 衬底结构的方法;

[0025] 图 5A-5E 示出制造图 3A 的 LED 衬底结构的方法;以及

[0026] 图 6A-6D 是根据示例性实施方式的衬底结构的扫描电子显微镜 (SEM) 图像。

[0027] 应注意,这些图意在说明某些示例性实施方式中使用的方法、结构和 / 或材料的

一般特性并补充下面提供的文字说明。然而,这些图不是按比例,可以没有精确地反映任何给定实施方式的精确结构或性能特性,不应理解为定义或限制示例性实施方式包含的属性或值的范围。例如,微结构 (molecule)、层、区域和 / 或结构元件的相对厚度和定位可以为清晰起见而减小或放大。各图中使用类似或相同的附图标记意在表示存在类似或相同的元件或特征。

### 具体实施方式

[0028] 现在将参照附图更全面地描述示例性实施方式,附图中示出示例性实施方式。然而,示例性实施方式能够以很多不同形式实现,不应解释为局限于这里阐述的实施方式;相反,提供这些实施方式以使本公开更彻底而完整,并向本领域技术人员充分传达示例性实施方式的思想。在图中,层的厚度和区域为清晰起见而被放大。图中相似的附图标记始终表示相似的元件,因此对其的描述将被省略。

[0029] 将理解,当元件被称为“连接”或“耦接”到另一元件时,它可以直接连接或耦接到其它元件或者可以存在居间元件。相反,当元件被称为“直接连接”或“直接耦接”到另一元件时,没有居间元件存在。相似的附图标记始终表示相似的元件。这里使用时,术语“和 / 或”包括相关所列项的一个或更多的任意和全部组合。用于描述元件或层之间的关系的其它词语应以类似方式理解(例如“在...之间”与“直接在...之间”、“邻近”与“直接邻近”、“在...上”与“直接在...上”)。

[0030] 将理解,尽管术语“第一”、“第二”等可在这里用来描述各种元件、部件、区域、层和 / 或部分,但是这些元件、部件、区域、层和 / 或部分不应被这些术语限制。这些术语仅用于将一个元件、部件、区域、层或部分与另一元件、部件、区域、层或部分区别开。因此,下面论述的第一元件、部件、区域、层或部分可以被称为第二元件、部件、区域、层或部分而不会偏离示例性实施方式的教导。

[0031] 空间关系术语例如“在...下面”、“在...之下”、“下部”、“在...之上”、“上部”等可以为了描述的方便而在这里用来描述如图所示的一个元件或特征对另一元件(或多个元件)或特征(或多个特征)的关系。将理解,空间关系术语意在包括除了图中所示的取向之外器件在使用或操作中的不同取向。例如,如果图中的器件被翻转,那么描述为在其他元件或特征“之下”或“下面”的元件将取向为在其他元件或特征“之上”。因此,示例性术语“在...之下”可包括之上和之下两个取向。器件可以另外地取向(旋转90度或者在其他取向),这里使用的空间关系描述语也要相应地理解。

[0032] 这里使用的术语仅用于描述特定实施方式且无意限制示例性实施方式。这里使用时,单数形式“一”和“该”意在也包括复数形式,除非上下文清楚地另外描述。还将理解,如果这里使用的话,术语“包含”和 / 或“包括”指定所陈述特征、整体、步骤、操作、元件和 / 或部件的存在,但是并不排除一个或更多其它特征、整体、步骤、操作、元件、部件和或其群组的存在或添加。

[0033] 这里参照剖视图描述示例性实施方式,剖视图是示例性实施方式的理想化实施方式(及中间结构)的示意图。因此,由于例如制造技术和 / 或容差导致的图示形状的变化是可以预期的。因此,示例性实施方式不应被理解为局限于这里示出的区域的特定形状,而是将包括例如制造所导致的形状的偏差。例如,示出为矩形的注入区域可在其边缘具有圆

化或弯曲的特征和 / 或注入浓度梯度,而不是从注入区到非注入区的二元改变。类似地,通过注入形成的掩埋区可导致该掩埋区和发生注入所经过的表面之间的区域中的一些注入。因此,图中显示的区域本质上是示意性的,它们的形状无意示出器件的区域的实际形状并且无意限定示范性实施方式的范围。

[0034] 除非另外定义,这里使用的所有术语(包括科技术语)具有与示范性实施方式所属技术领域的普通技术人员一般理解的含义相同的含义。还将理解,术语例如一般使用的字典中定义的那些术语应被理解为具有与它们在相关技术的背景中的含义一致的含义,且将不会在理想化或过于正式的意义上来理解,除非这里清楚地这样定义。

[0035] 图 1 是示意图,示出根据示范性实施方式的衬底结构。参照图 1,衬底结构可包括衬底 10。衬底 10 可包括衬底突出部 11。缓冲层 12 可在衬底 10 上。缓冲层 12 可被图案化并被衬底突出部 11 支承。包括例如氮化物半导体层(例如 GaN 基材料)的半导体层 13 可以在缓冲层 12 上。

[0036] 除了衬底突出部 11 的表面那部分以外,衬底 10 的表面可以被暴露(例如暴露到空气)。缓冲层 12 的不与衬底突出部 11 接触的下表面可被暴露。衬底突出部 11 可具有比缓冲层 12 更窄的宽度且可以包括弯曲的侧部。衬底突出部 11 的中部可以比衬底突出部 11 的端部更窄。例如,衬底突出部 11 的宽度可从中部沿向上和向下方向增大。

[0037] 缓冲层 12 可以仅通过衬底突出部 11 与衬底 10 接触。缓冲层 12 上的半导体层 13 可不接触衬底 10 并且可具有独立(freestanding)特性。由于衬底 10 和半导体层 13 之间的晶格常数和热膨胀系数失配产生的应变可得到减小。由于衬底 10 与缓冲层 12 接触的表面可局限于衬底突出部 11 的表面积,所以可以防止将 LED 器件从高温冷却到室温时产生的裂纹,所述裂纹是由于 LED 器件和半导体层 13 的热膨胀系数差异导致的。图 1 所示的衬底结构可以用于例如图 2A 或图 3A 所示的阵列结构中。

[0038] 衬底 10 可以是例如 Si 衬底,且可以包括 Si(111)、Si(110)和 / 或 Si(100)。衬底 10 可以是例如 GaN、蓝宝石、SiC、LiGaO<sub>2</sub>、ZrB<sub>2</sub>、ZnO 和 / 或 (Mn, Zn)FeO<sub>4</sub>(111)。缓冲层 12 可以是单层结构和 / 或多层结构,包括 AlN、SiC、Al<sub>2</sub>O<sub>3</sub>、AlGa<sub>x</sub>N、AlInGa<sub>x</sub>N、AlInBGa<sub>x</sub>N、AlBGa<sub>x</sub>N、Ga<sub>x</sub>N 和 / 或 XY,其中 X 可以是 Ti、Cr、Zr、Hf、Nb 和 / 或 Ta, Y 可以是氮(N)和 / 或硼(B, B<sub>2</sub>)。缓冲层 12 的厚度 t 可以在例如大约 5nm ≤ t ≤ 5 μm 的范围。根据示范性实施方式的衬底结构可用于诸如电功率器件(例如 GaN 基发光器件或高电子迁移率晶体管(HEMT)器件)的各种电器件中。

[0039] 图 2A 是示意图,示出根据示范性实施方式的衬底结构阵列。图 1 所示的衬底结构可以是支承缓冲层的单个单元并且 / 或者可以是支承一个或多个缓冲层的多个衬底结构之一。图 1 所示的衬底结构可以是包括任意芯片中的多个衬底结构和缓冲层的阵列的形式。参照图 2A,衬底 20 可以包括多个衬底突出部 21。多个缓冲层 22 可以在衬底突出部 21 上。半导体层 23(例如 GaN 基材料层)可以在缓冲层 22 上。半导体层 23 可以是氮化物半导体层。半导体层 23 可以是例如多个缓冲层 22 上的单层结构。

[0040] 图 2B 是图 2A 的衬底结构的俯视图。缓冲层 22 之间的宽度 n 可以为例如大约 10nm 或更大。图 2B 中的缓冲层 22 可以具有正方形,但不限于此,并且可以具有包括不同形状诸如多边形(例如三角形和 / 或正方形)、椭圆形(例如圆形)和 / 或直板形(straight plate shape)的阵列结构。

[0041] 图 2C 是示意图,示出包括图 2A 的衬底结构的 LED 器件。参照图 2A 和 2C, LED 结构可以在半导体层 23 上。第一电极 24a 可以在半导体层 23 的一部分上。第一包层 25、第一光波导层 26、有源层 27、第二光波导层 28、第二包层 29 和 / 或第二电极 24b 可以堆叠在半导体层 23 的与第一电极 24a 不同的部分上。尽管单个半导体层 23 示出为位于多个缓冲层 22 上,并且一个 LED 结构示于半导体层 23 上,但示例性实施方式不限于此。例如,多个 LED 结构可以在半导体层 23 上。衬底 20 可以从 LED 结构去除。

[0042] 图 3A 是示意图,示出根据示例性实施方式的 LED 衬底结构。图 3A 示出包括与多个缓冲层 32 对应的多个半导体层 33 的衬底结构阵列。图 3B 是俯视图,示出图 3A 的衬底结构。参照图 3A 和 3B,多个衬底突出部 31 可以在衬底 30 上。缓冲层 32 可以在衬底突出部 31 上。缓冲层 32 之间的宽度  $n$  可以为例如大约 10nm 或更大。图 3B 的缓冲层 32 可以为正方形,但不限于此。缓冲层 32 可以是包括不同形状诸如多边形(例如三角形和 / 或正方形)、椭圆形(例如圆形)和 / 或直板形的阵列结构。

[0043] 图 3C 是示意图,示出包括图 3A 的衬底结构的 LED 器件。参照图 3A 和 3C,第一电极 34a 可以在每个半导体层 33 的一部分上。第一包层 35、第一光波导层 36、有源层 37、第二光波导层 38、第二包层 39 和 / 或第二电极 34b 可以堆叠在每个半导体层 33 的与第一电极 34a 不同的部分上。衬底 30 可从 LED 结构去除。

[0044] 如图 2A 和 3A 所示,分别在缓冲层 22 和 32 上的半导体层 23 和 33 的形式可以根据例如其形成方法而改变。参照图 2A,多个缓冲层 22 可以形成在一个芯片中,但其上的半导体层 23 可由于例如 ELOG 法而具有单层结构。参照图 3A,根据例如常用的垂直生长法,多个半导体层 33 可以形成在一个芯片中的缓冲层 32 上。

[0045] 图 4A-4E 示出根据示例性实施方式制造图 2A 的 LED 衬底结构的方法。参照图 4A,缓冲层材料 22a 可涂覆在衬底 20 上。缓冲层材料 22a 可以是例如单层结构,该单层结构包括 AlN、SiC、Al<sub>2</sub>O<sub>3</sub>、AlGaN、AlInGaN、AlInBGaN、AlBGaN、GaN 和 / 或 XY,其中 X 可以是 Ti、Cr、Zr、Hf、Nb 和 / 或 Ta, Y 可以是氮(N)和 / 或硼(B, B<sub>2</sub>)。

[0046] 参照图 4B 和 4C,缓冲层材料 22a 可被图案化从而形成多个缓冲层 22。缓冲层 22 的形式可以根据图案化方法而改变。例如,缓冲层 22 的形状可以是多边形、椭圆形等。缓冲层 22 的厚度  $t$  可以在例如大约  $5\text{nm} \leq t \leq 5\mu\text{m}$  的范围。可以对衬底 20 的暴露于缓冲层 22 之间的表面部分执行蚀刻工艺以形成孔  $h$ 。参照图 4D,通过对衬底 20 的暴露部分执行例如湿法蚀刻工艺或干法 / 湿法蚀刻工艺,衬底 20 的在缓冲层 22 之下的部分可被蚀刻从而形成衬底突出部 21。例如,可以通过孔  $h$  蚀刻衬底 20。

[0047] 通过利用蚀刻工艺,衬底 20 的表面可通过孔  $h$  被蚀刻。衬底 20 的表面(除了衬底突出部 21 的至少一个表面以外)和缓冲层 22 的不接触衬底突出部 21 的下表面可被暴露(例如暴露到空气)。由于蚀刻工艺,衬底突出部 21 可具有弯曲的侧部。衬底突出部 21 的中部可比衬底突出部 21 的端部窄。例如,衬底突出部 21 的宽度可从中部沿向上和向下方向增大。通过利用蚀刻工艺,衬底 20 和缓冲层 22 可在除了衬底突出部 21 接触缓冲层 22 的地方以外彼此分离。在衬底 20 和缓冲层 22 分离的区域中的缓冲层 22 可具有独立特性。衬底 20 中产生的位错和裂纹可不影响缓冲层 22。

[0048] 根据示例性实施方式,可以事先蚀刻衬底 20 以形成孔  $h$ 。在这种情况下,缓冲层材料可涂覆在其中形成有孔  $h$  的衬底 20 上。缓冲层材料可被图案化从而形成多个缓冲层 22,



可借助于孔 h 通过对衬底 20 执行例如湿法或干法 / 湿法蚀刻工艺而形成衬底突出部 21。

[0049] 参照图 4E, 可利用例如外延横向过生长 (ELOG) 方法在缓冲层 22 上生长半导体材料 (例如 GaN 基材料), 从而形成半导体层 23。根据 ELOG 方法, 横向生长可快于垂直生长。半导体材料层可沿垂直于缓冲层 22 的上表面的方向部分地生长在每个缓冲层 22 上。通过调整生长方向, 半导体材料可在缓冲层 22 的上表面上水平生长。缓冲层 22 的上表面上的半导体材料可通过横向生长彼此连接并且可以形成单个半导体层 23。

[0050] 如果在金属有机化学气相沉积 (MOCVD) 室中在缓冲层 22 上直接生长氮化物半导体材料, 并且如果使用 Si 衬底, 则会发生 Ga 导致的 Si 的回熔蚀刻 (melt-back etching)。为了防止和 / 或减少回熔蚀刻, 衬底 20 和 / 或衬底突出部 21 的表面可根据下面的示例性方法中一个或多个进行处理。可以氧化衬底 20 和 / 或衬底突出部 21 的表面从而将表面转变成  $\text{SiO}_2$ , 可以对衬底 20 和 / 或衬底突出部 21 的表面执行利用  $\text{NH}_3$  的高温表面处理从而将 Si 转化成 Si 氮化物, 以及 / 或者可以在衬底 20 和 / 或衬底突出部 21 的表面上形成 AlN 层。

[0051] 图 5A-5E 示出制造图 3A 的 LED 衬底结构的方法。参照图 5A, 缓冲层材料 32a 可以涂覆在衬底 30 上。缓冲层材料 32a 可以是例如单层结构或多层结构, 包括 AlN、SiC、 $\text{Al}_2\text{O}_3$ 、AlGaIn、AlInGaIn、AlInBGaIn、AlBGaIn、GaN 和 / 或 XY, 其中 X 可以是 Ti、Cr、Zr、Hf、Nb 和 / 或 Ta, Y 可以是氮 (N) 和 / 或硼 (B,  $\text{B}_2$ )。

[0052] 参照图 5B 和 5C, 缓冲层材料 32a 可被图案化从而暴露部分衬底 30 并形成多个缓冲层 32。每个缓冲层 32 的厚度 t 可以在大约  $5\text{nm} \leq t \leq 5\ \mu\text{m}$  的范围。衬底 30 的在缓冲层 32 之间的暴露表面部分可例如被蚀刻从而形成孔 h。参照图 5D, 可对暴露的衬底 30 执行例如湿法或干法 / 湿法蚀刻工艺。例如, 衬底 30 的在缓冲层 32 之下的部分可通过孔 h 被蚀刻从而形成衬底突出部 31。衬底 30 的表面, 除了衬底突出部 31 以外, 以及缓冲层 32 的不与衬底突出部 31 接触的下表面可被暴露 (例如暴露到空气)。衬底突出部 31 可具有弯曲的侧部。

[0053] 衬底突出部 31 的中部可比衬底突出部 31 的端部窄。例如, 衬底突出部 31 的宽度可从中部沿向上和向下方向增大。除了形成衬底突出部 31 的地方以外, 衬底 30 和缓冲层 32 可由于蚀刻工艺而彼此分离。在衬底 30 和缓冲层 32 分离的区域中的缓冲层 32 可具有独立特性。衬底 30 中产生的位错和裂纹可不影响缓冲层 32。根据示例性实施方式, 可在缓冲层 32 和衬底突出部 31 之前蚀刻衬底 30 以形成孔 h。参照图 5E, 半导体材料 (例如 GaN) 可生长在缓冲层 32 上从而形成半导体层 33。图 5E 的实施方式与图 4E 的实施方式的不同之处可在于半导体层 33 可利用沉积方法沿缓冲层 32 和 / 或衬底 30 的垂直方向形成在缓冲层 32 上。

[0054] 当衬底 30 由 Si 形成时, 为了防止和 / 或减少 Ga 导致的 Si 的回熔蚀刻, 衬底 30 和 / 或衬底突出部 31 的表面可根据下面的示例性方法中的一个或多个进行处理。衬底 30 和 / 或衬底突出部 31 的表面可被氧化从而将表面转变成  $\text{SiO}_2$ , 以及 / 或者可对衬底 30 和 / 或衬底突出部 31 的表面执行利用  $\text{NH}_3$  的高温表面处理从而将 Si 转变成 Si 氮化物, 以及 / 或者可在衬底 30 和 / 或衬底突出部 31 的表面上形成 AlN 层。

[0055] 图 6A-6D 是根据示例性实施方式的衬底结构的扫描电子显微镜 (SEM) 图像。图 6A 是衬底结构阵列的透视图, 图 6B 是图 6A 的衬底结构阵列的剖视图。图 6C 是衬底结构阵列

的俯视图,图 6D 是图 6C 的衬底结构阵列的剖视图。参照图 6A-6D,根据化学湿法蚀刻工艺,衬底突出部的形状可基于与衬底晶体取向相关的蚀刻速率(定向蚀刻速率)和缓冲层中形成的底切图案。为了改变突出部的形状,可以使用不同的掩模图案以产生不同的底切图案。

[0056] 例如,图 6A 示出形成在缓冲层中的圆形底切图案,缓冲层形成在具有(111)晶体取向的硅衬底之上。图 6A 和 6B 所示的衬底结构可通过经由包括圆形图案的掩模层蚀刻缓冲层和硅衬底而形成。蚀刻工艺可包括缓冲层和硅衬底的各向异性干法蚀刻,接着是仅硅衬底各向同性湿法蚀刻。可去除掩模层,并且可通过 ELOG 生长 GaN 层。图 6C 示出根据与参照图 6A 和 6B 描述的工艺相同的工艺制造的衬底结构,除了使用六边形底切图案和根据垂直工艺生长 GaN 以外。图 6A 和 6D 显示出根据不同底切图案形成的不同的衬底突出部形状。图 6B 示出单个半导体层衬底阵列(例如类似于图 2A)。图 6D 示出垂直生长的半导体结构与衬底突出部之间的一一对应关系(例如类似于图 3A)。

[0057] 如上所述,根据上述示例性实施方式中的一个或多个,可以提供半导体器件的衬底结构以及制造衬底结构的方法,其中,当生长半导体材料(例如氮化物基半导体材料)时,可以减小位错密度且可以减少和/或防止裂纹的产生。

[0058] 尽管具体地显示和描述了示例性实施方式,但是本领域技术人员能够理解,在不脱离权利要求所定义的精神和范围的情况下可以进行形式和细节上的各种改变。

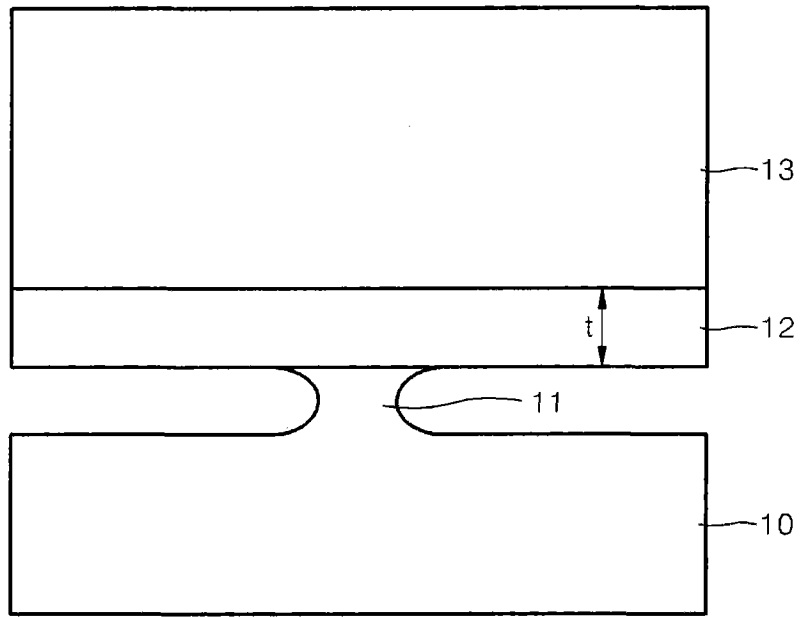


图 1

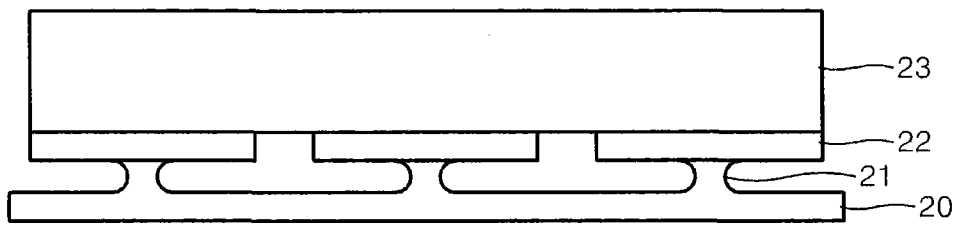


图 2A

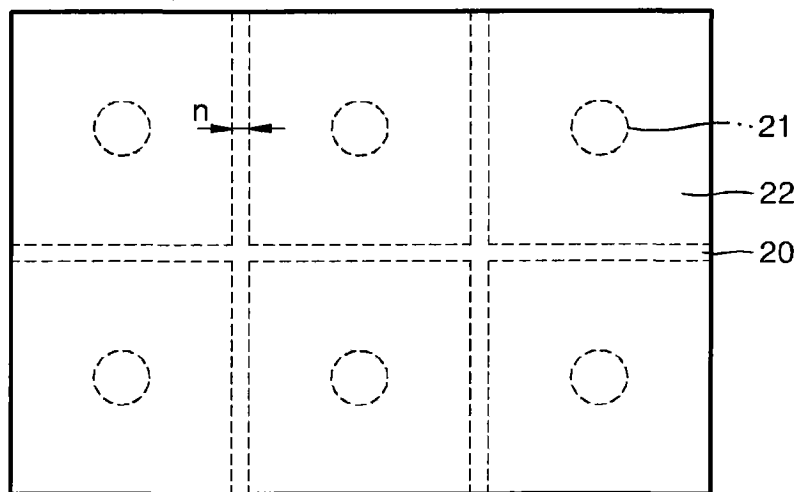


图 2B

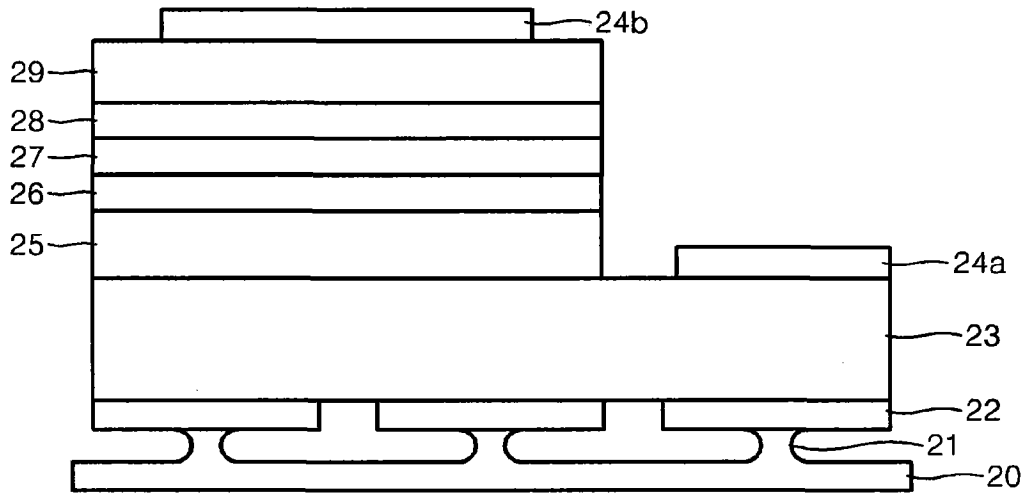


图 2C

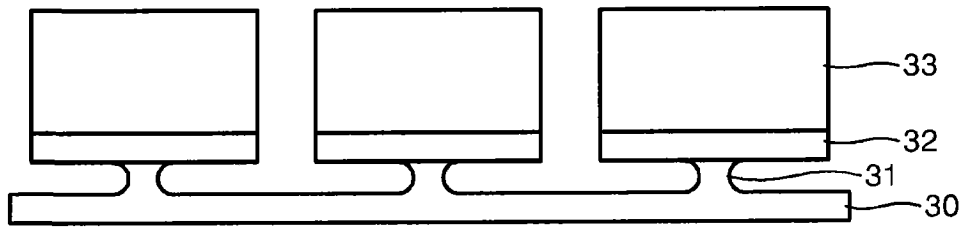


图 3A

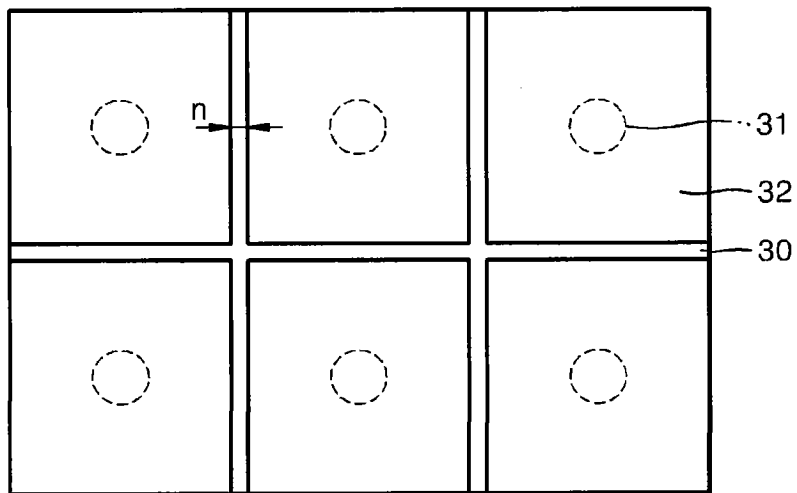


图 3B

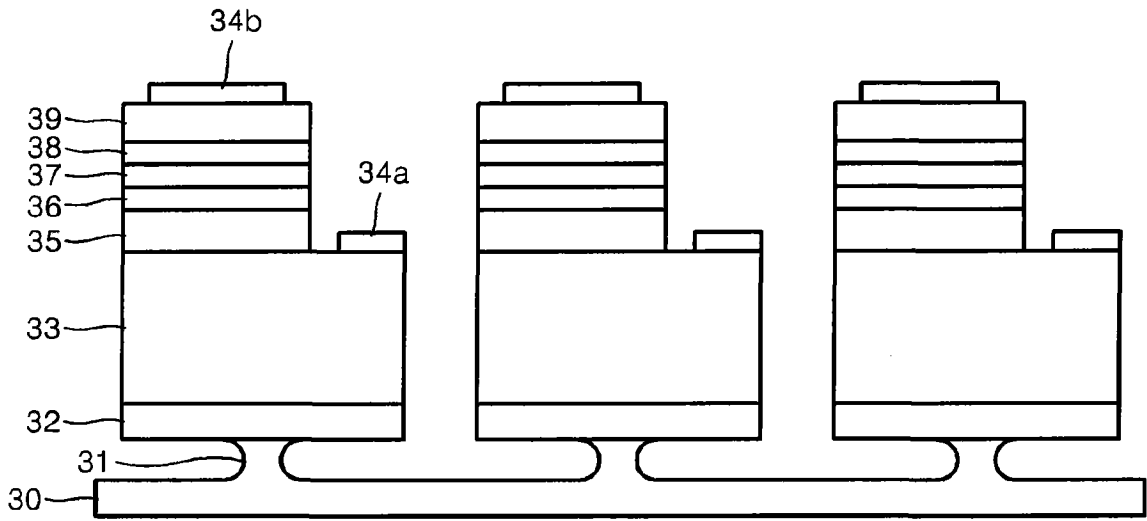


图 3C

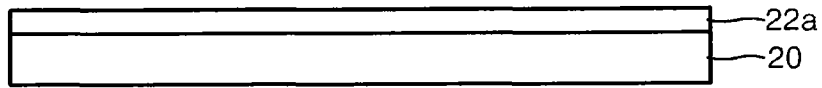


图 4A

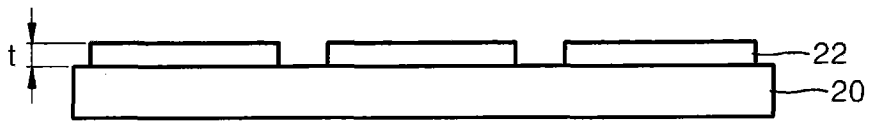


图 4B

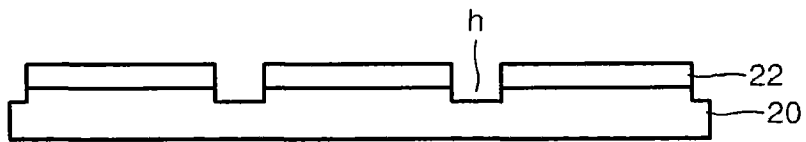


图 4C

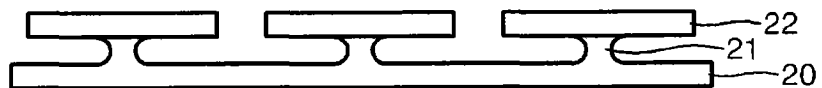


图 4D

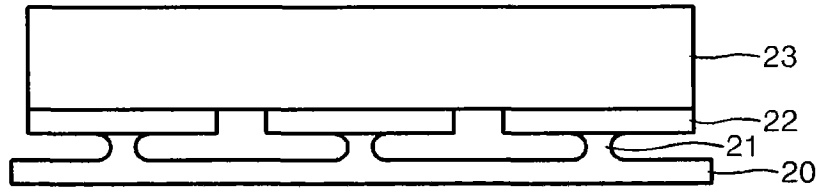


图 4E

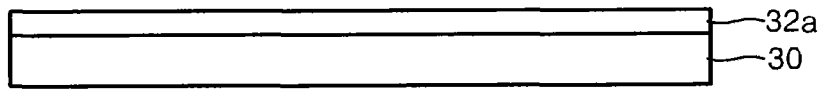


图 5A

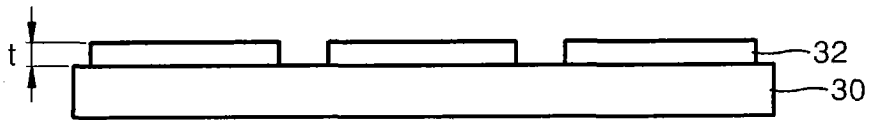


图 5B

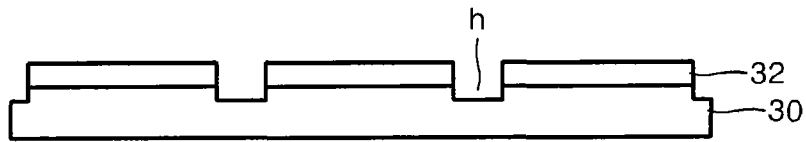


图 5C

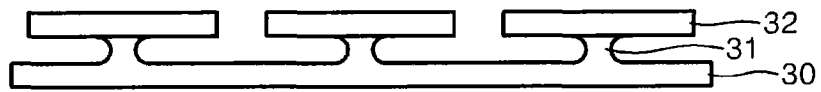


图 5D

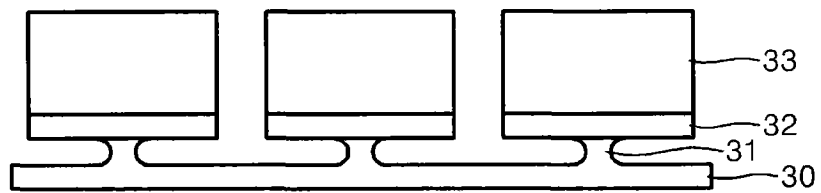


图 5E

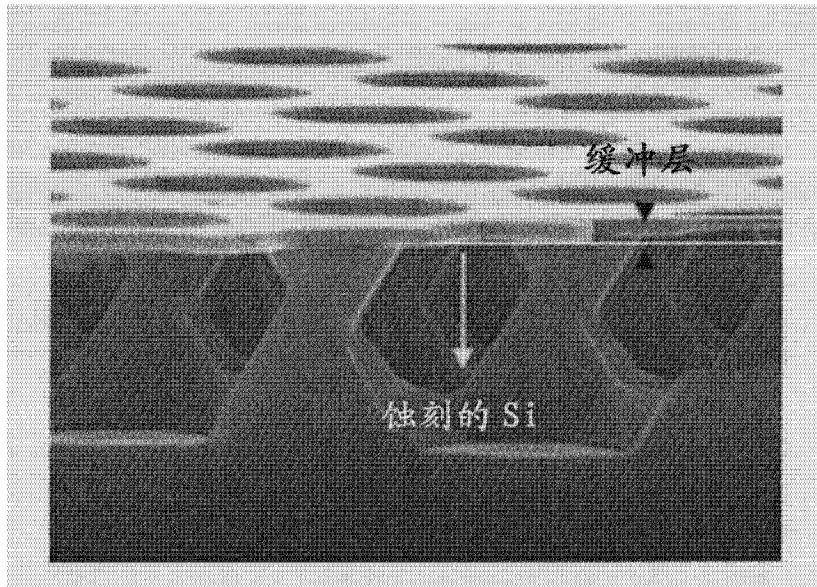


图 6A

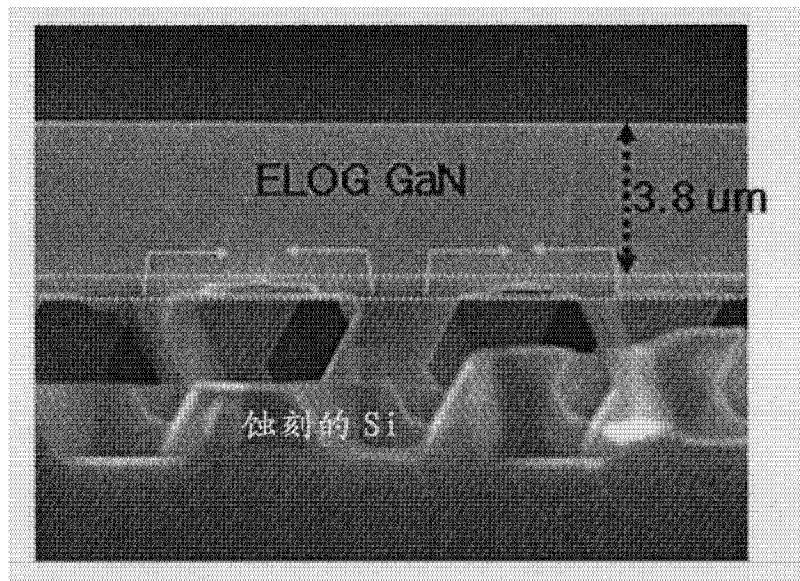


图 6B

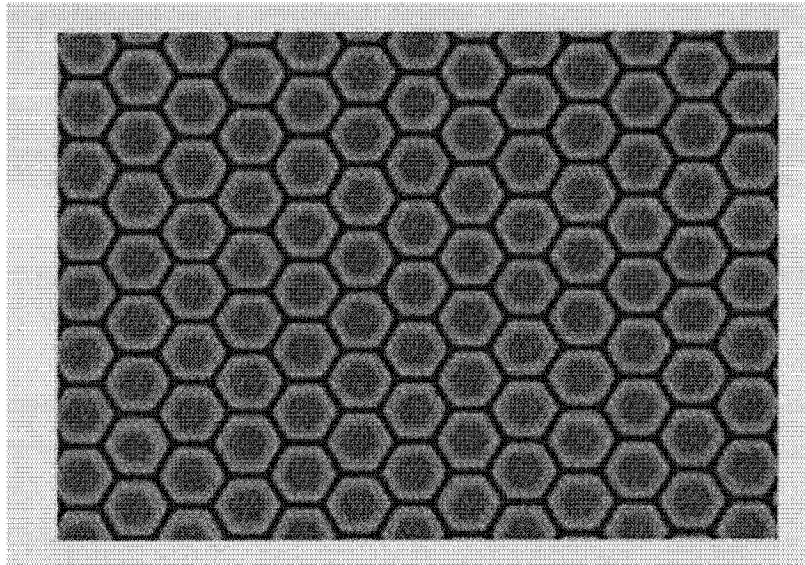


图 6C

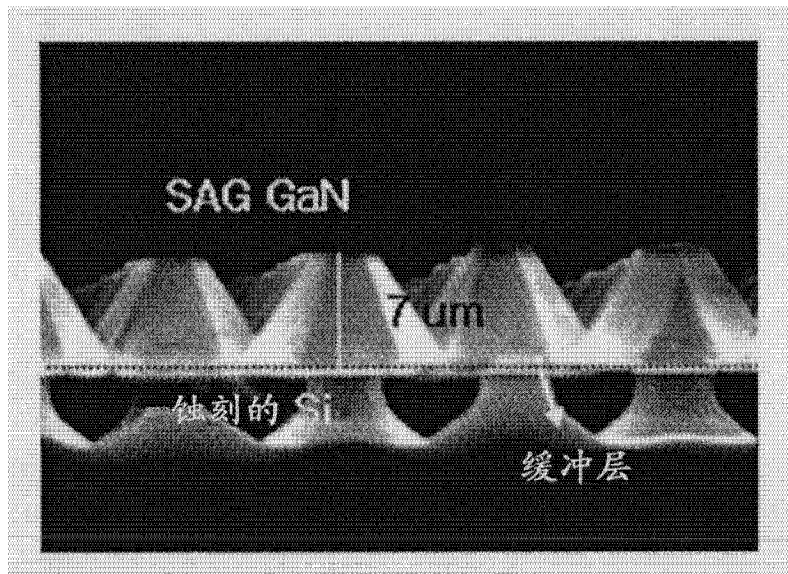


图 6D