



(10) **DE 10 2013 106 965 A1** 2014.09.18

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2013 106 965.7**

(22) Anmeldetag: **03.07.2013**

(43) Offenlegungstag: **18.09.2014**

(51) Int Cl.: **H01L 23/50** (2006.01)

H01L 21/60 (2006.01)

H01L 21/58 (2006.01)

H01L 23/488 (2006.01)

H01L 21/50 (2006.01)

H01L 25/04 (2006.01)

(30) Unionspriorität:

61/798,136 **15.03.2013** **US**

13/922,023 **19.06.2013** **US**

(71) Anmelder:

**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsin-Chu, TW**

(72) Erfinder:

**Chen, Chih-Hua, Zhubei City, Hsinchu County,
TW; Chen, Chen-Shien, Zhubei, TW; Hsiao, Ching-
Wen, Hsinchu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(56) Ermittelter Stand der Technik:

DE **37 05 828** **A1**

US **7 402 901** **B2**

US **8 227 904** **B2**

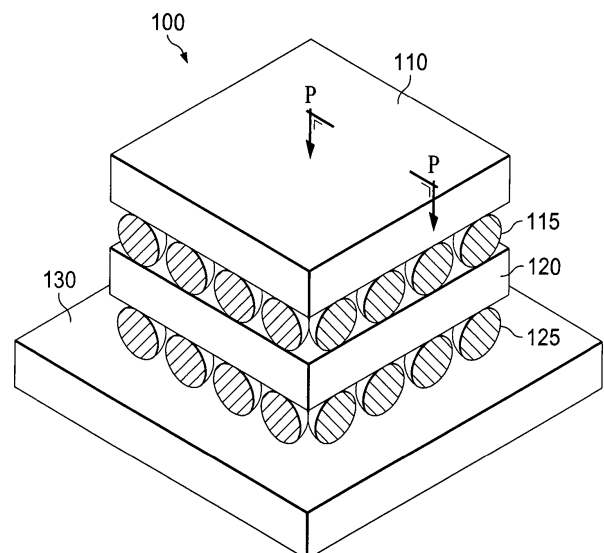
US **2007 / 0 080 442** **A1**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Packaging Mechanismus für Dies mit unterschiedlichen Größen der Konnektoren**

(57) Zusammenfassung: Ausführungsbeispiele von Mechanismen zum Bilden eines Die-Packages mit mehreren kompakten Dies auf einem Packagesubstrat, Verwenden eines Verbindungssubstrats zum Schaffen von elektrischen Verbindungen zwischen den Dies und dem Packagesubstrat. Die Verwendung des Verbindungssubstrats ermöglicht eine Kostenreduktion, da es billiger herzustellen ist als ein Interposer mit Siliziumdurchgängen (TSVs). Das Verbindungssubstrat ermöglicht auch Dies mit unterschiedlichen Größen der Bumpstrukturen in denselben Die-Packages zu packen.



Beschreibung

[0001] Diese Erfindung beansprucht die Priorität der U. S. provisorischen Anmeldung Nr. 61/798,136 vom 15. März 2003 mit der Bezeichnung „Verfahren und Vorrichtung für eine Packagestruktur“, diese Anmeldung wird hier durch Bezugnahme eingebunden.

HINTERGRUND

[0002] Halbleiterbauelemente werden in einer Vielzahl von elektronischen Anwendungen verwendet, etwa bei PCs, Mobiltelefonen, digitalen Kameras und anderer elektronischer Ausrüstung als Beispiele. Halbleiterbauelemente werden typischerweise durch sequentielles Ablagern von isolierenden oder dielektrischen Schichten, leitfähigen Schichten und Halbleiterschichten über ein Halbleitersubstrat und Strukturieren der verschiedenen Materialschichten unter Verwendung von Lithographie zur Bildung von Schaltkreiskomponenten und Elementen dieser hergestellt.

[0003] Die Halbleiterindustrie verbessert die Integrationsdichte verschiedener elektronischer Komponenten (beispielsweise Transistoren, Dioden, Widerstände, Kapazitäten usw.) durch kontinuierliche eine Verringerung der minimalen Größe, was es erlaubt, mehr Komponenten in einem vorgegebenen Bereich zu integrieren. Diese kleineren elektronischen Komponenten verlangen weiter kleinere Packages, die weniger Fläche und/oder eine geringere Höhe als die bisherigen Packages bei einigen Anwendungen haben.

[0004] Die Packagingtechnologien sind neuerdings entwickelt. Durch das Anwenden neuer Packagingtechnologien kann die Integrationshöhe des Packages verbessert werden. Diese relativ neuen Arten von Packagingtechnologien halbleitern kann die Integrationshöhe des Packages vergrößert werden. Diese relativ neuen Arten von Packagingtechnologien für Halbleitern stellen besondere Anforderungen an die Herstellung.

KURZE ERLÄUTERUNG DER ZEICHNUNGEN

[0005] Für ein besseres Verständnis der vorliegenden Offenbarung und dessen Vorteile wird jetzt auf die nachfolgende Beschreibung, die in Verbindung mit den beiliegenden Zeichnungen erfolgt, gemacht. Dabei zeigt/zeigen:

[0006] Fig. 1 eine perspektivische Ansicht eines Die-Packages in Übereinstimmung mit einigen Ausführungsbeispielen,

[0007] Fig. 2 eine Querschnittsansicht eines Die-Packages in Übereinstimmung mit einigen Ausführungsbeispielen.

[0008] Fig. 3 eine Draufsicht auf das Die-Package von Fig. 2A in Übereinstimmung mit einigen Ausführungsbeispielen,

[0009] Fig. 3A–Fig. 3E Querschnittsansichten eines Ablaufs des Bildens eines Verbindungssubstrats in Übereinstimmung mit einigen Ausführungsbeispielen.

[0010] Fig. 4A–Fig. 4E Querschnittsansichten eines Ablaufs des Bildens eines kompakten Dies in Übereinstimmung mit einigen Ausführungsbeispielen.

[0011] Fig. 5A–Fig. 5D Querschnittsansichten eines Ablaufs des Bildens eines Die-Packages in Übereinstimmung mit einigen Ausführungsbeispielen.

[0012] Fig. 6 eine Querschnittsansicht eines Die-Packages in Übereinstimmung mit einigen Ausführungsbeispielen.

[0013] Fig. 7A–Fig. 7E Querschnittsansichten eines Ablaufs des Bildens des Die-Packages in Übereinstimmung mit einigen Ausführungsbeispielen.

[0014] Fig. 8 eine Draufsicht auf ein Die-Package in Übereinstimmung mit einigen Ausführungsbeispielen.

[0015] Einander entsprechende Ziffern und Symbole in den unterschiedlichen Figuren beziehen sich im Allgemeinen auf einander entsprechende Teile, soweit dies nicht anders angegeben ist. Die Figuren sind zur klaren Illustration der relevanten Aspekte der Erfindung gezeichnet, sie sind nicht notwendigerweise maßstäblich.

EINGEHENDE BESCHREIBUNG

[0016] Die Herstellung und die Verwendung von Ausführungsbeispielen der vorliegenden Offenbarung werden im Folgenden in ihren Einzelheiten diskutiert. Es ist jedoch zu berücksichtigen, dass die vorliegende Offenbarung viele anwendbare erfindnerische Konzepte schafft, die in einer großen Vielzahl von spezifischen Zusammenhängen angewendet werden können. Die spezifischen Ausführungsbeispiele, die hier diskutiert werden, sind illustrativ und beschränken den Schutzbereich dieser Offenbarung nicht.

[0017] Fig. 1 ist eine perspektivische Ansicht eines Die-Packages **100** mit einem kompakten Die **110**, der an eine Verbindungsschicht **120** gebondet ist, die weiter an einem Substrat (oder Package-Substrat) **130** gebondet ist in Übereinstimmung mit einigen Ausführungsbeispielen. Zwei oder mehr kompakte Dies können an der Verbindungsstruktur **120** gebondet sein. Die zwei oder mehr kompakten Dies können sich voneinander unterscheiden. Zwei oder

mehr der kompakten Dies, die mit der Verbindungsschicht **120** gebondet sind, können miteinander identisch sein. Beispielsweise könnten zwei identische kompakte Speicher-Dies und eine kompakte Verarbeitungseinheits-Die, etwa eine zentrale Recheneinheit (CPU) oder eine graphische Verarbeitungseinheit (GPU) an die Verbindungsschicht **120** gebondet sein.

[0018] Jedes kompakte Die, etwa das kompakte Die **110**, weist wenigstens ein (nicht gezeigtes) Halbleiter-Die auf. Das Halbleiter-Die weist ein Halbleitersubstrat, wie es bei der Herstellung einer integrierten Halbleiterschaltung verwendet wird auf, die integrierten Schaltungen können in dieser oder auf dieser gebildet sein. Das Halbleitersubstrat bezieht sich auf jede Konstruktion, die Halbleitermaterialien aufweist, einschließlich, jedoch nicht darauf begrenzt, Bulksilizium, einen Halbleiterwafer, ein Silizium-auf-Isolator (SOI) Substrat oder ein Silizium/Germanium-Substrat. Andere Halbleitermaterialien einschließlich Elemente der Gruppe III, der Gruppe IV der Gruppe V können ebenfalls verwendet werden. Das Halbleitersubstrat kann weiter eine Mehrzahl von Isolationseigenschaften (nicht gezeigt) aufweisen, etwa eine flache Grabenisolation (STI) oder eine lokale Oxidierung von Silizium (LOCOS). Die Isolationseigenschaften können die verschiedenen mikroelektronischen Elemente definieren und isolieren. Beispiele der verschiedenen mikroelektronischen Elemente, die in dem Halbleitersubstrat gebildet sein können, weisen Transistoren, d. h. Metalloxidhalbleiterfeldeffekttransistoren (MOSFET), komplementäre Metalloxidhalbleiter (CMOS) Transistoren, bipolare Verbindungstransistoren (BJT), Hochspannungstransistoren, Hochfrequenztransistoren, p-Kanal- und/oder n-Kanalfeldeffekttransistoren (PFETs/NFETs) usw.) ; Widerstände, Dioden, Kapazitäten, Induktivitäten, Sicherungen und andere geeignete Elemente auf. Verschiedene Prozesse werden ausgeführt zur Bildung von verschiedenen mikroelektronischen Elementen einschließlich der Ablagerung, des Ätzens, der Implantation, der Photolithographie, des Schweißens und/oder anderer geeigneter Prozesse. Die mikroelektronischen Elemente werden zur Bildung des integrierten Schaltungsbauteils, etwa einem logischen Bauteil, einem Speicherbauteil (beispielsweise SRAM), eines RF-Bauelements, eines Eingangs/Ausgangs (I/O) Elements, einem System-auf-Chip (SoC) Elements, Kombinationen daraus und anderer geeigneter Typen von Bauteilen miteinander verbunden.

[0019] Das Verbindungssubstrat **120** kann aus einem Halbleiterwafer oder einem Abschnitt eines Wafers bestehen. Bei einigen Ausführungsbeispielen weist das Verbindungssubstrat **120** Silizium, Galliumarsenid, Silizium auf einem Isolator („SOI“) oder andere ähnliche Materialien auf. Das Verbindungssubstrat **120** weist Verbindungsstrukturen und Ver-

teilungsschichten (RDL) (nicht gezeigt) zum elektrischen Verbinden des kompakten Dies **110** mit dem Substrat **130**. RDLs sind Verbindungsstrukturen nahe der Oberfläche des Die-Packages oder auf den kompakten Strukturen zum Erleichtern der elektrischen Verbindungen. Bei einigen Ausführungsbeispielen weist das Verbindungssubstrat **120** passive Bauelemente, Widerstände, Kapazitäten, Spulen und dergleichen auf, oder aktive Bauelemente wie Transistoren. Bei einigen Ausführungsbeispielen weist das Substrat **130** zusätzliche dritte Schaltungen auf. Das Verbindungssubstrat **120** kann weiter durch das Substrat verlaufende Durchgänge (TSV) und kann ein Interposer sein. Weiter kann das Verbindungssubstrat **120** aus anderen Materialien bestehen. Bei einigen Ausführungsbeispielen weist das Verbindungssubstrat **120** weiter Bismaleimidtriazin (BT), Harz FR-4 (einem Kompositmaterial, das aus gewebtem Faserglastuch mit einem Epoxyharzbinder, der flammenresistent ist), Keramik, Glas, Kunststoff, Glasfaser, Silizium/Glas-Interposer oder andere Stützelemente auf, die die leitfähigen Pads oder Lands, die zum Aufnehmen der leitenden Anschlüsse erforderlich sind, auf.

[0020] Das Substrat **130** kann aus einem Halbleiterwafer oder einem Abschnitt des Wafers bestehen. In einigen Ausführungsbeispielen weist das Substrat **130** Silizium, Galliumarsenid, Silizium auf Isolator („SOI“) oder andere Materialien auf. Bei einigen Ausführungsbeispielen weist das Substrat **130** weiter passive Elemente wie Widerstände, Kapazitäten, Induktivitäten oder dergleichen oder aktive Einheiten wie Transistoren auf. Bei einigen Ausführungsbeispielen weist das Substrat **130** zusätzlich integrierte Schaltungen auf. Zusätzlich kann das Substrat **130** aus anderen Materialien gefertigt sein. Beispielsweise ist das Substrat **130** bei einigen Ausführungsbeispielen eine mehrschichtige Schaltkarte. Bei einigen Ausführungsbeispielen weist das Substrat **130** Bismaleimidtriazin (BT), Harz, FR-4 (ein Verbundmaterial bestehend aus gewebtem Faserglastuch mit einem Epoxyharzbinder, der flammenresistent ist), Keramik, Glas, Kunststoff, Band, Folie oder andere Stützmaterialien auf, die die leitfähigen Pads oder Lands, die erforderlich sind, um die leitfähigen Anschlüsse aufzunehmen auf.

[0021] Das kompakte Die **110** ist über Konnektoren **115** an das Verbindungssubstrat **120** gebondet, das Verbindungssubstrat **120** ist mit dem Substrat **130** über Konnektoren **125** gebondet. Wenn zwei oder mehr kompakte Dies wie das kompakte Die **110** und ein anderes kompaktes Die mit unterschiedlichen Größe von Konnektoren an das Verbindungssubstrat **120** gebondet sind, könnte der Packagingmechanismus problematisch sein. Weiter sind die Kosten der Herstellung des Die-Packages wie dem Die-Package **100** ebenfalls in Betracht zu ziehen. Die Verbindungssubstrate **120** mit den TSV, die auch als Interposer

bezeichnet werden, bieten die Funktionen der elektrischen Verbindung und der Wärmeverteilung. Interposer sind jedoch teuer. Bei manchen Anwendungen, die low-cost Die-Packages erfordern, sind alternative Die-Packagestrukturen und Verfahren zu deren Herstellung notwendig.

[0022] Fig. 2A zeigt eine Querschnittsansicht eines Die-Package **100'** in Übereinstimmung mit einigen Ausführungsbeispielen. Das Die-Package **100'** weist ein kompaktes Die **110_A** und ein kompaktes Die **110_B** auf. Beispielsweise könnte das kompakte Die **110_A** eine Zentralrecheneinheit (CPU) oder eine graphische Steuereinheit (GPU) sein und das kompakte Die **110_B** könnte ein Speicher etwa ein statischer Speicher mit wahlfreiem Zugriff (SRAM), ein dynamischer Speicher mit wahlfreiem Zugriff (DRAM) oder eine andere Art eines Speichers sein. Das kompakte Die **110_B** könnte eine große Anzahl von Eingängen/Ausgängen (I/O) haben. Infolgedessen sind die Konnektoren für das kompakte Die **110_B** kleine Punkte (etwa Mikropunkte (etwa μ -Punkte)). Das kompakte Die **110_A** hat Konnektoren mit unterschiedlichen Größen. Die Fig. 2A zeigt ein kompaktes Die **110_A** mit großen Konnektoren und mit kleinen Konnektoren. Die kleinen Konnektoren haben etwa dieselbe Größe wie die Konnektoren des kompakten Die **110_B**. Die großen Konnektoren des Die **110_A** sind direkt auf das Substrat (oder das kompakte Substrat) **130'** gebondet zur Bildung von Bondingstrukturen **115_A**. Die kleinen Konnektoren des kompakten Dies **110_A** und des kompakten Dies **110_B** sind an ein Verbindungssubstrat **120'** gebondet zur Bildung von Bondingstrukturen **115_B**. Das Verbindungssubstrat **120'** ist elektrisch mit der Verbindungsschicht **135** des Substrats **130'** über Konnektoren **125'** verbunden. Fig. 2A zeigt weiter externe Konnektoren **138'**, die an das Substrat **130'** gebondet sind.

[0023] Fig. 2B zeigt eine Draufsicht auf das Die-Package **100'** von Fig. 2A in Übereinstimmung mit einigen Ausführungsbeispielen. Fig. 2B zeigt, dass das kompakte Die **110_A** nahe dem kompakten Die **110_B** angeordnet ist. Das Verbindungssubstrat **120'** ist unterhalb des kompakten Dies **110_B** und einen Teil des kompakten Dies **110_A** angeordnet. Das Bondingschema, das in Fig. 2A gezeigt ist, weist ein Substrat mit TSV, dessen Herstellungskosten hoch sind, nicht auf. Infolgedessen spart das Schema von Fig. 2A Herstellungskosten. Ausführungsbeispiele von Mechanismen zum Bilden des Die-Package **100'** werden unten beschrieben.

[0024] Die Fig. 3A–Fig. 3E zeigen Querschnittsansichten eines Ablaufs des Bildens des Verbindungssubstrats **120'** in Übereinstimmung mit einigen Ausführungsbeispielen. Fig. 3A zeigt eine Verteilungsstruktur **302**, die über ein Substrat **301** ausgebildet ist. Wie oben beschrieben worden ist, kann das Substrat **301** für das Verbindungssubstrat **120'** ein

Halbleiterwafer, Glas oder andere anwendbare Materialien gefertigt sein. Bei einigen Ausführungsbeispielen weist das Substrat **301** Silizium, Galliumarsenid, Silizium-auf-Isolator („SOI“), Glas oder ähnliche Materialien auf. Die Fig. 3A–Fig. 3E zeigen einen Bereich **300** eines einzelnen Verbindungssubstrats **120'**. Während der Verarbeitung werden eine Anzahl von Verbindungssubstraten **120'** auf dem Substrat **301** gebildet. An dem Ende des Prozessablaufs wird das Substrat **301** in gesonderte einzelne Verbindungssubstrate **120'** gesägt. Das Verbindungssubstrat **120'** beinhaltet keine aktive Bauelemente wie Transistoren, Speichereinheiten usw. und weist keine passiven Bauelemente wie Widerstände oder Kapazitäten auf bei einigen Ausführungsbeispielen. Infolgedessen sind die Herstellungskosten des Verbindungssubstrats **120'** relativ gering und tiefer als Interposer bei TSV. Bei einigen Ausführungsbeispielen beinhaltet das Substrat **120** passive Bauelemente. Auch wenn das Verbindungssubstrat **120'** passive Elemente beinhaltet, sind die Herstellungskosten des Verbindungssubstrats **120'** viel geringer als die eines Interposer Substrats bei TSV.

[0025] Die Fig. 3A–Fig. 3E zeigen den Bereich **300** des Verbindungssubstrats **120'** in Übereinstimmung mit einigen Ausführungsbeispielen. Bei der Verarbeitung weist das Substrat **301** eine Anzahl von Bereichen ähnlich dem Bereich **300** zum Bilden von zusätzlichen Verbindungssubstraten **120'** auf. Die Verbindungsstruktur **302** weist eine oder mehrere Verteilerschichten (RDL) auf (nicht gezeigt), die durch Passivierungsschichten isoliert sind. Beispiele von Verteilungsstrukturen und Bondingstrukturen und -verfahren zu deren Bildung sind in der US-Anmeldung 13/427,753 mit dem Titel „Bump Structures for Multi-Chip Packaging“, die am 22. März 2012 eingereicht worden ist (Anwaltsakte TSMC2011-1339) und der US-Anmeldung 13/338,820 mit dem Titel „Packaged Semiconductor Device and Method of Packaging the Semiconductor Device“, die am 28. Dezember 2011 eingereicht worden ist (Anwaltsakte TSMC 2011-1368) beschrieben. Beide Anmeldungen werden hier durch Bezugnahme vollständig einbezogen.

[0026] Fig. 3A zeigt weiter, dass die Ecken **303** durch Entfernen von Abschnitten des Substrats **301** gebildet sind. Bei einigen Ausführungsbeispielen werden die Ecken **303** durch Laser (einem Laserkerbvorgang) entfernt, das Gräben in dem Substrat **301** entfernt. Andere Material entfernende Prozesse können auch verwendet werden. Der Bereich **300** weist Ecken **303** auf, die eine Hälfte der Gräben sind. Fig. 3A zeigt, dass die Ecken **303** eine geneigte Seitenwand haben. Bei einigen Ausführungsbeispielen ist der Winkel \square zwischen der geneigten Seitenwand und einer normalen zu der Substratfläche in einem Bereich von etwa 30° bis etwa 60° . Die Ecken **303** können vor oder nach der Bildung der Verteilungsstruktur **302** gebildet werden.

[0027] Eine Plattierungskeimschicht **304** wird sodann auf der Verteilungsstruktur **302** gebildet, wie in **Fig. 3B** in Übereinstimmung mit einigen Ausführungsbeispielen gezeigt. Bei einigen Ausführungsbeispielen besteht die Plattierungskeimschicht **304** aus Kupfer und wird sodann durch physikalische Dampfablagerung (PVD) gebildet. Es kann jedoch auch ein anderer leitfähiger Film verwendet werden. Beispielsweise kann die Plattierungskeimschicht **304** aus Ti, einer Titanlegierung, Kupfer und/oder einer Kupferlegierung gefärbt sein. Die Titanlegierung und die Kupferlegierung können Silber, Chrom, Nickel, Zinn, Gold, Wolfram und Kombinationen daraus aufweisen. Bei einigen Ausführungsbeispielen ist die Dicke der Plattierungskeimschicht **304** in einem Bereich von 0,1 μm bis etwa 0,8 μm . Bei einigen Ausführungsbeispielen weist die Plattierungskeimschicht **304** eine Diffusionsgrenzschicht auf die vor dem Ablagern der Plattierungskeimschicht gebildet ist. Die Plattierungskeimschicht **304** kann weiter als eine Klebeschicht für eine Unterschicht wirken. Bei einigen Ausführungsbeispielen ist die Diffusionsgrenzschicht aus Titan mit einer Dicke in einem Bereich von etwa 0,03 μm bis etwa 0,1 μm gefertigt. Die Diffusionsgrenzschicht kann jedoch aus anderen Materialien gebildet sein, etwa TaN oder anderen verwendbaren Materialien und der Bereich der Dicke ist nicht auf den oben beschriebenen Bereich beschränkt. Die Diffusionsgrenzschicht wird bei einigen Ausführungsbeispielen durch PVD gebildet.

[0028] Nachdem die Plattierungskeimschicht **304** gebildet ist, wird über diese eine photoresistive Schicht **305** aufgebracht, wie in **Fig. 3B** in einigen Ausführungsbeispielen gezeigt ist. Die photoresistive Schicht **305** kann durch einen Nassprozess gebildet werden, etwa als ein Spin-On-Prozess oder einem Trockenprozess, wie durch Aufbringen eines trockenen Films über der Fläche der Plattierungskeimschicht **304**. Nachdem die photoresistive Schicht **305** gebildet ist, wird die photoresistive Schicht **305** zum Bilden von Öffnungen **306**, die für Konnektoren verwendet werden (oder Bondingstrukturen wie Punkte) für ein einzelnes Verbindungssubstrat **120'**, strukturiert. **Fig. 3B** zeigt weiter, dass die photoresistive Schicht **305** ebenfalls nahe den Kanten **303** zum Bilden von freiliegenden Bereichen **306'**. Der Strukturierungsprozess weist Photolithographien und eine Resistentwicklung auf. Bei einigen Ausführungsbeispielen ist die Breite W_1 der Öffnungen **306** in einen Bereich von etwa 10 μm bis etwa 60 μm . Bei einigen Ausführungsbeispielen ist die Tiefe D_1 der Öffnungen **306** in einem Bereich von etwa 15 μm bis etwa 80 μm .

[0029] Sodann wird eine leitfähige Schicht **307** auf die Fläche der freiliegenden Plattierungskeimschicht **304** aufgebracht, nämlich über die Flächen in den Öffnungen **306** und über die Flächen der freiliegenden Bereiche **306'** (über die Kanten **303**) in Übereinstimmung mit einigen Ausführungsbeispielen. Bei

einigen Ausführungsbeispielen besteht die leitfähige Schicht **307** aus Kupfer, einer Kupferlegierung oder einer Kombination daraus. Der Bildung der ersten leitfähigen Schicht **307** folgend wird eine Löttschicht **308** über die leitfähige Schicht **307** gebildet. Bei einigen Ausführungsbeispielen werden die leitfähige Schicht **307** und die Löttschicht **308** durch Plattierungsprozesse gebildet. **Fig. 3C** zeigt die leitfähige Schicht **307** und die Löttschicht **308** nach ihrer Bildung in Übereinstimmung mit einigen Ausführungsbeispielen. Bei einigen Ausführungsbeispielen ist die Dicke der leitfähigen Schicht **307** in den Öffnungen **306** in einem Bereich von etwa 10 μm bis etwa 30 μm . Bei einigen Ausführungsbeispielen ist die Dicke der Löttschicht **308** in den Öffnungen **306** in einem Bereich von etwa 5 μm bis etwa 30 μm .

[0030] Die Dicke der leitfähigen Schicht **307** und die der Löttschicht **308** ist über freiliegenden Bereichen **306'** größer als in den Öffnungen **306** aufgrund des größeren freiliegenden Flächenbereichs während des Plattierungsprozesses. Bei einigen Ausführungsbeispielen ist die Dicke der leitfähigen Schicht **307** über den freiliegenden Bereichen **306'** mit einem Bereich von etwa 12 μm bis etwa 40 μm . Bei einigen Ausführungsbeispielen ist die Dicke der Löttschicht **308** über freiliegenden Bereichen **306'** in einem Bereich von etwa 5 μm bis etwa 40 μm .

[0031] Nach der Bildung der leitfähigen Schicht **307** und der Löttschicht **308** wird die photoresistive Schicht **305** entfernt, wie in **Fig. 3D** in Übereinstimmung mit einigen Ausführungsbeispielen gezeigt ist. Der Entfernungsvorgang kann ein Trocken- oder Nassätzen einschließen. Ein Ätzvorgang wird sodann ausgeführt zum Entfernen der Plattierungskeimschicht **306**, die nicht von der leitfähigen Schicht **307** und der Löttschicht **308** abgedeckt ist.

[0032] Nachdem die photoresistive Schicht **305** entfernt ist und nach dem Ätzen der freiliegenden Plattierungskeimschicht **304**, der leitfähigen Schicht **307** und der Löttschicht **308** in den Öffnungen **306**, liegen die externen Konnektoren (oder Bumpstrukturen) **310** frei. Die freiliegende leitfähige Schicht **307** und die Löttschicht **308**, die über den freiliegenden Bereichen **306'** gebildet sind, bilden Kontaktstrukturen **311**.

[0033] Ein Reflowvorgang wird sodann ausgeführt, um ein Reflow der Löttschicht **308** über die strukturierte leitfähige Schicht **307** zum Vorbereiten der externen Konnektoren **310** zum Bonden zu bewirken. Die Löttschicht **308**, die die leitfähige Schicht **307** nahe über dem freiliegenden Bereich **306'** abdeckt, wird ebenfalls einem Reflow zum Abdecken der Seitenwand (Wände) der Löttschicht **307**, wie in **Fig. 3D** in Übereinstimmung mit einigen Ausführungsbeispielen gezeigt, unterzogen.

[0034] Im Anschluss an den Reflowvorgang, der oben beschrieben worden ist, wird das Substrat **301** auf eine Dicke T_1 gezeigt, wie in **Fig. 3E** anhand einiger Ausführungsbeispiele gezeigt ist. Der Verbindungsvorgang kann einen Abschleifvorgang verwenden. Bei einigen Ausführungsbeispielen ist die Dicke T_1 in einem Bereich von etwa 20 μm bis etwa 50 μm . Im Anschluss an den Verdünnungsprozess wird der Bereich **300** in einzelne Stücke von dem ganzen Substrat **301** zum weiteren Packen vereinzelt, wie dies unten beschrieben werden wird. Der Vereinzeltungsvorgang ist in Übereinstimmung mit einigen Ausführungsbeispielen ein Sägevorgang. Bei einigen Ausführungsbeispielen werden benachbarte Kontaktstrukturen **301** von benachbarten Verbindungssubstraten **120** miteinander vor dem Vereinzeltungsvorgang verbunden und werden miteinander nach dem Vereinzeltungsvorgang getrennt. Ein Bereich jeder Kontaktstruktur **311** ist in der Ritzlinie, die bei einigen Ausführungsbeispielen der Bereich ist, in dem das Sägeblatt durchschneidet.

[0035] Die **Fig. 4A–Fig. 4E** zeigen Querschnittsansichten eines Ablaufs des Bildens des kompakten Die **110A** in Übereinstimmung mit einigen Ausführungsbeispielen. **Fig. 4A** zeigt eine Verteilungsstruktur **402**, die über einem Bereich **400** des Substrats **401** ausgebildet ist, der (nicht gezeigte) Halbleiterbauteile, (nicht gezeigte) Verbindungsstrukturen und (nicht gezeigte) Kontaktpads aufweist, die über den Verbindungsstrukturen ausgebildet sind, um elektrische Verbindungen mit den Halbleiterbauelementen herzustellen. Das Halbleiterbauelement kann aktiv oder passiv sein. Die Verbindungsstrukturen können Metallschichten und unterschiedliche Schichten von Durchführungen aufweisen, die zum Verbinden der Metallschicht verwendet werden. Die leitfähigen Schichten von Verbindungsstrukturen sind durch dielektrische Schichten isoliert. Die Verteilungsstruktur **402** wird über Kontaktpunkten ausgebildet zum Herstellen einer elektrischen Verbindung mit den Kontaktpunkten und den Halbleiterbauelementen in dem Substrat **401**. Die **Fig. 4A–Fig. 4E** zeigen lediglich den Bereich **400** eines vereinzelteten Die. Während des Prozesses werden eine Anzahl von Die auf dem Substrat **401** ausgebildet. Am Ende der Prozessabfolge wird das Substrat **401** gesägt zum Trennen in individuelle kompakte Die **110A**.

[0036] Die Verteilungsstruktur **402** weist eine oder mehrere Verteilungsschichten (RDL) auf (nicht gezeigt), die durch Passivierungsschichten isoliert sind. Eine Plattierungskeimschicht **404** wird sodann auf der Verteilungsstruktur **402** gebildet, wie dies in **Fig. 4B** in Übereinstimmung mit einigen Ausführungsbeispielen gezeigt ist. Die Plattierungsschicht **404** ist der oben beschriebenen Plattierungskeimschicht **304** ähnlich. Bei einigen Ausführungsbeispielen liegt die Dicke der Plattierungskeimschicht **404** in einem Bereich von etwa 0,1 μm bis etwa 1,0 μm .

Bei einigen Ausführungsbeispielen weist die Plattierungskeimschicht **404** eine Diffusionsgrenzschicht auf, die vor der Ablagerung der Plattierungskeimschicht gebildet wird. Die Plattierungskeimschicht **304** kann auch als eine Klebeschicht unter der Schicht wirken. Bei einigen Ausführungsbeispielen besteht die Diffusionsgrenzschicht aus Ti mit einer Dicke in einem Bereich von etwa 0,01 μm bis etwa 0,1 μm .

[0037] Nachdem die Plattierungskeimschicht **404** gebildet ist, wird eine photoresistive Schicht **405** abgelagert und über dieser strukturiert, wie in **Fig. 4B** in Übereinstimmung mit einigen Ausführungsbeispielen gezeigt ist. Der Vorgang der Bildung der photoresistiven Schicht **405** ist ähnlich dem Vorgang der Bildung der photoresistiven Schicht **305**. Das Material, das zum Bilden der photoresistiven Schicht **405** verwendet wird, könnte dem der photoresistiven Schicht **305** ähnlich sein. Im Anschluss an das Strukturieren der photoresistierenden Schicht **405** wird eine leitfähige Schicht **407** auf der Fläche der exponierten Plattierungskeimschicht **404** plattiert, etwa über die Flächen in den Öffnungen **406**. Die leitfähige Schicht **407** besteht aus Kupfer, einer Kupferlegierung oder bei einigen Ausführungsbeispielen aus einer Kombination daraus. Nachdem die leitfähige Schicht **407** abgelagert ist, wird die photoresistive Schicht **405** entfernt, wie dies in Übereinstimmung mit einigen Ausführungsbeispielen in **Fig. 4C** gezeigt ist. Der Entfernungsvorgang kann Trocken- oder Nassätzen beinhalten. Nachdem die photoresistive Schicht **405** entfernt ist, wird die leitfähige Schicht **407** in den Öffnungen **406** freigelegt. Bei einigen Ausführungsbeispielen ist die Dicke T_2 der leitfähigen Schicht **407**, die in den Öffnungen **406** gebildet ist, in einem Bereich von etwa 20 μm bis etwa 80 μm . Bei einigen Ausführungsbeispielen ist die Breite T_2 der leitfähigen Schicht **407**, die in den Öffnungen **406** gebildet ist, in einem Bereich von 60 μm bis etwa 300 μm .

[0038] Nachdem die photoresistive Schicht **405** entfernt ist, wird eine photoresistive Schicht **408** über dem Substrat abgelagert und strukturiert, wie in Übereinstimmung mit einigen Ausführungsbeispielen in **Fig. 4D** gezeigt. Der Vorgang der Bildung der photoresistiven Schicht **408** ist ähnlich zu dem Vorgang der photoresistiven Schicht **405**. Das zum Bilden der photoresistiven Schicht **408** verwendete Material könnte ähnlich dem der photoresistiven Schicht **405** sein. Die Strukturierung der photoresistiven Schicht **408** weist Öffnungen **409_I** und **409_{II}** auf. Die **Fig. 4D** zeigt, dass die Größen der Öffnungen **409_I** im Wesentlichen dieselbe Größe wie die Größe der Strukturen der leitfähigen Schicht **407** von **Fig. 4C** haben. Die Größe der Öffnungen **409_{II}** ist größer als die Größen der Öffnungen **409_I**, zum Bilden von kleineren Konnektoren oder von Strukturen. Bei einigen Ausführungsbeispielen ist die Breite W_3 der Öffnungen **409_{II}** in einem Bereich von 50 μm bis etwa 290 μm .

[0039] Anschließend an die Strukturierung der photoresistiven Schicht **408** werden eine leitfähige Schicht **410** und eine Löttschicht **411** auf dem Substrat **401** plattiert zum Füllen wenigstens von Bereichen der Öffnungen **409_I** und **409_{II}**, wie in **Fig. 4D** gezeigt. Die leitfähige Schicht **410** besteht aus Kupfer, einer Kupferlegierung oder bei einigen Ausführungsbeispielen aus einer Kombination daraus. Die Löttschicht **411** wird sodann über der leitfähigen Schicht **410** ausgebildet. Aufgrund des Unterschieds der Größen der Öffnungen **409_I** und **409_{II}** sind die Dicken der leitfähigen Schicht **410** und der Löttschicht **411**, die in diesen zwei Arten von Öffnungen gebildet sind, unterschiedlich. Der Plattierungsvorgang würde zu dickeren Filmen in größeren Öffnungen führen. Bei einigen Ausführungsbeispielen ist die Dicke T_3 der leitfähigen Schicht **410**, die in den Öffnungen **409_I** in einem Bereich von etwa 10 μm bis etwa 60 μm und die Dicke T_4 der Löttschicht **411** in den Öffnungen **409_I** in einem Bereich von etwa 20 μm bis etwa 40 μm . Bei einigen Ausführungsbeispielen ist die Dicke T_5 der leitfähigen Schicht **410**, die in den Öffnungen **409_{II}** gebildet ist, in einem Bereich von etwa 12 μm bis etwa 40 μm und einer Dicke T_6 der Löttschicht **411** in den Öffnungen **409_{II}** ist in einem Bereich von etwa 5 μm bis etwa 40 μm .

[0040] Nachdem die Löttschicht **407** abgelagert ist, wird die photoresistive Schicht **408** entfernt, wie dies in **Fig. 4F** in Übereinstimmung mit einigen Ausführungsbeispielen gezeigt ist. Der Entfernungsvorgang kann ein Trocken- oder Nassätzen beinhalten. Nachdem die photoresistive Schicht **408** entfernt ist, wird ein Ätzvorgang zum Entfernen der Plattierungskeimschicht **404**, die nicht von den leitfähigen Schichten **407**, **410** und der Löttschicht **411** abgedeckt ist, ausgeführt. Die leitfähige Schicht **407**, die leitfähige Schicht **410** und die Löttschicht **411** in den Öffnungen **409_I** werden freigelegt zur Bildung von externen Konnektoren (oder Bumpstrukturen) **412**. Entsprechend werden die leitfähige Schicht **410** und die Löttschicht **411** in den Öffnungen **409_{II}** freigelegt zur Bildung von Konnektoren (oder Pumpstrukturen) **413**. Ein Reflowvorgang wird sodann ausgeführt zum Erstellen der externen Konnektor **412** und **413** zum Bonden. **Fig. 4E** zeigt die Konnektor **412** und **413** nach dem Reflowvorgang in Übereinstimmung mit einigen Ausführungsbeispielen.

[0041] Im Anschluss an den oben beschriebenen Reflowvorgang wird der Bereich **400** in einzelne Stücke aus dem ganzen Substrat **401** vereinzelt und wird zu dem kompakten Die **110_A**, das zum weiteren Packen bereit ist. Der Vereinzeltungsvorgang ist in Übereinstimmung mit einigen Ausführungsbeispielen ein Sägevorgang.

[0042] Das kompakte Die **110_B** hat externe Konnektor mit einer einheitlichen Größe, wie in **Fig. 2A** gezeigt. Die Prozessabfolge zum Bilden der externen

Konnektor des kompakten Die **110_B** kann aus den Prozessabläufen, die in den **Fig. 3A–Fig. 3E** und den **Fig. 4A–Fig. 4E** beschrieben worden sind, entnommen werden.

[0043] Nachdem die Verbindungssubstrate **120'**, die kompakten Dies **110_A** und die kompakten Dies **110_B** vorbereitet oder geschaffen sind, werden sie auf den Substraten **130'** montiert. Die **Fig. 5A–Fig. 5D** zeigen Querschnittsansichten eines Ablaufs zum Bilden des Die-Package **100'** in Übereinstimmung mit einigen Ausführungsbeispielen.

[0044] Die **Fig. 5A** zeigt, dass ein Substrat **130'** geschaffen wird. Das Substrat **130'** weist eine Anzahl von Bondingstrukturen **501** auf, die über der Verbindungsstruktur **505** gebildet sind. Bei einigen Ausführungsbeispielen sind die Bondingstrukturen **501** Bondingpunkte. Bei einigen Ausführungsbeispielen ist eine Löttschicht über den Bondingpunkten auf jedem der Bondingstrukturen **501** vorgesehen, die als Bumpstrukturen bezeichnet werden. Die Verbindungsstruktur **505** weist leitfähige Schichten wie Metallschicht **503**, Durchführungen (nicht gezeigt) und Führungen **504**, wie Plattierungsdurchbohrung (PTH) auf, die in Übereinstimmung mit einigen Ausführungsbeispielen in dielektrischem(n) Material(en) gebildet sind. Durchführungen **504** sind elektrisch mit den von dem Punkt **506** auf der anderen Seite des Substrats **130'** verbunden. Die Konnektor werden auf den Bondingpunkten **506** in einem späteren Schritt gebildet, wie dies unten beschrieben werden wird. Bei einigen Ausführungsbeispielen weist das Substrat **130'** dielektrische Materialien auf, die aus einem Kompositmaterial bestehend aus einem gewebten Faserglastuch mit einem Epoxyharzbinder zusammengesetzt ist, der gegen Flammen widerstandsfähig ist.

[0045] Das Substrat **130'** weist weiter eine Öffnung **502** zur Aufnahme des Verbindungssubstrats **120'** auf. **Fig. 5B** zeigt, dass das Verbindungssubstrat **120'** in der Öffnung **502** angeordnet und mit der Verbindungsstruktur **505** des Substrats **130'** verbunden ist. **Fig. 5B** zeigt, dass Logkugeln **125'** in einem Abstand zwischen der Verbindungsstruktur **505** und dem Substrat **130''** angeordnet sind. In Übereinstimmung mit einigen Ausführungsbeispielen sind die Lotkugeln **125'** an benachbarten leitenden Strukturen der Verbindungsstruktur **505** und den Kontaktstrukturen **311** des Verbindungssubstrats **120'** zur gegenständlichen und elektrischen Verbindung der Verbindungsstruktur **120'** mit dem Substrat **130'** angelötet.

[0046] Nachdem das Verbindungssubstrat **120'** an das Substrat **130'** gebondet ist, werden kompakte Dies **110_A** und **110_B** an das Verbindungssubstrat **120'** und das Substrat **130'** gebondet, wie in Übereinstimmung mit einigen Ausführungsbeispielen in **Fig. 5C**

gezeigt ist. Entweder das kompakte Die **110_A** oder das kompakte Die **110_B** kann zunächst gebondet werden. Weiter kann, nachdem das kompakte Die gebondet ist, ein elektrischer Test ausgeführt werden um sicherzustellen, dass das Bonden des kompakten Dies gut ist, bevor das andere kompakte Die gebondet wird. Das kompakte Die **110_A** wird beispielsweise aufgenommen und über das Substrat **130'**, das an die Struktur **501** platziert zur Bildung der gebondeten Strukturen **115_A** oder eines Abschnitts des externen Verbinders (oder Bumpstrukturen) **310** des Verbindungssubstrats **120'** zur Bildung der gebondeten Strukturen **115_B**. Das Bonding schließt ein Lötreflow ein. Danach wird ein elektrischer Test durchgeführt, um sicherzustellen, dass das Bonden des kompakten Dies **110_A** gute Ergebnisse zeigt, bevor das kompakte Die **110_B** an die verbleibenden Verbinders **310** der Zwischenstruktur **120'** gebondet ist, bei einigen Ausführungsbeispielen. Der elektrische Test ermöglicht das Erkennen von schlecht kompakten Dies zum Verhindern der Verschwendung weiterer Ressourcen, wie kompakten Dies **110_B** mit bekannten schlechten kompakten Strukturen.

[0047] Nachdem der elektrische Test ausgeführt worden ist, wird das kompakte Die **110_B** bei einigen Ausführungsbeispielen an die verbleibenden Konnektoren **310** der Verbindungsstruktur **120'** zur Bildung von gebondeten Strukturen **115_B** gebondet. Der elektrische Test kann jedoch optional sein. Bei einigen Ausführungsbeispielen wird ein weiterer elektrischer Test ausgeführt, nachdem das kompakte Die **110_B** gebondet ist. Dieser weitere elektrische Test kann die Qualität des Bondens des kompakten Dies **110_B** prüfen, um die Verschwendung von Ressourcen zu vermindern. Nachdem die beiden kompakten Dies **110_A** und **110_B** an das Substrat **130'** und das Verbindungssubstrat **120'** gebondet ist, wird eine Gussmasse **512** über das Substrat **120'** aufgebracht, um die kompakten Dies **110_A** und **110_B** abzudecken und um den Raum unter den kompakten Dies **110_A** und **110_B** zu füllen, wie in **Fig. 5D** in Übereinstimmung mit einigen Ausführungsbeispielen gezeigt. Bei einigen Ausführungsbeispielen wird eine Unterfüllung (nicht gezeigt) angewendet, um den Raum unter den kompakten Dies **110_A** und **110_B** zu füllen, bevor die Gussmasse **512** aufgebracht wird. Ein thermischer Reflowprozess wird ausgeführt um das Setzen der Gussmasse **512** zu bewirken. Wenn eine Unterfüllung angewendet wird, wird unmittelbar danach ein thermischer Reflowprozess durchgeführt, um die Unterfüllung zu härten.

[0048] Nachdem die Gussmasse **512** ausgeformt ist, werden elektrische Konnektoren (wie Lotkugeln) **138'** auf den Bondingpads **506** zur Bildung des Packages **100'** ausgebildet, wie in Übereinstimmung mit einigen Ausführungsbeispielen in **Fig. 5D** gezeigt. Der Prozess könnte das Umdrehen des Substrats **130'** mit der Oberseite nach unten und das Platzieren

des Substrats **130'** auf eine Klebeschicht (nicht gezeigt) beinhalten, wobei die Gussmasse **512** die Klebeschicht kontaktiert. Nachdem das Substrat **130'** an der Klebeschicht gesichert ist, werden Lotkugeln **138'** über den Bondingpads **506** angeordnet und werden durch Reflow an die Bondingpads **506** gebondet. Das Die-Package **100'** wird sodann vereinzelt, um von den anderen Die-Packages **100'** des Substrats **130'** getrennt zu werden. **Fig. 5D** zeigt Die-Packages **100'** in Übereinstimmung mit einigen Ausführungsbeispielen.

[0049] **Fig. 6** zeigt eine Querschnittsansicht eines Die-Packages **100'** in Übereinstimmung mit einigen Ausführungsbeispielen. Das Die-Package **100'** weist ein kompaktes Die **110_C** und ein kompaktes Die **110_D** auf. Sowohl das kompakte Die **110_C** und das kompakte Die **110_D** haben eine große Anzahl von Eingängen/Ausgängen (I/O). Infolgedessen sind die externen Konnektoren für diese kleine Bumps, etwa Mikro-Bumps (μ -Bumps). Sowohl das kompakte Die **110_C** und das kompakte Die **110_D** sind mit einem Verbindungssubstrat **120''** gebondet zur Bildung von Bondingstrukturen **115''**. Eine Klebeschicht **610** wird verwendet, um das Verbindungssubstrat **120''** mit dem Substrat (oder dem Package-Substrat) **130''** zu verkleben. Das Verbindungssubstrat **120''** ist elektrisch mit der Verbindungsstruktur **135'** des Substrats **130** über Verbindungselemente, etwa Drahtbonds **125''** verbunden. Andere Typen von Verbindungselementen wie Lotkugeln **125'**, die oben beschrieben worden sind, können ebenfalls verwendet werden. Eine Öffnung ähnlich der oben beschriebenen Öffnung **502** zum Aufnehmen des Verbindungssubstrats **120''** kann weiter ausgebildet sein zum Aufnehmen des Verbindungssubstrats **120''**. **Fig. 6** zeigt externe Konnektoren **138''**, die an dem Substrat **130''** gebondet sind.

[0050] Der Bildungsmechanismus für das Verbindungssubstrat **120''** sind ähnlich denjenigen des Verbindungssubstrats **120'**. Der Bildungsmechanismus für kompakte Dies **110_C** und **110_D** ist ähnlich des Bildungsmechanismus des kompakten Dies **110_B** wie oben beschrieben. Das Substrat **130''** ist dem Substrat **130'** ähnlich, die Verbindungsstrukturen und die Bondingstrukturen auf dem Substrat **130''** könnten jedoch unterschiedlich von dem bei dem Substrat **130'** sein.

[0051] Nachdem das Verbindungssubstrat **120''**, das kompakte Die **110_C** und das kompakte Die **110_D** vorbereitet oder geschaffen worden sind, werden sie auf dem Substrat **130''** angeordnet. Die **Fig. 7A–Fig. 7E** zeigen Querschnittsansichten des Ablaufs des Bildens des Die-Packages **100''** in Übereinstimmung mit einigen Ausführungsbeispielen. **Fig. 7A** zeigt, dass ein kompaktes Die **110_C** aufgenommen und über einem Verbindungssubstrat **120''**, das mit dem Substrat **120''** gebondet ist, ange-

ordnet wird. Das kompakte Die **110_C** wird sodann an dem Verbindungssubstrat **120'** gebondet. Ein elektrisches Testen (oder Probieren) wird sodann ausgeführt, um die Qualität des Bondens zu testen und die Qualität des kompakten Dies **110_C** durch Elektrosonden **710** zu testen, wie dies in Übereinstimmung mit einigen Ausführungsbeispielen in **Fig. 7B** gezeigt worden ist. Das elektrische Testen ist jedoch optional.

[0052] Sodann wird das Verbindungssubstrat **120''** an dem Substrat **130''** etwa durch eine (nicht gezeigte) Klebeschicht angebracht, wie oben gezeigt. Weiter wird eine elektrische Verbindung zwischen dem Verbindungssubstrat **120''** und dem Substrat **130''** hergestellt. **Fig. 7C** zeigt, dass bei einigen Ausführungsbeispielen die elektrische Verbindung durch Drahtbonds **125''** hergestellt wird. Nach der Herstellung der elektrischen Verbindung wird das kompakte Die **110_D** über dem Verbindungssubstrat **120''** angeordnet, um mit diesem verbunden zu werden, wie dieses in Übereinstimmung mit einigen Ausführungsbeispielen in **Fig. 7D** gezeigt ist.

[0053] Nachdem das kompakte Die **110_D** an das Verbindungssubstrat **120''** gebondet wird, wird eine Gussmasse **712** über das Substrat **130''** aufgebracht, um die kompakten Dies (**110_C** und **110_D**) und das Substrat (**120''**) und die Verbindungsstrukturen (Bondingstrukturen zwischen den kompakten Dies und dem Substrat **120'** und den Drahtbonds **125''**) über dem Substrat **130''** zu schützen. Bei einigen Ausführungsbeispielen wird zunächst eine Unterfüllung unter den kompakten Dies **110_C** und **110_D** vor dem Bilden der VerGussmasse **712**. Das vorherige Bilden einer Unterfüllung ist jedoch optional. Einige Materialien der VerGussmasse können auch als eine Unterfüllung zur Füllung des Raums zwischen den kompakten Dies **110_C**, **110_D** und dem Substrat **120''** wirken. Nachdem die VerGussmasse **812** ausgebildet ist, werden externe Konnektoren **138''** auf der gegenüberliegenden Seite (gegenüberliegend von den gebondeten kompakten Dies **110_C** und **110_D**) zur Bildung des Packages **100''**. wie dies in **Fig. 7E** gezeigt ist. Jedes Substrat **130''** könnte, wie oben erwähnt, eine Anzahl von Die-Packages aufweisen. Die Die-Packages **100''** werden sodann in einzelne Stücke vereinzelt. **Fig. 8E** zeigt das Die-Package **100''**, nachdem dies vereinzelt worden ist.

[0054] Der oben beschriebene Ablauf zur Bildung des Packages **100''** ist lediglich ein Ausführungsbeispiel. Andere Prozessabläufe könnten verwendet werden. Beispielsweise könnte das Verbindungssubstrat **100''** auf dem Substrat **120''** aufgebracht werden, bevor die kompakten Dies **110_C** und **110_D** an das Substrat **120''** gebondet sind. Weiter könnte das kompakte Die **110_D** an das Verbindungssubstrat **120''** vor dem kompakten Die **110_C** gebondet sein. Das Wählen, welches Die zunächst gebondet wird, hängt von den Komponenten auf dem Die-Package

100'' ab und wie diese Komponenten verwendet werden. Beispielsweise kann das kompakte Die **110_C** zunächst gebondet sein, da das Testen des kompakten Dies **110_D** das Vorhandensein eines kompakten Dies **110_C** verlangt. Andere Umstände können bei dem Entscheiden der Abfolge des Bondens entscheidend sein und ob ein elektrisches Testen in der Abfolge des Bildens des Die-Packages **100''** auszuführen ist.

[0055] Die oben beschriebenen Ausführungsbeispiele zeigen zwei kompakte Dies, die in jeden Die-Package gebondet sind, etwa den kompakten Dies **110_A** und **110_D** auf der Die-Package **100'** oder den kompakten Dies **110_C** auf dem Die-Package **100''**. Es könnten mehr als zwei kompakte Dies auf jedem Die-Package vorhanden sein. **Fig. 8** zeigt eine Draufsicht auf ein Die-Package **100*** mit drei kompakten Dies **110_E**, **110_F** und **110_G**, die an das Verbindungssubstrat **100*** gebondet sind, das wiederum an einem Substrat **130*** gebondet ist in Übereinstimmung mit einigen Ausführungsbeispielen. Das Verbindungssubstrat **120*** ist ähnlich der Verbindung **120''**, die oben beschrieben worden ist und das Substrat **130*** ist ähnlich dem Substrat **130''**, das oben beschrieben worden ist. Die Querschnittsansicht des Package **100** ist ähnlich der Querschnittsansicht des Die-Package **100''** von **Fig. 6**. Eine höhere Anzahl von Die-Packages, wie 4, 5 oder mehr, könnte angeordnet und mit dem Verbindungssubstrat **120** verbunden sein ähnlich dem Substrat **120'** oder **120''**, wie es oben beschrieben worden ist und kann direkt oder indirekt mit einem Substrat ähnlich dem Substrat **130'** oder **130''**, wie sie oben beschrieben worden sind, verbunden sein.

[0056] Ausführungsbeispiele von Mechanismen zum Bilden eines Die-Package mit mehreren kompakten Dies auf einem Package-Substrat verwenden ein Verbindungssubstrat zum Schaffen elektrischer Verbindungen zwischen den Dies und dem Packagesubstrat. Die Verwendung des Verbindungssubstrats ermöglicht eine Kostenreduktion, da es billiger herzustellen ist als ein Interposer mit Siliziumdurchgängen (TSVs). Das Verbindungssubstrat ermöglicht auch das Packen von Dies mit unterschiedlichen Größen der Bumpstrukturen in demselben Die-Package.

[0057] Bei einigen Ausführungsbeispielen ist ein Halbleiter-Die-Package vorgesehen. Der Halbleiter-Die-Package weist ein erstes kompaktes Die und ein zweites kompaktes Die auf. Der Halbleiter-Die-Package weist weiter ein Verbindungssubstrat mit einer Verteilungsstruktur auf. Das erste kompakte Die und das zweite kompakte Die sind an die Verteilungsstruktur gebondet. Das Halbleiter-Die-Package weist weiter ein kompaktes Substrat mit einer Verbindungsstruktur auf und das Verbindungssubstrat ist an das Packagesubstrat gebondet. Das Packagesubstrat ist

elektrisch mit sowohl dem ersten kompakten Die als auch dem zweiten kompakten Die verbunden.

[0058] Bei einigen anderen Ausführungsbeispielen wird ein Verfahren zum Schaffen eines Halbleiter-Die-Package geschaffen. Das Verfahren schließt das Bonden eines Verbindungssubstrats an einem Packagesubstrat ein und das Bonden eines ersten kompakten Dies an das Packagesubstrat und dem Verbindungssubstrat. Das Verfahren weist weiter das Bilden einer Gussmasse über das kompakte Substrat zum Abdecken des ersten Package-Dies und des zweiten Package-Dies gebondet an das Package-Substrat und das Verbindungssubstrat. Zusätzlich weist das Verfahren das Bilden von externen Konnektoren des Packagesubstrats ein.

[0059] Bei noch anderen Ausführungsbeispielen wird ein Verfahren zum Bilden eines Halbleiter-Die-Packages geschaffen. Das Verfahren schließt das Bonden eines ersten kompakten Dies an ein Verbindungssubstrat und das Ausführen eines elektrischen Tests nach dem Bonden des ersten kompakten Dies an das Zwischensubstrat ein. Das Verfahren schließt weiter das Ankleben des Verbindungssubstrats an ein Packagesubstrat und das Herstellen einer elektrischen Verbindung zwischen dem Verbindungssubstrat und dem Packagesubstrat ein. Das Verfahren weist weiter das Bonden eines zweiten kompakten Dies an das Verbindungssubstrat auf.

[0060] Obwohl Ausführungsbeispiele der vorliegenden Offenbarung und ihre Vorteile in ihren Einzelheiten beschrieben worden sind, versteht es sich, dass verschiedene Änderungen, Ersetzungen und Abweichungen gemacht werden können, ohne sich von dem Grundgedanken und dem Schutzbereich der Offenbarung, wie er sich aus den anliegenden Ansprüchen ergibt, zu lösen. Beispielsweise versteht es sich für den Fachmann, dass viele Merkmale, Funktionen, Prozesse und Materialien, wie sie hier beschrieben worden sind, variiert werden können, wobei man den Grundgedanken der vorliegenden Erfindung nicht verlässt. Weiter soll der Schutzbereich der vorliegenden Anmeldung nicht auf die besonderen Ausführungsbeispiele des Prozesses, der Maschine, der Herstellung, der Zusammensetzung der Gegenstände, Mittel, Verfahren und Schritte, wie sie in der Beschreibung angegeben worden sind, beschränkt sein. Der Fachmann versteht aus der Offenbarung der vorliegenden Offenbarung, dass Prozesse, Maschinen, Herstellung, Zusammensetzung der Elemente, Mittel, Verfahren oder Schritte, wie sie heute vorhanden sind oder später entwickelt sein werden, die im Wesentlichen dieselbe Funktion oder im Wesentlichen dasselbe Ergebnis erreichen, wie die entsprechenden Beispiele, wie sie hier beschrieben worden sind, entsprechend der vorliegenden Offenbarung verwendet werden können. Entsprechend sollen die beiliegenden Ansprüche mit ihrem Schutz-

bereich solche Prozesse, Maschinen, Herstellung, Zusammensetzung der Elemente, Mittel, Verfahren oder Schritte einschließen.

Patentansprüche

1. Ein Halbleiter-Die-Package mit:
einem ersten kompakten Die;
einem zweiten kompakten Die;
ein Verbindungssubstrat mit einer Verteilungsstruktur, wobei das erste kompakte Die und das zweite kompakte Die an die Verteilungsstruktur gebondet sind; und
ein Packagesubstrat mit einer Verbindungsstruktur, wobei das Verbindungssubstrat an das Packagesubstrat gebondet ist und wobei das Packagesubstrat elektrisch mit sowohl dem ersten kompakten Die als auch dem zweiten kompakten Die verbunden ist.
2. Das Halbleiter-Die-Package nach Anspruch 1, wobei das erste kompakte Die eine Mehrzahl von ersten Konnektoren mit einer ersten Breite und eine Mehrzahl von zweiten Konnektoren mit einer zweiten Breite hat, wobei die erste Breite größer als die zweite Breite ist und die Mehrzahl von ersten Konnektoren an Bondingstrukturen des Packagesubstrats gebondet ist und wobei die Mehrzahl von zweiten Konnektoren an das Verbindungssubstrat gebondet ist.
3. Das Halbleiter-Die-Package nach Anspruch 2, wobei die erste Breite in einem Bereich von etwa 60 µm bis etwa 300 µm liegt und die zweite Breite in einem Bereich von etwa 10 µm bis etwa 60 µm liegt.
4. Das Halbleiter-Die-Package von Anspruch 1, wobei das Verbindungssubstrat Kontaktstrukturen hat, um einen elektrischen Kontakt mit der Verbindungsstruktur des Packagesubstrats herzustellen.
5. Das Halbleiter-Die-Package von Anspruch 4, wobei die Kontaktstrukturen an Rändern des Verbindungssubstrats angeordnet sind.
6. Das Halbleiter-Die-Package von Anspruch 4, wobei jede der Kontaktstrukturen eine geneigte Wand aufweist und die geneigte Wand unter einem Winkel in einem Bereich von etwa 30° bis etwa 60° zu einer Normale einer Fläche der Verteilungsstruktur des Verbindungssubstrats liegt.
7. Das Halbleiter-Package von Anspruch 4, wobei ein Abschnitt jeder der Kontaktstrukturen eine Ritzlinie ist.
8. Das Halbleiter-Package von Anspruch 1, wobei das Verbindungssubstrat elektrisch mit dem Packagesubstrat über Drahtbonds verbunden ist.

9. Das Halbleiter-Package von Anspruch 1, wobei das erste kompakte Die eine Recheneinheit und das zweite kompakte Die eine Speichereinheit ist.

10. Das Halbleiter-Package von Anspruch 1, wobei das zweite kompakte Die μ -Bumps und das zweite kompakte Die keine μ -Bumps hat.

11. Ein Verfahren zum Bilden eines Halbleiter-Die-Packages mit:
Bonden eines Verbindungssubstrats an ein Packagesubstrat;
Bonden eines ersten kompakten Dies an das Packagesubstrat und das Verbindungssubstrat;
Bonden eines zweiten kompakten Dies an das Verbindungssubstrat;
Bilden einer Vergussmasse über dem kompakten Substrat zum Abdecken des ersten Package-Dies und des zweiten Package-Dies, das an das Packagesubstrat und das Verbindungssubstrat gebondet ist; und
Bilden von externen Konnektoren des Packagesubstrats.

12. Das Verfahren nach Anspruch 11, weiter mit:
Durchführen eines elektrischen Tests nach dem Bonden des ersten kompakten Dies zum Prüfen der Qualität des Bondens des ersten kompakten Dies.

13. Das Verfahren nach Anspruch 12, weiter mit:
Durchführen eines weiteren elektrischen Tests nach dem Bonden des zweiten kompakten Dies zum Prüfen der Qualität des Bondens des zweiten kompakten Dies.

14. Das Verfahren nach Anspruch 11, wobei das Bonden eines Verbindungssubstrats an ein Packagesubstrat durch Lotkugeln erfolgt, wobei die Lotkugeln einen Raum zwischen dem Verbindungssubstrat und dem Packagesubstrat füllen.

15. Das Verfahren nach Anspruch 11, weiter mit:
Anordnen eines Verbindungssubstrats in einer Öffnung des Packagesubstrats vor dem Bonden eines Verbindungssubstrats an ein Packagesubstrat.

16. Ein Verfahren zum Bilden eines Halbleiter-Die-Packages mit:
Bonden eines ersten kompakten Dies an ein Verbindungssubstrat;
Ausführen einer elektrischen Prüfung nach dem Bonden des ersten kompakten Dies an das Verbindungssubstrat;
Ankleben des Verbindungssubstrats an das Packagesubstrat;
Herstellen einer elektrischen Verbindung zwischen dem Verbindungssubstrat und dem Packagesubstrat, und
Bonden eines zweiten kompakten Dies an das Verbindungssubstrat.

17. Das Verfahren nach Anspruch 16, weiter mit:
Ausführen einer weiteren elektrischen Prüfung, nachdem das zweite kompakte Die an das Verbindungssubstrat gebondet ist.

18. Das Verfahren nach Anspruch 16, wobei die elektrische Prüfung durch Untersuchen des Verbindungssubstrats erfolgt.

19. Das Verfahren nach Anspruch 16, wobei die elektrische Verbindung zwischen dem Verbindungssubstrat und dem Packagesubstrat über Drahtbonds erfolgt.

20. Das Verfahren nach Anspruch 16, weiter mit:
Bilden einer Vergussmasse über das Packagesubstrat zum Abdecken des ersten kompakten Dies und des zweiten kompakten Dies; und
Bilden von externen Konnektoren des Packagesubstrats auf einer Seite, die der des ersten kompakten Dies und des zweiten kompakten Dies gegenüberliegt.

Es folgen 14 Seiten Zeichnungen

Anhängende Zeichnungen

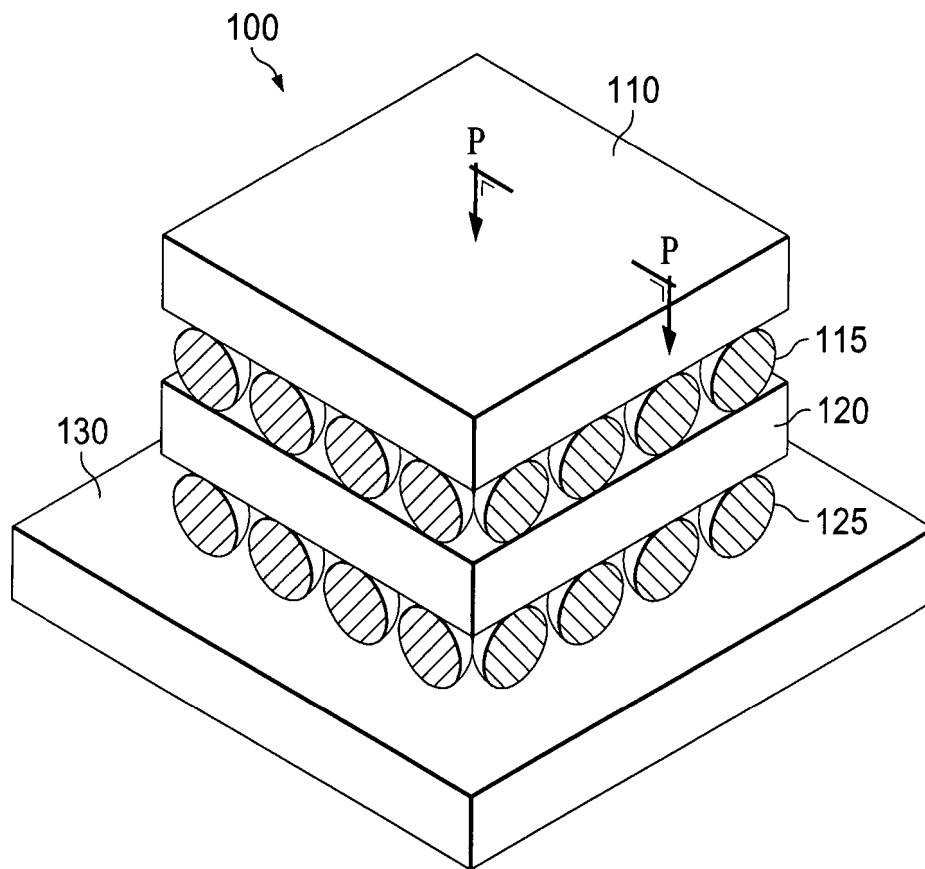


FIG. 1

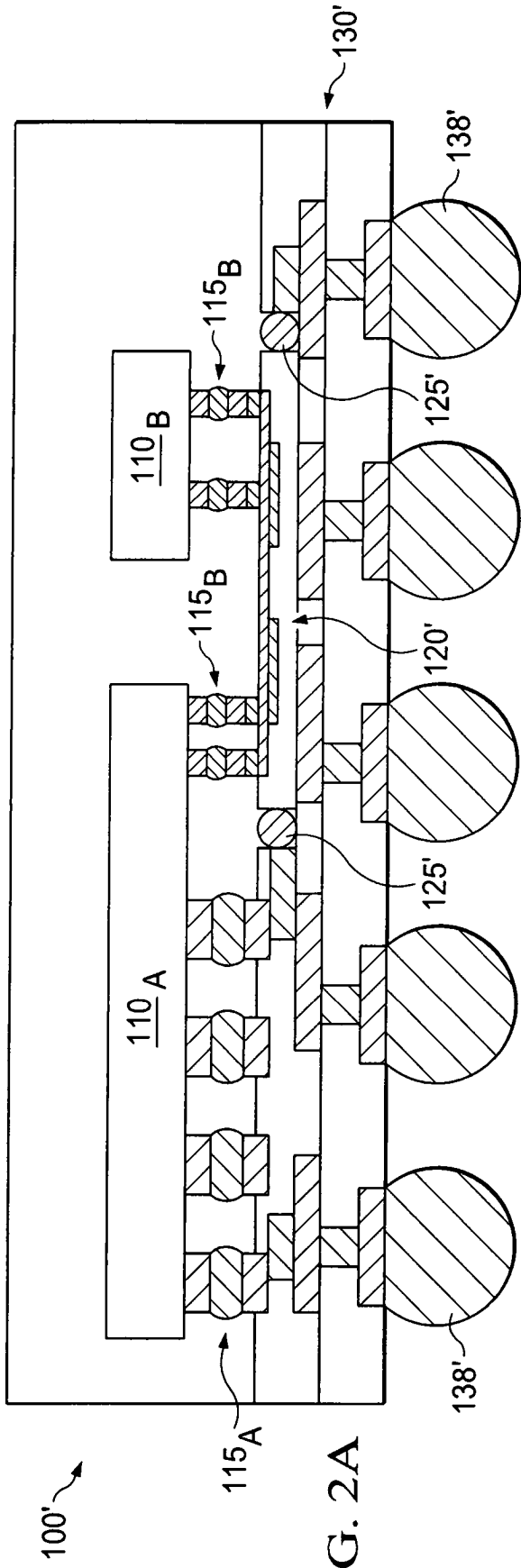


FIG. 2A

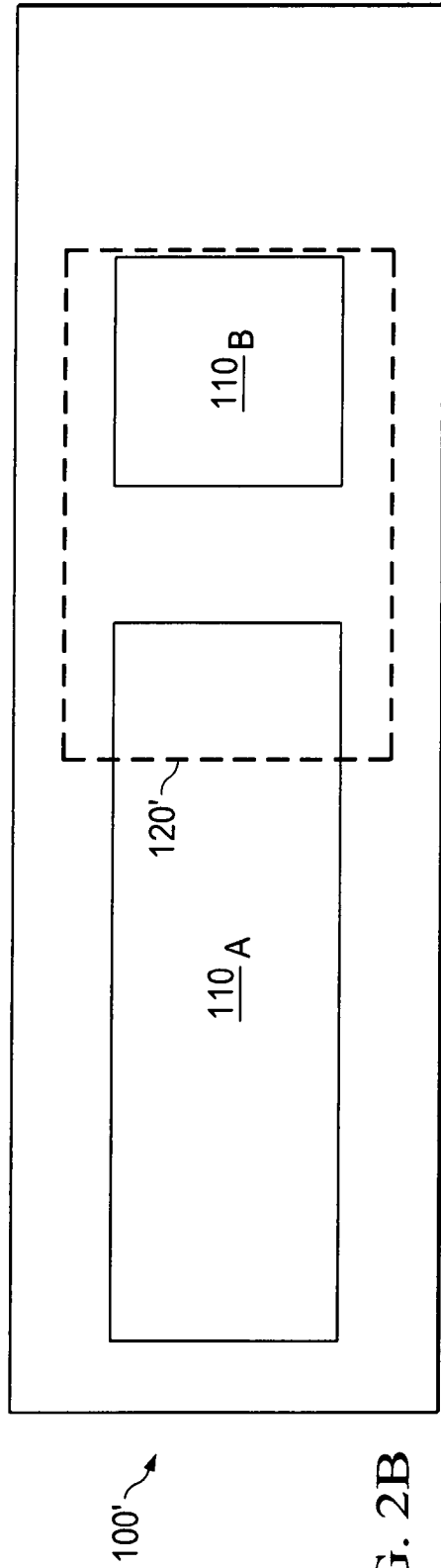


FIG. 2B

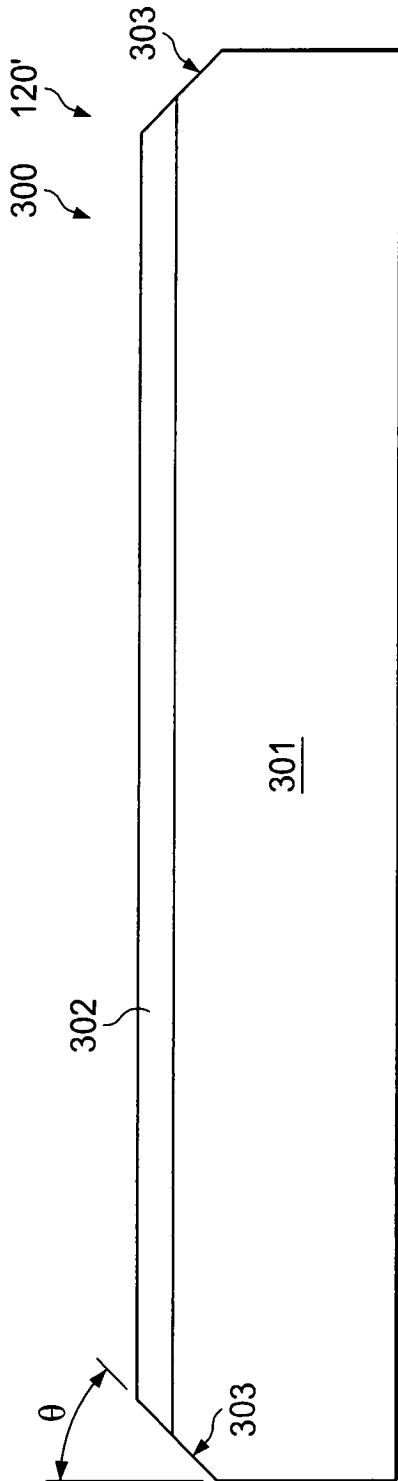


FIG. 3A

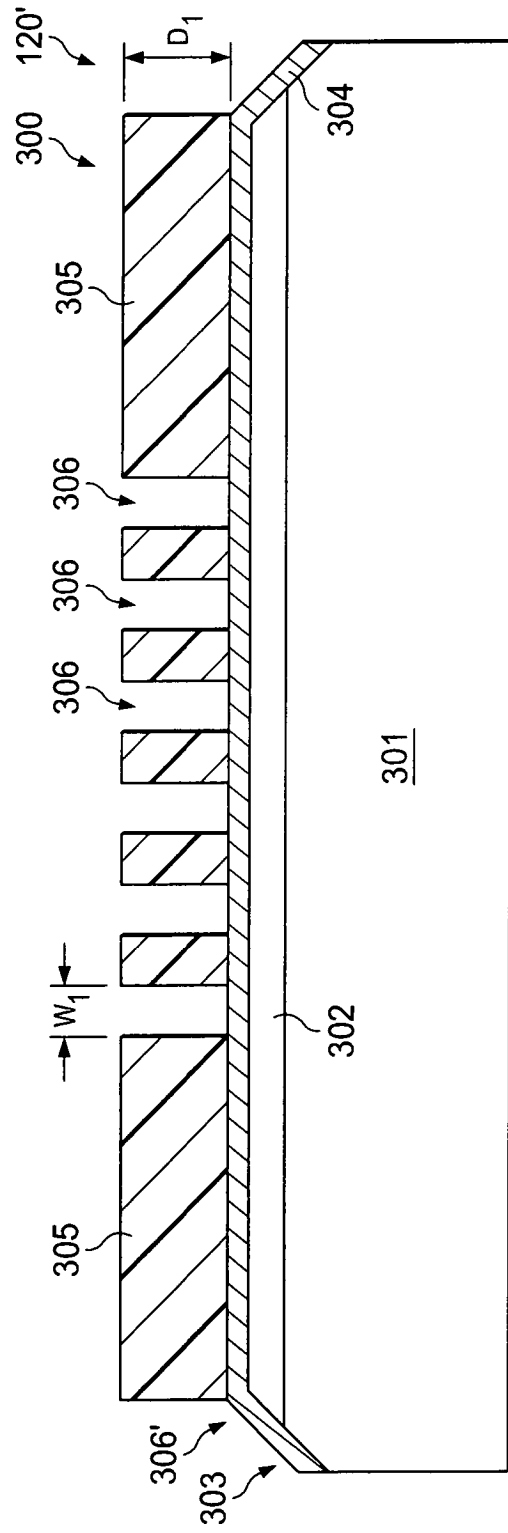


FIG. 3B

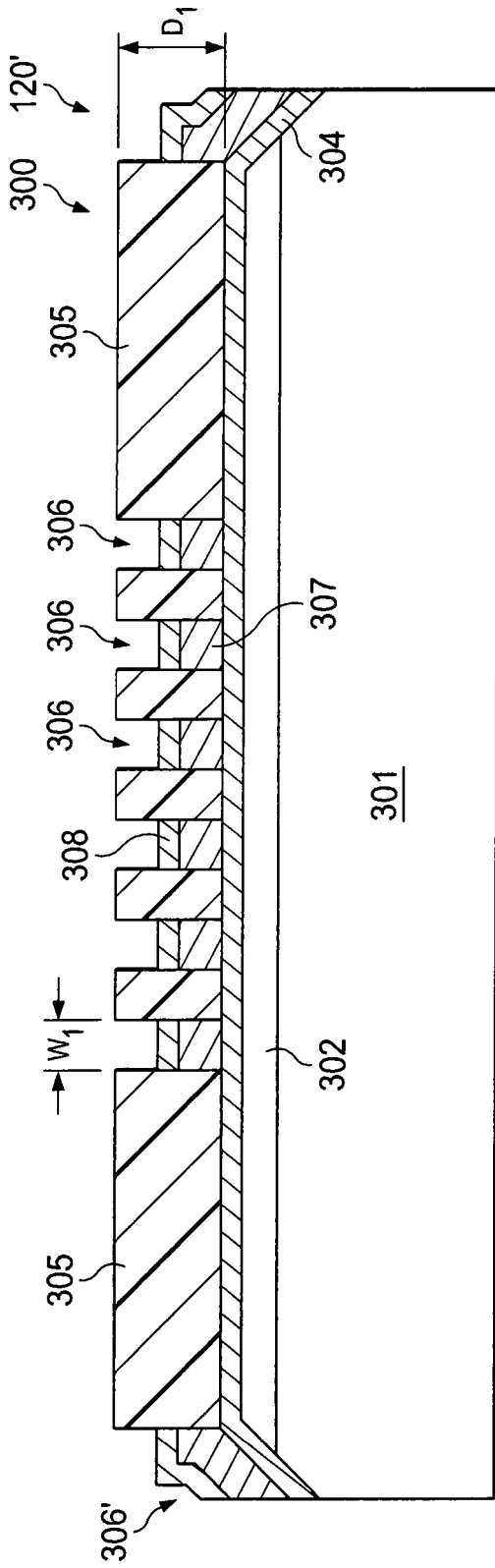


FIG. 3C

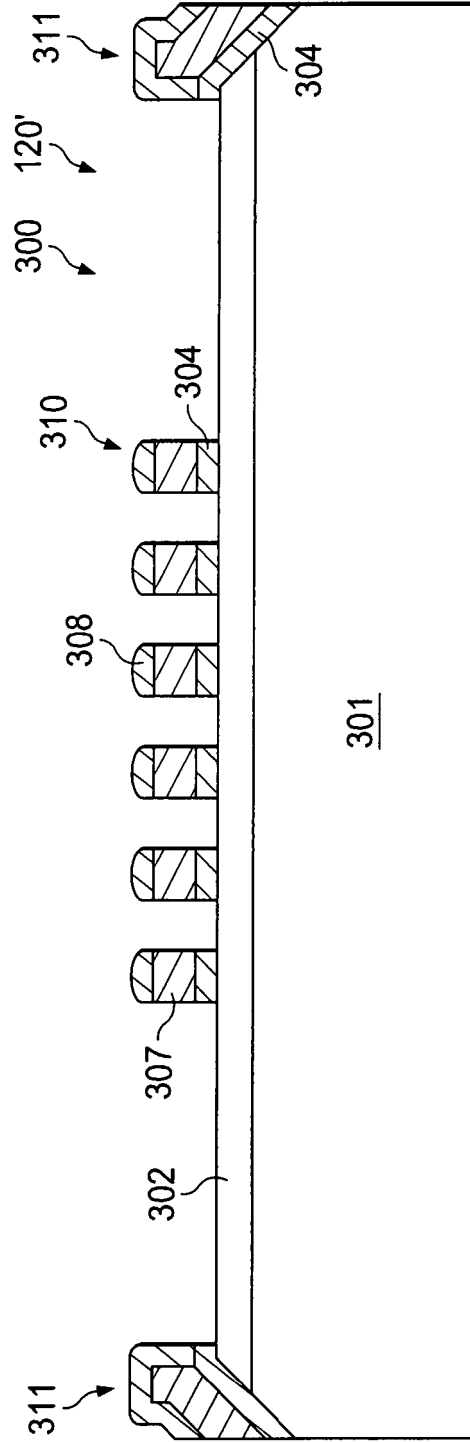


FIG. 3D

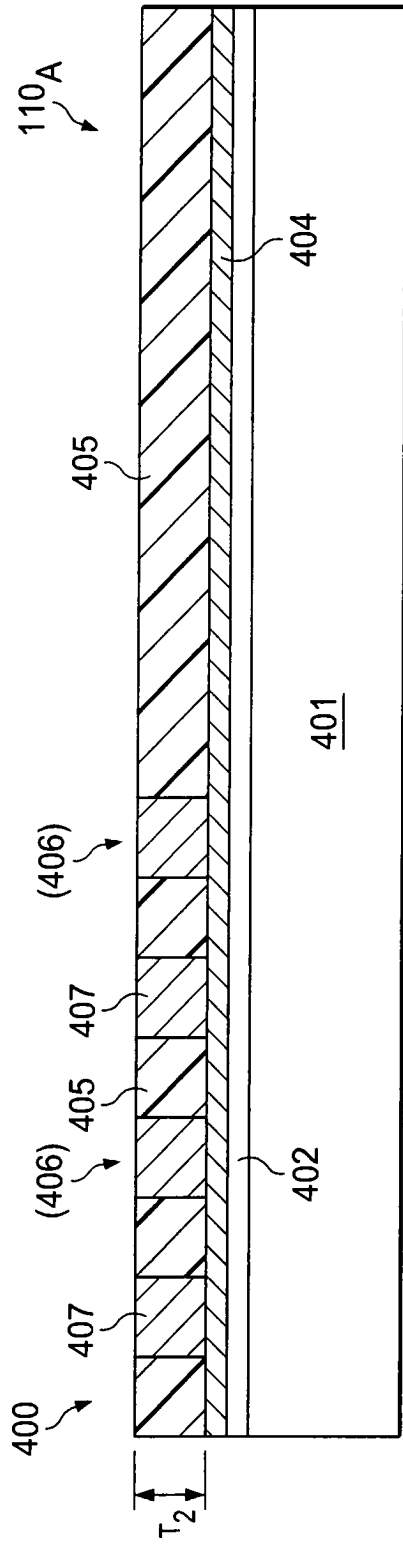


FIG. 4B

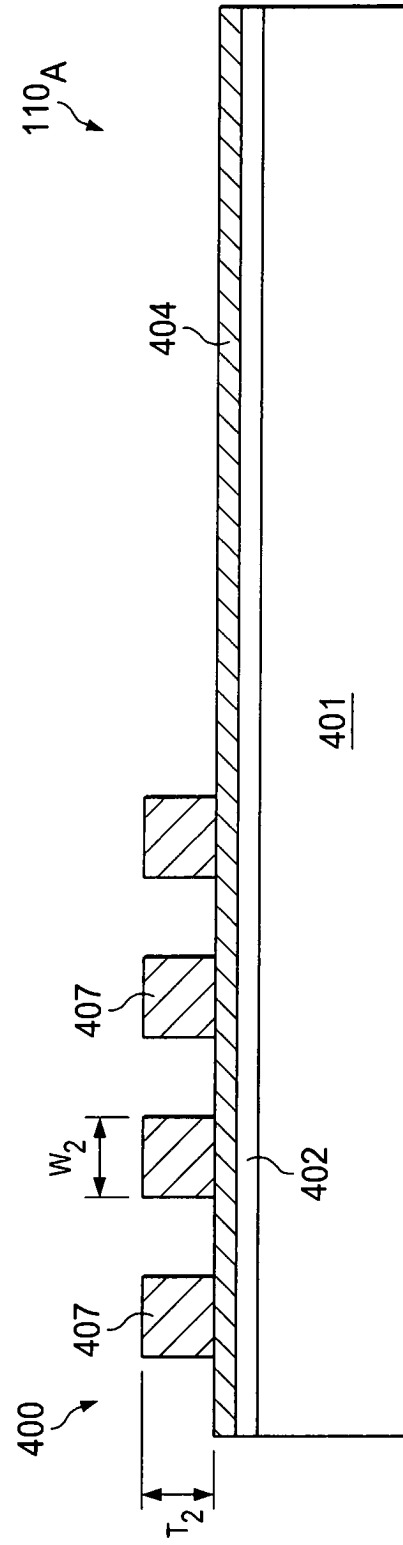


FIG. 4C

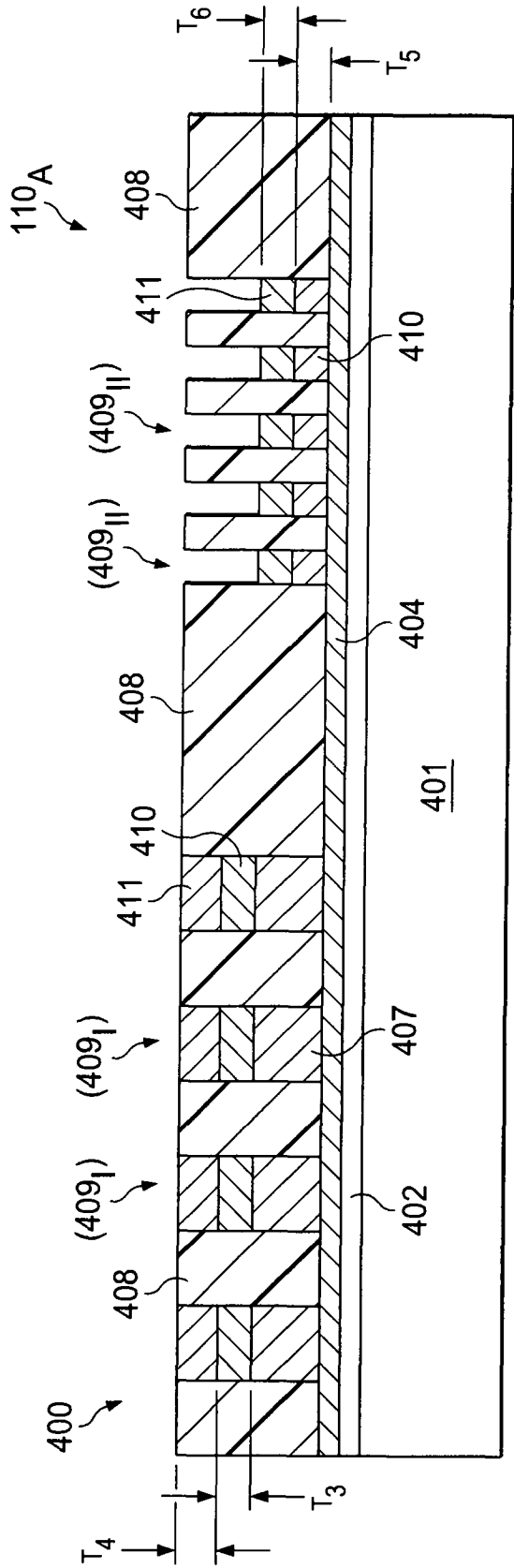


FIG. 4D

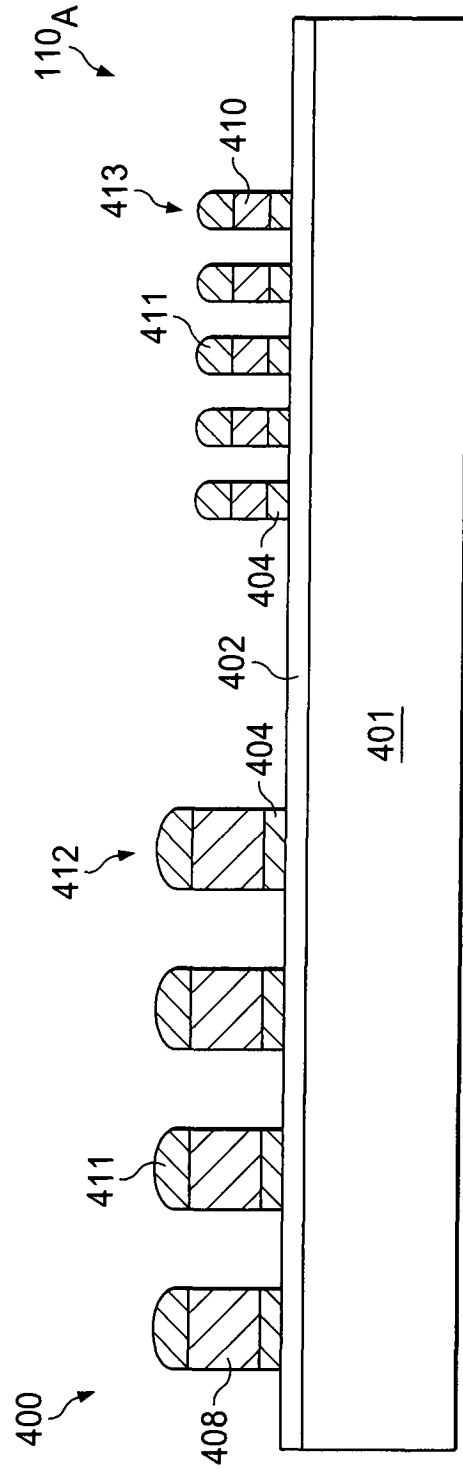


FIG. 4E

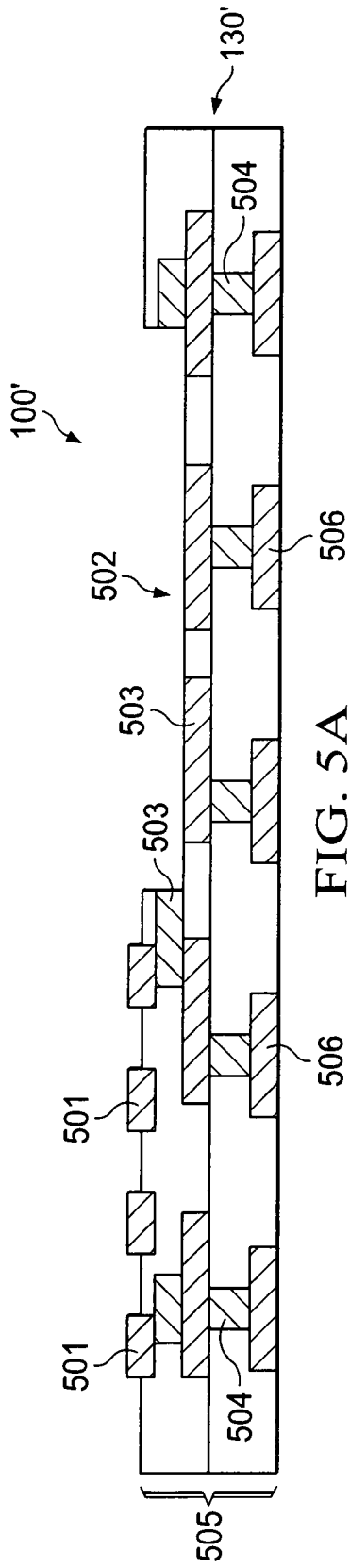


FIG. 5A

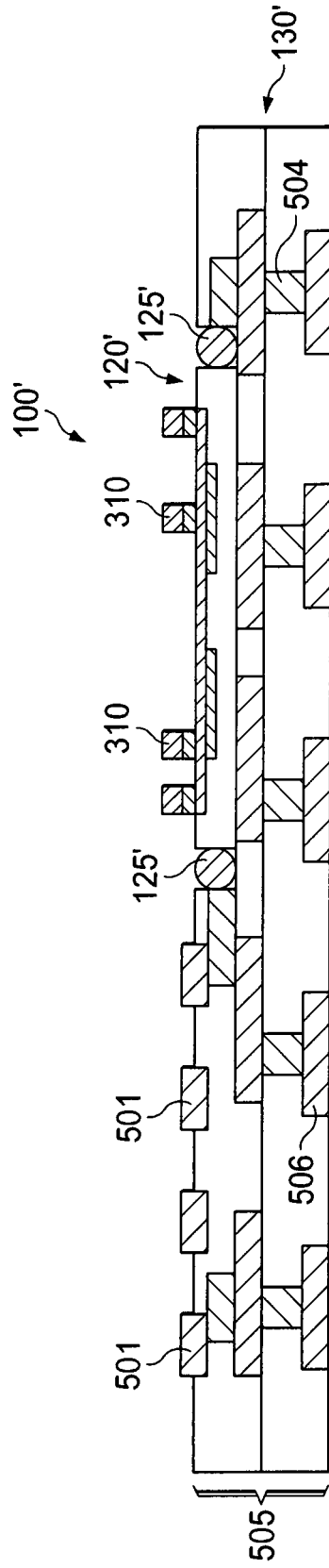


FIG. 5B

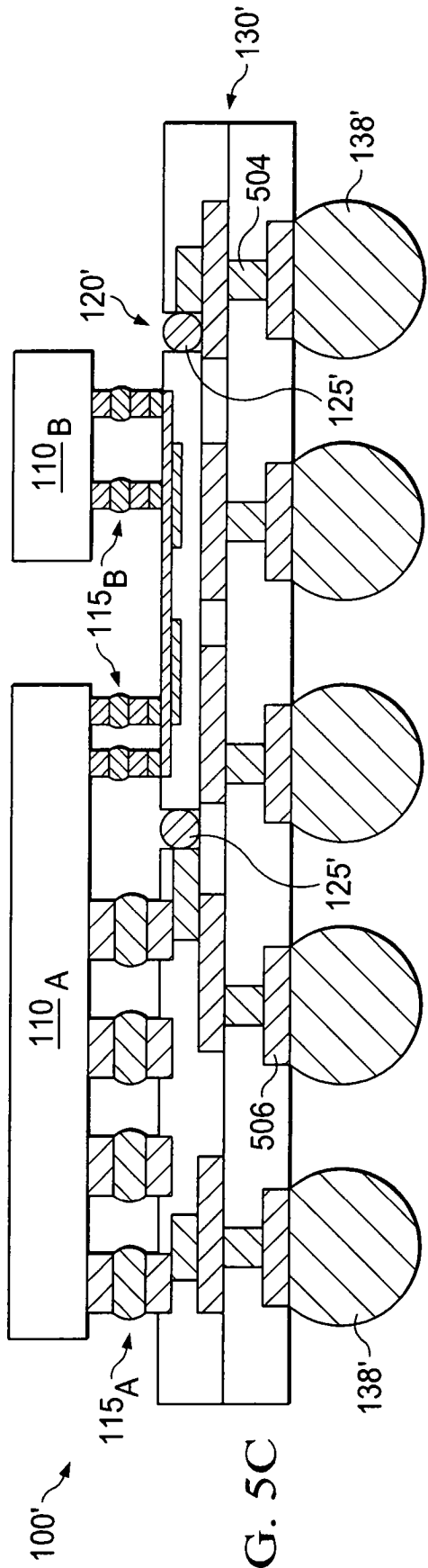


FIG. 5C

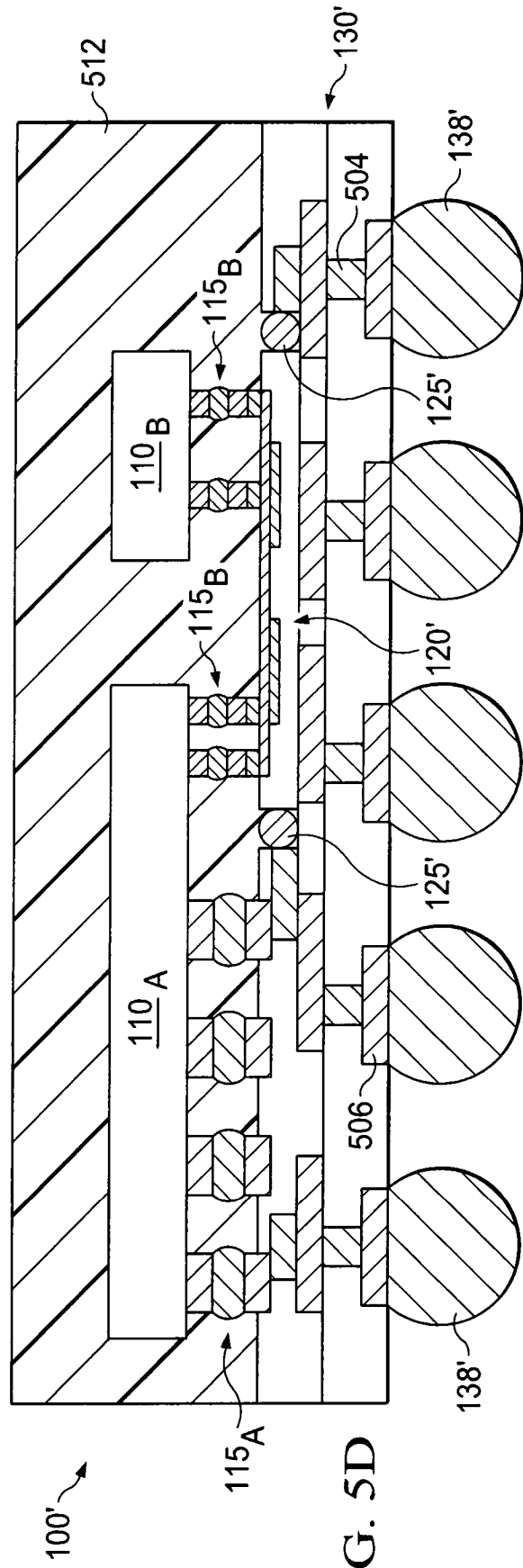


FIG. 5D

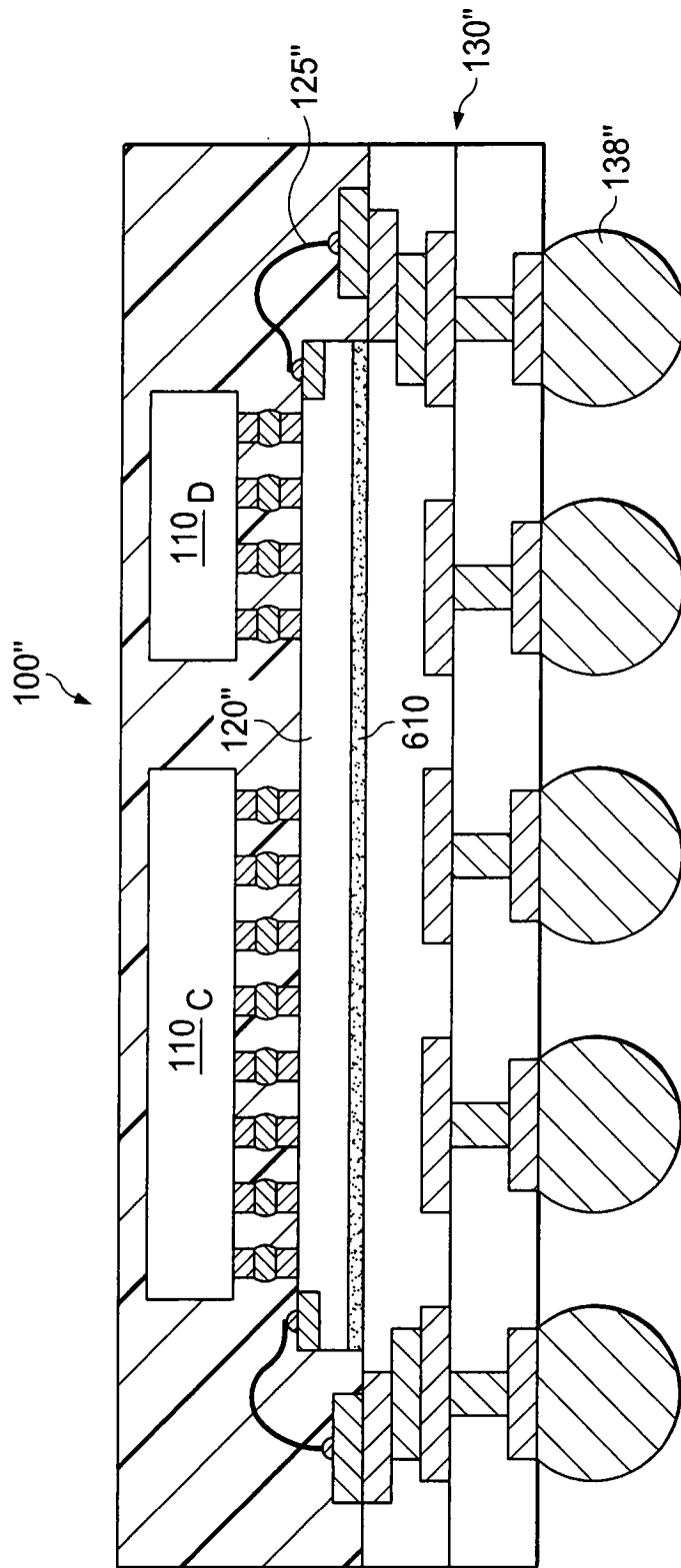


FIG. 6



FIG. 7A

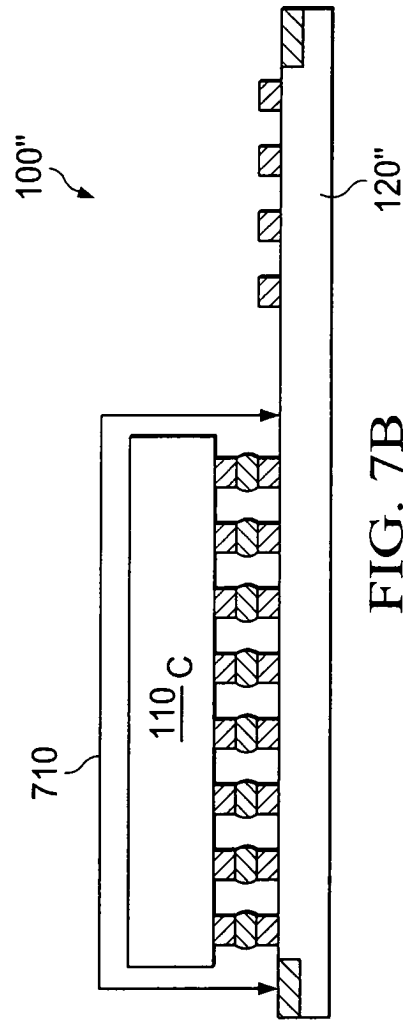


FIG. 7B

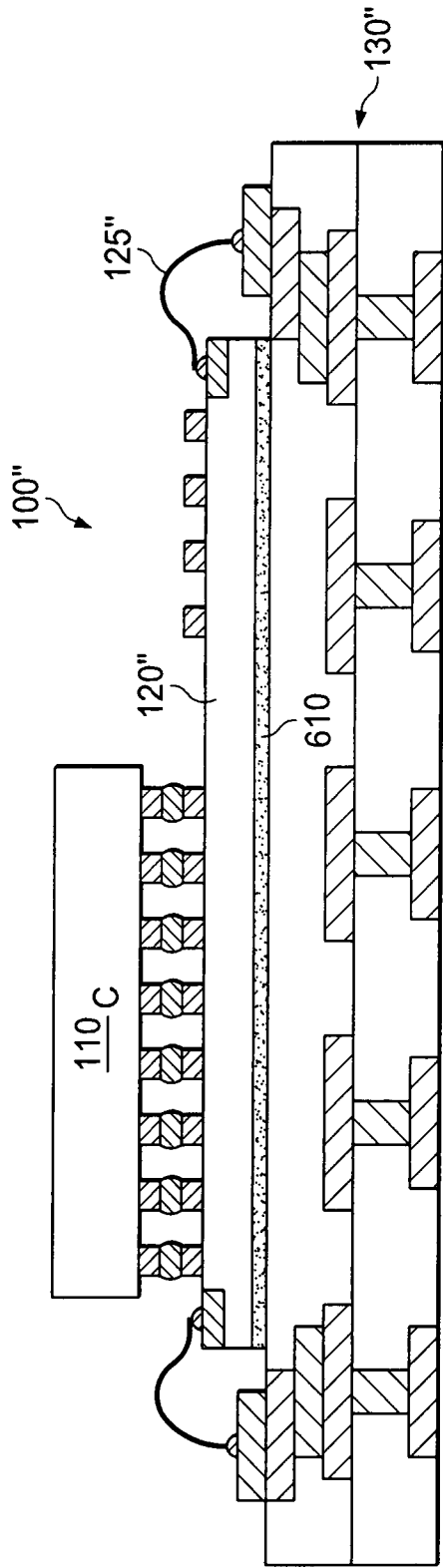


FIG. 7C

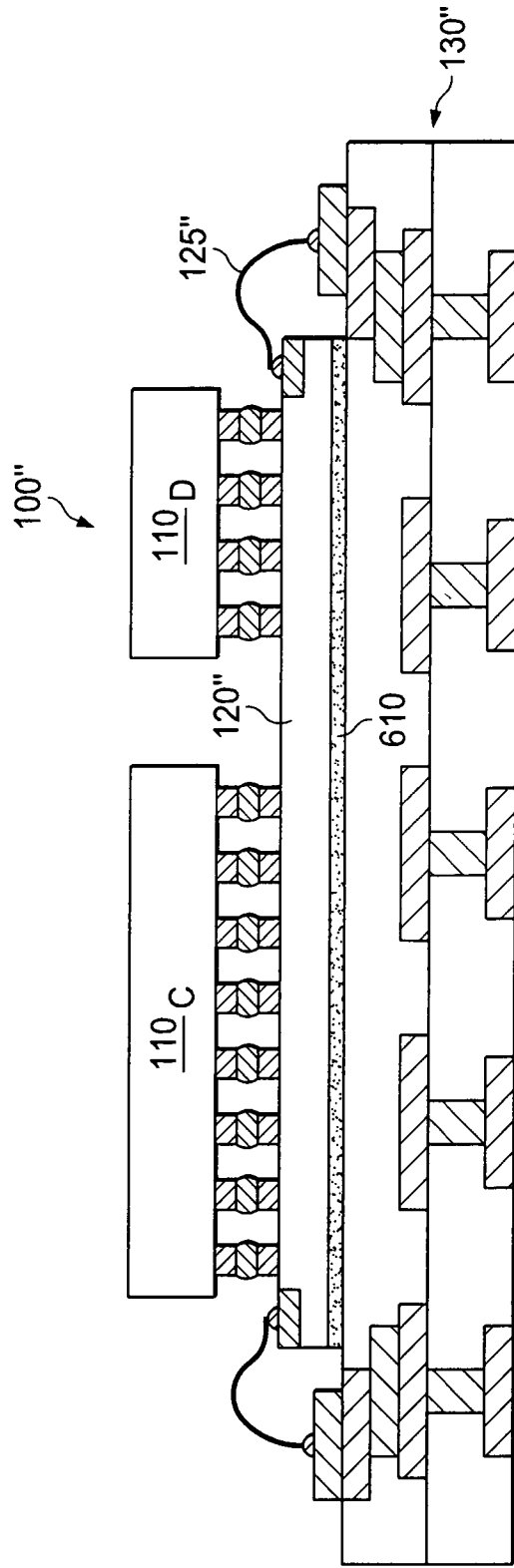


FIG. 7D

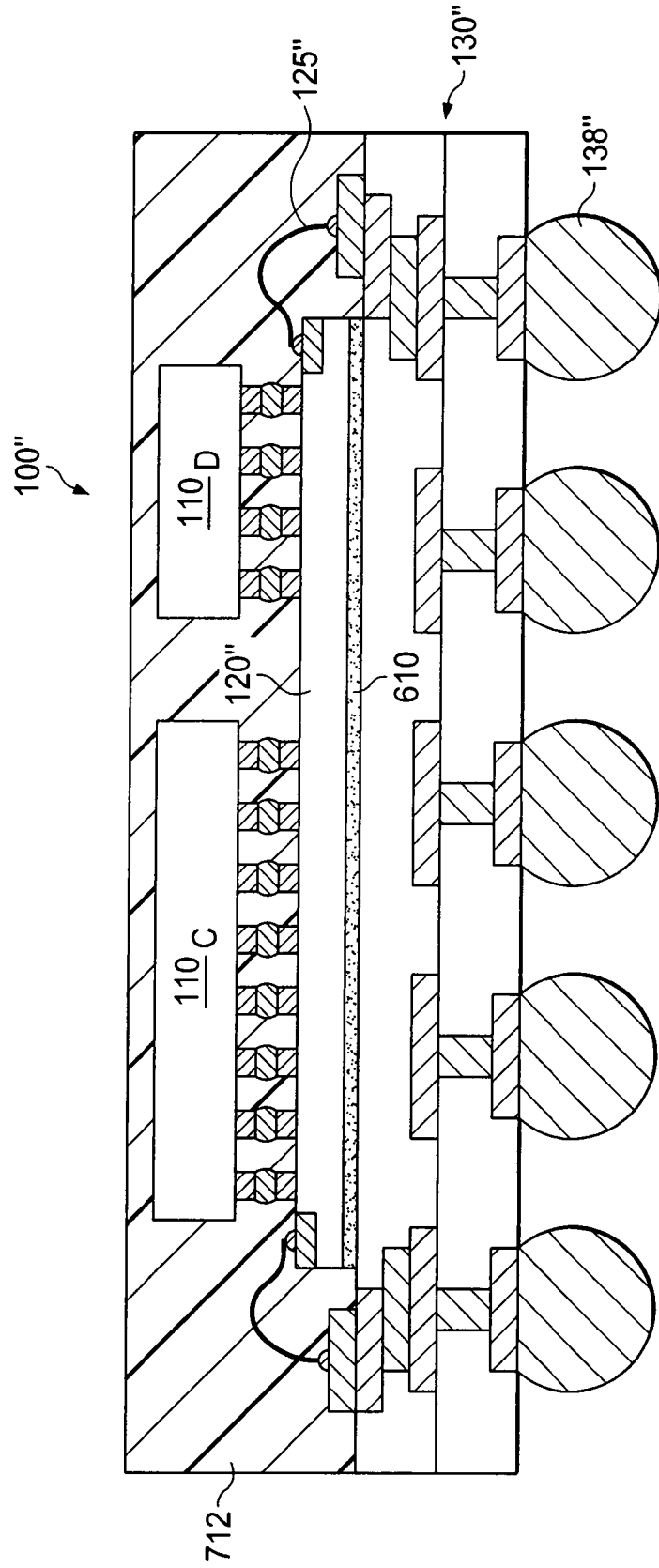


FIG. 7E

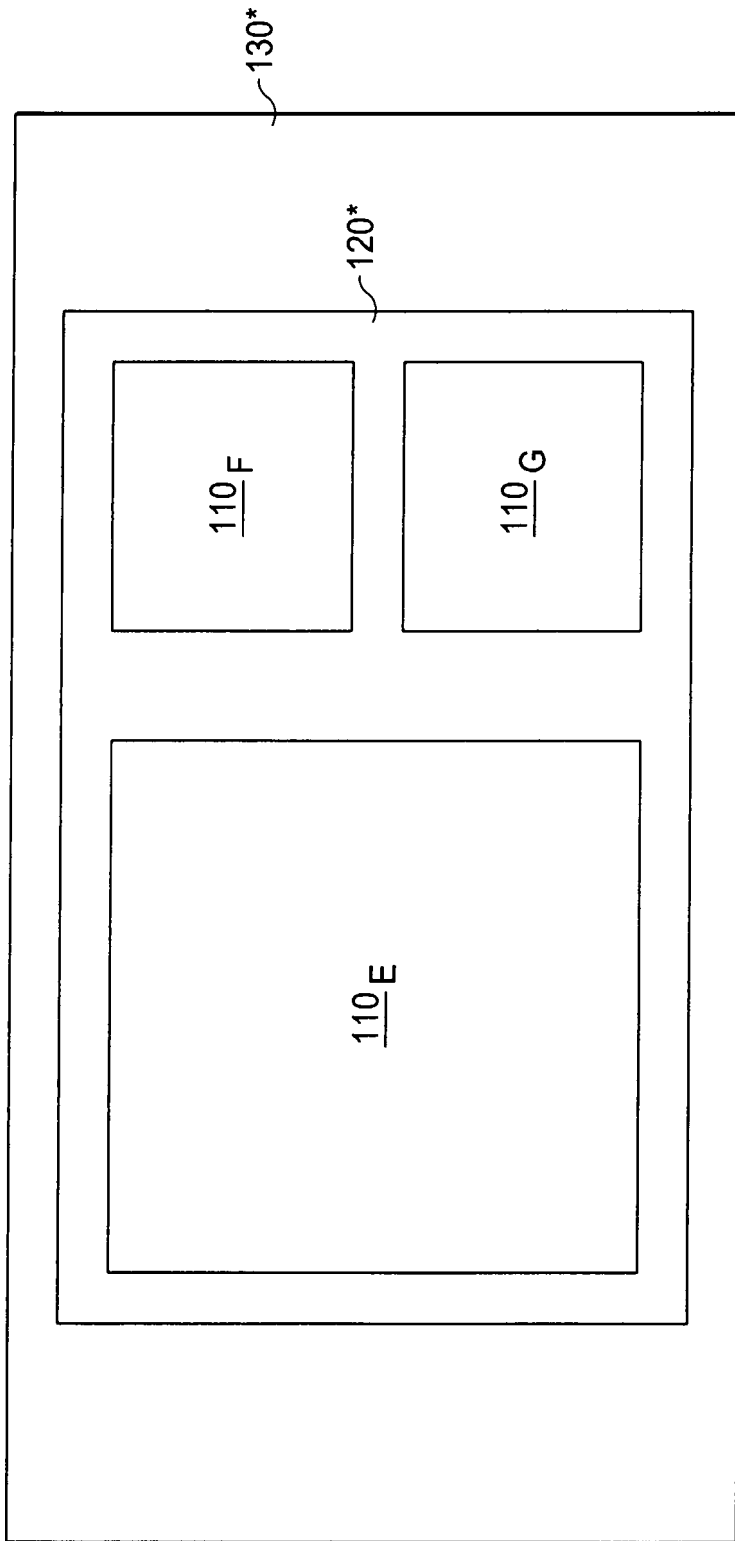


FIG. 8