

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5774804号
(P5774804)

(45) 発行日 平成27年9月9日 (2015.9.9)

(24) 登録日 平成27年7月10日 (2015.7.10)

(51) Int. Cl.	F 1
G 0 4 G 5/00 (2013.01)	G 0 4 G 5/00 J
G 0 7 B 15/00 (2011.01)	G 0 7 B 15/00 5 1 0

請求項の数 5 (全 20 頁)

(21) 出願番号	特願2007-291703 (P2007-291703)	(73) 特許権者	000004237
(22) 出願日	平成19年11月9日 (2007.11.9)		日本電気株式会社
(65) 公開番号	特開2009-115733 (P2009-115733A)		東京都港区芝五丁目7番1号
(43) 公開日	平成21年5月28日 (2009.5.28)	(74) 代理人	100109313
審査請求日	平成22年10月15日 (2010.10.15)		弁理士 机 昌彦
審判番号	不服2014-20237 (P2014-20237/J1)	(74) 代理人	100124154
審判請求日	平成26年10月7日 (2014.10.7)		弁理士 下坂 直樹
		(72) 発明者	藤田 佳賢
			東京都港区芝五丁目7番1号 日本電気株式会社社内
		合議体	
		審判長	中塚 直樹
		審判官	清水 稔
		審判官	樋口 信宏

最終頁に続く

(54) 【発明の名称】時刻同期システム、時刻同期装置、時刻同期方法及び時刻同期プログラム

(57) 【特許請求の範囲】

【請求項1】

一の装置と一以上の他の装置との間で時刻を同期させる時刻同期システムであって、
 前記一の装置は、
 独立した自己の発振手段に基づいてカウントされる所定桁数のバイナリデータに基づき
 当該一の装置における時刻データを計測する第一計時手段と、
 所定時間毎に所定の基準時刻データを取得する基準時刻取得手段と、
 前記基準時刻情報に応じて前記バイナリデータを補正する第一補正手段と、
 前記一の装置において、所定時間毎に、所定のイーサネット（登録商標）パケットフレームからなるリセット情報を、マルチキャストパケットとして前記他の装置に配信する時刻調整データ配信手段と、を備え、
 前記他の装置は、
 前記一の装置から、マルチキャストパケットとして、前記イーサネット（登録商標）パケットフレームからなるリセット情報を受信する時刻調整データ受信手段と、
 独立した自己の発振手段に基づいてカウントされる所定桁数のバイナリデータに基づき
 当該他の装置における時刻データを計測する第二計時手段と、
 前記一の装置からの前記リセット情報を受信した場合に、当該他の装置においてカウントされるバイナリデータを補正する第二補正手段と、を備える
 ことを特徴とする時刻同期システム。

【請求項2】

10

20

前記一の装置は、

27桁のバイナリデータのカウン트가可能なレジスタと1kHzの周波数のクロックとを備え、

前記第一計時手段は、

前記クロックの動作に基づいてカウンタされる27桁のバイナリデータに基づき当該一の装置における時刻データを計測する

ことを特徴とする請求項1記載の時刻同期システム。

【請求項3】

前記一の装置は、

前記基準時刻取得手段が、

24時間毎に前記基準時刻データを取得する

ことを特徴とする請求項1又は2記載の時刻同期システム。

【請求項4】

前記一の装置及び他の装置は、所定のETCシステムを構成する装置である

ことを特徴とする請求項1～3のいずれか一項記載の時刻同期システム。

【請求項5】

一の装置と一以上の他の装置との間で時刻を同期させる時刻同期方法であって、

前記一の装置が、

独立した自己の発振手段に基づいてカウンタされる所定桁数のバイナリデータに基づき当該一の装置における時刻データを計測するステップと、

所定時間毎に所定の基準時刻データを取得するステップと、

前記基準時刻情報に応じて前記バイナリデータを補正するステップと、

前記一の装置において、所定時間毎に、所定のイーサネット(登録商標)パケットフレームからなるリセット情報を、マルチキャストパケットとして前記他の装置に配信するステップと、を有し、

前記他の装置が、

前記一の装置からマルチキャストパケットとして、前記イーサネット(登録商標)パケットフレームからなるリセット情報を受信するステップと、

独立した自己の発振手段に基づいてカウンタされる所定桁数のバイナリデータに基づき当該他の装置における時刻データを計測するステップと、

前記一の装置からの前記リセット情報を受信した場合に、当該他の装置においてカウンタされるバイナリデータを補正するステップと、を有する

ことを特徴とする時刻同期方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の装置からなるシステムにおいて時刻管理を行う時刻同期システムに関する。

【背景技術】

【0002】

現在、高速道路の料金所等に設置されるETCシステムにおいては、時間帯に応じた通行料金の割引サービス等が実施されており、車両がゲートを通過した際の時刻情報が割引サービスの適否を判定するうえで重要なデータとなっている。

また、ETCレーンを通過する車両が異常ETC車両(ETCシステムとETC車載器の間で正常なやり取りが行われない車両)と判定された場合や、非ETC車両(ETC車載器を搭載していない車両)と判定された場合に、それらの判定を分析するため、ログとともに記録されている時刻情報が必要となることがある。

しかしながら、従来のETCシステムにおける時刻情報は、不正確である場合が多く、料金サービスやログ解析を実行する上で大きな障害となっていた。

【0003】

E T Cシステムの時刻情報が不正確である理由を説明する上で、まず、E T Cシステムにおける時刻管理の仕組みについて説明を行う。

図20は、従来のE T Cシステムの全体を表した外観図であり、図21は、従来のE T Cシステムにおける時刻管理方法を説明するためのブロック図である。

一般に、E T Cシステムは、図20に示すように路側無線装置1aを含む様々な装置によって構成されるシステムであるが、特に時刻管理に関する装置としては、図21に示すように、路側無線装置1aの他、料金サーバ3a、車線監視サーバ4a、ビデオ5aといった料金所に設置される機器によってシステムを構成している。

【0004】

図21に示すように、従来のE T Cシステムにおいては、まず、料金所サーバ3aが、上位システム2aから1日一回L A Nインタフェースを経由して正確な基準時刻データの配信を受けるようになっている。

10

料金所サーバ3aは、上位システム2aからこの基準時刻データを受信すると同時に路側無線装置1aに対し同様の時刻データを出力し、続いて、路側無線装置1aが車線監視サーバ4aに対し同様の時刻データを送信する。

そして、車線監視サーバ4aは、接点インタフェースを通してビデオ5a（E T Cレーンを通過する車両を1台ずつ撮影するビデオ）に時刻データを送信することとしていた。

つまり、このような仕組みによってE T Cシステムを構成する各装置間の時刻の同期を図っているのである。

【0005】

20

従って、システム全体として正確な時刻管理を実現するには、料金所サーバは勿論のこと、路側無線装置が常に正確な時刻データを管理していることが不可欠である。

つまり、路側無線装置が認識する時刻データが正確でなければ他の装置の時刻データも不正確なものとなってしまう、システム全体としての時刻データもその正確性を保つことができないのである。

【0006】

そこで、従来の路側無線装置について図面を参照しながら説明する。

図22は、従来のE T Cシステムの路側無線装置の構成を示すブロック図である。

図22に示すように、従来の路側無線装置1aは、C P U盤10a、無線インタフェース盤20a、装置監視盤21a、暗号／複合（S A M）盤22aなどの複数のパネルによって構成されている。

30

この路側無線装置1aにおいては、料金所サーバ3aからL A Nインタフェースを通して受信したI Pパケット内の時刻データをまずC P U盤10aが受け取る。

【0007】

C P U盤10aでは、受け取った時刻データに応じて、パネルに組み込まれているO Sのタイマー割込を周期的に行うことでメモリ上のカウンタレジスタをアップさせ、このレジスタ値を読み込むことによって本装置の時刻としていた。

また、C P U盤10aは、受け取った時刻データを電文形式（ソフト処理）にして他のパネルに分配するようにしている。

各パネルでは、C P U盤10aから分配された電文を受信すると、その電文に含まれる時刻データに応じて各々のパネルに組み込まれているO Sのタイマー割込を行い、カウントアップを行うことによって各パネルの時刻としていた。

40

このようなE T Cシステムに関する技術は、例えば、特許文献1乃至特許文献4に開示されている。

【0008】

【特許文献1】特開2002-216182号公報

【特許文献2】特開2004-038764号公報

【特許文献3】特開2004-171230号公報

【特許文献4】特開2005-258726号公報

【発明の開示】

50

【発明が解決しようとする課題】**【0009】**

しかしながら、特許文献1乃至4に提案されているような従来のETCシステムにおいて通常行われる上述の時刻管理方法では、受信したパネルがそれぞれOS上でタイマー割込を周期的に行うことで同期を行うようにしているため、タイマー割込の途中、より優先度の高い割込タスクや割り込み処理を禁止しているタスクが動作すると正確なカウントアップができない状態になってしまう。

この場合、次の同期時刻の配信までに少しずつ正しい時刻とずれてしまい、最大では10秒以上ずれる事態も生じていた。

【0010】

また、それぞれのパネルにおいてOS上のタイマーによってカウントを行っているため、パネルによって時刻データがバラバラとなっていた。

例えば、あるイベントが生じたときの各パネルにおけるログ情報の打刻時間は大なり小なりずれて記録されることとなる。

この結果、車載監視サーバやビデオ等、ETCシステムを構成する他の装置において認識される時刻についても誤差が生じてしまい、通過車両と関連するログ記録時刻との対応付けが困難となっていた。

特に、ETCシステムでは、短時間に複数車両が通過する場合もあり、ミリ秒単位での正確な時刻情報の管理が必要であるにも係わらず、その実現は困難を極めていた。

【0011】

このように、ETCシステムにおいては、例えば定期的に正確な基準時間データを取得する仕組みが備わっていても、システムを構成する各装置でそれぞれ認識する時刻が不統一・不正確であるため、時刻管理が適正に行われず、結果、システムの信頼性が損なわれるものとなっていた。

【0012】

本発明の目的は、上述した課題である、複数の装置が組み合わさって構成されるシステムにおける時刻認識の不正確さを解消し、極小時間単位での時刻管理が可能な時刻同期システムを提供することにある。

【課題を解決するための手段】**【0013】**

上記目的を達成するため、本発明の時刻同期システムは、一の装置と一以上の他の装置とからなるシステムにおける時刻同期システムであって、前記一の装置は、所定の基準時刻データに応じて当該一の装置における時刻データを補正するとともに、所定の発振手段に基づき前記補正後の時刻データを計測し、前記他の装置は、前記一の装置における時刻データに応じて当該他の装置における時刻データを計測するようにしてある。

【0014】

また、本発明の時刻同期装置は、一以上の他の装置と接続された時刻同期装置であって、所定の基準時刻データに応じて自己の時刻データを補正するとともに、所定の発振手段に基づき前記補正後の時刻データを計測する手段と、自己の時刻データに応じて前記他の装置における時刻データを計測させる手段と、を備える構成としてある。

【0015】

また、本発明の時刻同期方法は、一の装置と一以上の他の装置とからなるシステムにおける時刻同期方法であって、所定の基準時刻データに応じて前記一の装置における時刻データを補正するステップと、所定の発振手段に基づき前記補正後の時刻データを計測するステップと、前記一の装置における時刻データに応じて前記他の装置における時刻データを計測するステップと、を有する方法としてある。

【0016】

また、本発明の時刻同期プログラムは、一の装置と一以上の他の装置とからなるシステムにおける時刻同期プログラムであって、前記一の装置を構成するコンピュータを、所定の基準時刻データに応じて当該一の装置における時刻データを補正するとともに、所定の

10

20

30

40

50

発振手段に基づき前記補正後の時刻データを計測する手段として機能させ、前記他の装置を構成するコンピュータを、前記一の装置における時刻データに応じて当該他の装置における時刻データを計測する手段として機能させるためのプログラムとしてある。

【発明の効果】

【0017】

本発明の時刻同期システムによれば、システムを構成する各装置において認識される時刻の誤差をなくし、システムにおける時刻管理を適正に行うことができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の好ましい実施形態について図1～図19を参照して説明する。

10

ここで、以下に示す本発明の実施形態に係る時刻同期システム及び時刻同期装置は、プログラム（ソフトウェア）の命令によりコンピュータで実行される処理、手段、機能によって実現される。プログラムは、コンピュータの各構成要素に指令を送り、以下に示すような所定の処理・機能を行わせる。すなわち、本実施形態の路側無線装置における各処理・手段は、プログラムとコンピュータとが協働した具体的手段によって実現される。

なお、プログラムの全部又は一部は、例えば、磁気ディスク、光ディスク、半導体メモリ、その他任意のコンピュータで読取り可能な記録媒体により提供され、記録媒体から読み出されたプログラムがコンピュータにインストールされて実行される。また、プログラムは、記録媒体を介さず、通信回線を通じて直接にコンピュータにロードし実行することもできる。

20

【0019】

〔第一実施形態〕

図1は、本発明の第一実施形態に係るETCシステムの全体を表した外観図である。

図1に示すように、本実施形態に係るETCシステムは、様々な装置によって構成されるが、その中でも路側無線装置1は、通過車両の車載器との通信を行うだけでなく、時刻を管理する上で重要な装置となっている。

ここで、ETCシステムにおける時刻管理方法について図2を参照しながら説明する。

図2は、本実施形態に係るETCシステムにおける時刻管理方法を説明するためのブロック図である。

図2に示すように、本実施形態に係るETCシステムにおいては、路側無線装置1の他、料金サーバ3、車線監視サーバ4、ビデオ5からなる複数の装置が連携することによってそれぞれ時刻管理を行っている。

30

【0020】

具体的な動作としては、まず、料金所サーバ3が、上位システム2から1日一回LANインタフェースを経由して正確な基準時刻データの配信を受けるようになっている。

料金所サーバ3は、上位システム2から基準時刻データを受信すると同時に路側無線装置1に対し同様の時刻データを出力し、続いて、路側無線装置1が車線監視サーバ4に対し同様の時刻データを送信する。

そして、車線監視サーバ4は、接点インタフェースを通してビデオ5（ETCレーンを通過する車両を1台ずつ撮影するビデオ）に時刻データを送信することとしている。

40

【0021】

なお、車線監視サーバ4は、ETCレーンの監視を行うところのサーバであり、ETCレーンを通過する車両が異常ETC車両もしくは非ETC車両と判定した場合には、その通過時刻等をログとして記録するとともに即座にアラームを発報する仕組みを採っている。

【0022】

そこで、ETCシステムの時刻管理を行う上で重要な役割を担う路側無線装置に焦点を当てて詳細に説明することとする。

図3は、本実施形態に係る路側無線装置の構成を示すブロック図である。

図3に示すとおり、本実施形態の路側無線装置1は、CPU盤10の他、無線インタフ

50

エース盤 20、装置監視盤 21、暗号／復号（SAM）盤 22 の各パネルによって構成される。

その中でも中心となる CPU 盤 10 は、正確な基準時刻データを提供する外部の装置と LAN インタフェースを介して接続されており、また、各パネルとは所定のバス（例えば、プリンタ板のバックボード配線による信号線バス）を介して接続されている。

そして、CPU 盤 10 に搭載されるバイナリレジスタ 102 においてレジスタ値をカウントアップすることによって時刻データを計測することとしている。

また、同時に、CPU 盤 10 は、このレジスタ値を各パネルに配信するようにしている。

これにより、各パネルはこのレジスタ値を読み出し、時刻データを計測することとしている。

10

【0023】

次に、路側無線装置を構成する CPU 盤及び各パネルについて図 4 及び図 5 を参照しながら説明を行う。

図 4 は、本実施形態に係る路側無線装置の CPU 盤の構成を示したブロック図であり、図 5 は、本実施形態に係る路側無線装置の各パネルの構成を示したブロック図である。

図 4 に示すとおり、本実施形態に係る CPU 盤 10 は、CPU 100、クロック 101 及びバイナリレジスタ 102 により構成されている。

一般に、CPU 100 は、各種演算処理、命令処理を行うマイクロプロセッサ等によって形成されており、特に、本実施形態においては、バイナリレジスタ 102 やクロック 101 等の動作を制御するものである。

20

【0024】

例えば、CPU 100 は、外部から LAN インタフェースを経由して所定の基準時刻データを受け取り（本発明の基準時刻取得手段）、この基準時刻データの受信をトリガーとして、リセット信号をバイナリレジスタ 102 に出力し、時刻データのリセット制御を行う（本発明の第一補正手段）。

また、CPU 100 は、クロック 101 に基づきバイナリレジスタ 102 のレジスタ値を CPU データバスとして読み込み時刻データをカウントする動作も行う（本発明の第一計時手段）。

さらに、CPU 100 は、バイナリレジスタ 102 のレジスタ値を、バックボードを通して各パネルへ配信する役割（本発明の時刻調整データ配信手段）も有している。

30

【0025】

クロック 101 は、所定の発振手段を備えた発振器であり、前述の通り 1 kHz の周波数（1000 カウント／秒）のもので、その精度としては、誤差が数 ppm 以下のものを採用する。

これは、本実施形態に係る ETC システムにおいては、1 日に 1 回（例えば、PM 11 : 30）、上位システム 2 との間で正確な時刻に基づく同期（リセット）を行うこととしているため、少なくとも 24 時間の間は ms（ミリ秒）単位で誤差が生じないように、自走できる機能を備えておく必要があるからである。

【0026】

このため、バイナリレジスタ 102 は、少なくとも 2⁷ 桁の 2 進数を計数できるメモリを採用することとしている。

40

これは、1 日の時間をミリ秒の単位に変換すると、24 時間 × 3600 秒 × 1000 ms = 86,400,000 ms（10 進数）となり、これを、2 進数に変換すると、101,0010,0110,0101,1100,0000,0000 となり、2⁷ 桁のバイナリデータとなるからである。

【0027】

すなわち、これらクロック 101 とバイナリレジスタ 102 とを組み合わせることにより、1 クロックでレジスタ値が 1 カウントアップされる仕組みとなり、ミリ秒単位で時刻データを計測できるようにしている。

50

【0028】

一方、図5に示すとおり、各パネルはそれぞれCPU200を備えており、CPU盤10から配信されたレジスタ値(27桁)を、バックボードを介して受信し(本発明の時刻調整データ受信手段)、CPUデータバスとして読み込むこととしている。

各パネルのCPU200は、読み込んだレジスタ値に基づいて自己の時刻データを測定する(本発明の第二計時手段)ことができ、これによってCPU盤10の時刻との同期が実現される。

なお、各パネルにもCPU盤10と同様にバイナリレジスタを搭載し、配信されるレジスタ値を常にバイナリレジスタに反映させるようにしても良い。

例えば、ETCシステムにおいて、時間帯割引のソフトウェア処理やイベント発生時のログを記録する際は、このバイナリレジスタにアクセスすることによって正確な時刻情報を取得することが容易となる。

【0029】

次に、以上のような構成からなる本実施形態の路側無線装置の動作手順について図6を参照しながら説明する。

図6は、本実施形態に係る路側無線装置における動作手順を示したフローチャートである。

図6に示すとおり、路側無線装置1のCPU盤10は、所定の基準時刻データを取得したか否かを判定する(S11)。

本実施形態においては、24時間毎(例えば、PM11:30)に、正確な基準時刻データが外部(上位システム2と接続された料金所サーバ3)から入力されるようになっており、これをCPU盤10のCPU100が検知する仕組みとなっている。

【0030】

ステップS11の結果、CPU盤10のCPU100が基準時刻データを検知すると(S11:YES)、これに応じてCPU100は、バイナリレジスタ102のリセットを行う(S12)。

具体的には、CPU盤10のCPU100が、所定のリセット信号をバイナリレジスタ102に出力し、レジスタ値を適正な値に補正する。

これにより、CPU盤10の時刻データが正確な時刻データに補正されることとなる。

一方、ステップS11の結果、基準時刻データが検知されない場合(S11:NO)、ステップS12を経由せずにステップS13へ移行する。

【0031】

次に、CPU盤10では、クロック101に基づきバイナリレジスタ102がレジスタ値のカウントアップを行い(S13)、その結果、時刻データが計測される。

具体的には、CPU100がレジスタ値を読み込む(リードする)ことによってCPU盤10における時刻として認識される。

すなわち、CPU盤10では、24時間に一度の周期で定期的に時刻データを補正しつつ、それ以外の時間帯は、自走が求められることとなる。

このため、クロック101には、高精度の発振器(例えば、誤差数ppm以下)が求められる。

また、バイナリレジスタ102は、少なくとも27桁のビットデータが計数できるものを搭載し、CPU盤10においてミリ秒単位の計測ができるようにしている。

これにより、相当の期間(少なくとも24時間の間)は、ミリ秒単位で正確な時刻データが計測できるようになっている。

【0032】

CPU盤10は、バイナリレジスタ102によって計測されたレジスタ値を、バックボードを通して他のパネル(無線インタフェース盤20、装置監視盤21、暗号/復号(SAM)盤22)に配信する(S14)。

これにより、各パネルは、CPU盤10が認識する時刻を常に共有することが可能となる。

10

20

30

40

50

具体的には、各パネルに搭載されるCPU200が、CPU盤10から配信されるレジスタ値を読み込むことによって、各パネルにおける時刻として認識することができる。

【0033】

以上説明したように、本実施形態の路側無線装置1によれば、CPU盤10が、外部から24時間毎に入力される正確な基準時刻データに応じて自己の時刻データを補正するようにしている。

そして、時刻データを補正した後は、バイナリレジスタ102が、高精度のクロック101に基づき、27桁からなる時刻に対応するビットデータを計数することで、CPU100が独立して正確な時刻データを計測できるようにしている。

また、CPU盤10において計数されたバイナリレジスタ102のレジスタ値を他のパネルにも配信することによって、他のパネルのCPU200がそのレジスタ値が読み込まれ、時刻データが計測されるようになっている。

10

【0034】

特に、本実施形態においては、CPU盤10に搭載するクロック101を所定周波数のものとし、バイナリレジスタ102についてもこれに対応して相当桁数の計数ができるものとするので、ミリ秒単位の時刻計測を可能としている。

【0035】

このため、各パネル間や各装置間における時刻データの相違や正確な時刻を認識できない等といった従来の問題が解消され、結果、ETCシステムにおいて時刻に関連する様々な処理を確実に遂行できるようになる。

20

【0036】

具体的には、ETCレーンを通過する車両のイベント情報をミリ秒単位で記録できるようになる。

これにより、例えば、異常ETC車両や非ETC車両が検出された場合や、対象車両が極めて短時間の間に複数通過した場合であっても、関連イベントの分析や各車両の識別を容易に行うことができる。

【0037】

また、不正通行による検挙を行う際や異常ETC車両の検出を行う場合においても、予め各装置間の時刻データがミリ秒単位で統一して記録されているため、路側無線装置内の各パネルのログ及び車線監視サーバのログ並びに該当車両のビデオデータとともに記録された時間データの照合が正確に行え、対象車両を容易に判別できるようになる。

30

【0038】

さらに、車両が通行した時刻を基準に通行料金の割引を行ういわゆる時間帯割引サービスの実行に際しても、正確に時刻データを認識できるため、適切なサービスを提供することができる。

【0039】

このように、本実施形態に係る路側無線装置を提供することにより、ETCシステムにおける時刻管理を適正かつ公正なものとし、信頼性に優れたETCシステムを実現することが可能となる。

【0040】

40

[第二実施形態]

次に、本発明の第二実施形態に係る路側無線装置について図7乃至図13を参照しながら説明する。

図7は、本実施形態に係る路側無線装置の構成を示すブロック図である。

図7に示すとおり、本実施形態の路側無線装置1は、第一実施形態と同様、CPU盤10、無線インタフェース盤20、装置監視盤21及び暗号／復号(SAM)盤22から構成される。

しかしながら、本実施形態では、各パネルにおいても、クロック201及びバイナリレジスタ202を搭載する点で第一実施形態と異なる。

また、CPU盤10から各パネルに配信されるデータはレジスタ値ではなく、各パネル

50

に搭載されるバイナリレジスタ202をリセットさせるためのトリガー信号である点が異なる。

【0041】

なお、各パネルはLANインタフェースを備え、CPU盤10と各パネルとの間は、100BASE-TX等のLAN接続が行われている。

特に、本実施形態においては、100BASE-TXにおける物理層の符号化において実行されるいわゆる4B/5B符号変換において通常は使用されない無効シンボルデータをリセット情報として用いる点も特徴である。

【0042】

次に、本実施形態の路側無線装置を構成するCPU盤及び各パネルについて図8及び図9を参照しながら説明を行う。

図8は、本実施形態に係る路側無線装置のCPU盤の構成を示したブロック図であり、図9は、本実施形態に係る路側無線装置の各パネルの構成を示したブロック図である。

図8に示すとおり、本実施形態に係るCPU盤10は、第一実施形態と同様、CPU100、クロック101及びバイナリレジスタ102を搭載しているが、さらに、MAC部103を介して固有のシンボルデータを各パネルに配信する点異なる。

【0043】

一方、各パネルは、図9に示すとおり、CPU200以外にも、クロック201、バイナリレジスタ202及びMAC部203を有している。

クロック201及びバイナリレジスタ202を搭載するのは、CPU盤10と同様、各パネルにおいても独立して時刻を計測するためであり、この点も第一実施形態と異なる。

【0044】

MAC部203は、LANインタフェースを介して受信したデータの中からリセット情報を検出し、バイナリレジスタ202にリセット信号を出力する役割を有している。

特に、本実施形態においてMAC部203は、CPU盤10から定期的に配信されるシンボルデータをリセット情報として検出する機能を有している。

このシンボルデータは、100BASE-TXにおける4B/5B符号変換において使用されていない無効データを用いる。

具体的には、図10に示す表の下段に示すシンボル「V」に対応するデータ「00110」「11001」「00000」「00001」「00010」「00011」「00101」「01000」「01100」「10000」が使用される。

【0045】

ここで、上述に示すデータのうち、例えば「00110」をシンボルデータとして使用することとする。

この場合、CPU盤10では、図11に示すように、定期的(24時間毎)にシンボルデータ「00110」がMAC部103に挿入され、LANインタフェースを経由して各パネルに配信される。

このため、各パネルでは、図12に示すように、LANインタフェースを経由して受信したデータの中からシンボルデータ「00110」がMAC部203によって定期的(24時間毎)に検出されることとなる。

各パネルのMAC部203によってシンボルデータ「00110」が検出されると、MAC部203は所定のリセット信号をバイナリレジスタ202に出力し、これによりレジスタ値はリセットされ、結果、時刻データが補正される(本発明の第二補正手段)。

【0046】

次に、以上のような構成からなる第二実施形態の路側無線装置の動作手順について図13を参照しながら説明する。

図13は、本実施形態に係る路側無線装置における動作手順を示したフローチャートである。

図13に示すとおり、路側無線装置1のCPU盤10は、所定の基準時刻データを取得したか否かを判定する(S21)。

10

20

30

40

50

本実施形態においても、24時間毎（例えば、PM11:30）に、正確な基準時刻データが外部から入力されるようになっており、これをCPU盤10のCPU100が検知する仕組みとなっている。

【0047】

ステップS21の結果、CPU盤10のCPU100が基準時刻データを検知すると（S21:YES）、これに応じてCPU100は、バイナリレジスタ102のリセットを行う（S22）。

具体的には、CPU盤10のCPU100が、所定のリセット信号をバイナリレジスタ102に出力し、レジスタ値を適正な値に補正する。

これにより、CPU盤10の時刻が正確な時刻データに補正されることとなる。

一方、ステップS21の結果、基準時刻データが検知されない場合（S21:NO）、ステップS22を経由せずにステップS23へ移行する。

【0048】

次に、CPU盤10では、クロック101に基づきバイナリレジスタ102がレジスタ値のカウントアップを行い（S23）、その結果、時刻データが計測される。

具体的には、CPU100がレジスタ値を読み込む（リードする）ことによってCPU盤10における時刻として認識される。

すなわち、CPU盤10では、24時間に一度の周期で定期的に時刻データを補正しつつ、それ以外の時間帯は、自走が求められることとなる。

このため、クロック101には、高精度の発振器（例えば、誤差数ppm以下）が求められる。

また、バイナリレジスタ102は、少なくとも27桁のビットデータが計数できるものを搭載し、CPU盤10においてミリ秒単位の計測ができるようにしている。

これにより、相当の期間（少なくとも24時間の間）は、ミリ秒単位で正確な時刻データが計測できるようになっている。

【0049】

なお、CPU盤10は、リセット情報としてシンボルデータを他のパネル（無線インタフェース盤20、装置監視盤21、暗号／復号（SAM）盤22）に配信するタイミングを常に監視している。

本実施形態においては、24時間毎に各パネルにリセット情報を配信するようにしており、このため、CPU盤10では、常にリセット情報の配信時刻であるか否かを判定している（S24）。

ここで、所定の配信時刻であれば（S24:YES）、各パネルにシンボルデータを配信する（S25）。

【0050】

そして、シンボルデータを受信した各パネルでは、バイナリレジスタ202のレジスタ値のリセットが行われる（S26）。

具体的には、各パネルのMAC部203がシンボルデータを検出すると、バイナリレジスタ202に対してリセット信号が出力され、レジスタ値がリセットされる。

これにより、各パネルの時刻データが正確なデータに同期補正されることとなる。

なお、シンボルデータとしては、いわゆる4B／5B符号変換において無効とされるデータが用いられる。

【0051】

一方、所定の配信時刻以外の場合（S24:NO）、ステップS25、26の処理は行わず、ステップS27に進む。

ステップS27では、各パネルのバイナリレジスタ202のレジスタ値が、自己のクロック201に基づいてカウントアップされ、結果、各パネルにおける時刻データが計測されることとなる。

具体的には、CPU200が、クロック201に応じてカウントされるバイナリレジスタ202のレジスタ値を読み込むことによって、各パネルの時刻として認識することがで

10

20

30

40

50

きる。

【0052】

以上説明したように、本実施形態の路側無線装置1によれば、第一実施形態と基本的な構成は同様であるが、定期的に、CPU盤10が、リセット情報としてのシンボルデータを、LANインタフェースを介して各パネルに配信するようにしている。

そして、各パネルにおいては、このシンボルデータの受信に応じて時刻データを補正し、その後は独立して時刻データを計測する仕組みとしてある。

このため、第一実施形態に比べ、CPU盤10と各パネルとの間における、データ送受信の頻度や取り扱うデータ量を大幅に削減することができる。

【0053】

これにより、ネットワークにおける帯域負荷を抑えるとともに、時刻制御に必要となるCPU盤10及び各パネルの負担も軽減することができるようになる。

従って、本実施形態によれば、第一実施形態と同様の効果を発揮しつつも、レスポンスの優れた路側無線装置1を実現し、高い信頼性を有するETCシステムを提供することが可能となる。

【0054】

[第三実施形態]

次に、本発明の第三実施形態に係る路側無線装置について図14乃至図19を参照しながら説明する。

図14は、本実施形態に係る路側無線装置の構成を示すブロック図である。

図14に示すとおり、本実施形態の路側無線装置1は、第一実施形態及び第二実施形態と同様、CPU盤10、無線インタフェース盤20、装置監視盤21及び暗号／復号(SAM)盤22から構成される。

また、第二実施形態と同様、CPU盤10からは各パネルに対して定期的にリセット情報が配信されるが、このリセット情報としてマルチキャストパケットを用いる点に特徴を有する。

【0055】

次に、本実施形態の路側無線装置を構成するCPU盤及び各パネルについて図15及び図16を参照しながら説明を行う。

図15は、本実施形態に係る路側無線装置のCPU盤の構成を示したブロック図であり、図16は、本実施形態に係る路側無線装置の各パネルの構成を示したブロック図である。

図15に示すとおり、本実施形態に係るCPU盤10は、基本的な構成は第一実施形態又は第二実施形態と同様であるが、マルチキャストパケット生成部104を有する点で前述の実施形態とは異なる。

【0056】

具体的には、図17に示すように、CPU盤10のマルチキャストパケット生成部104で生成されたマルチキャストパケットを、定期的(24時間毎)にMAC部103に挿入しLANインタフェースを介して各パネルに配信するようにしている。

なお、マルチキャストパケット生成部104で生成されるマルチキャストパケットのフレーム構造の例を図19に示す。

図19に示すように、本実施形態で利用されるマルチキャストパケットは、イーサネット(登録商標)パケットフレームの宛先MACアドレス部分(DA)の先頭から3バイト目までを「01.00.5E」(16進数)とすることでその識別が可能となる。

また、グループに属する宛先としては、下位3バイトを参照することによって所望のパネルに所定パケットを配信することが可能となる。

従って、図19に示す例の場合、宛先アドレス部分(DA)の下位3バイト「0A.0A.0A」に対応するマルチキャストIPアドレスが各パネルにおいて設定されていれば良い。

【0057】

一方、各パネルは、図16に示すとおり、マルチキャストパケット検出部204を有し

10

20

30

40

50

ている点で前述の実施形態とは異なる。

具体的には、図18に示すように、マルチキャストパケット検出部204は、LANインタフェース及びMAC部203を介して取得したデータの中からCPU盤10から定期的（24時間毎）に配信されるマルチキャストパケットを検出するものである。

また、マルチキャストパケット検出部204は、このマルチキャストパケットの検出に応じ所定のリセット信号をバイナリレジスタ202に出力し、これによりレジスタ値のリセットが行われ、結果、時刻データが補正される。

【0058】

以上説明したように、本実施形態の路側無線装置1によれば、前述の実施形態とほぼ同様の構成となっているが、CPU盤10にはマルチキャストパケット生成部104を備え
10
るとともに各パネルにはマルチキャストパケット検出部204を備え、CPU盤10から各パネルに対して定期的に配信されるリセット情報としてマルチキャストパケットを用いる点を特徴としている。

このため、アドレスの設定だけで所望のリセット情報を各パネルに同時に配信することが出来る。

従って、前述の実施形態と同様の効果を奏する路側無線装置1をさらに容易に構成しつつも、信頼性の高いETCシステムを実現し、様々なバリエーションによってETCシステムを提供することが可能となる。

【0059】

以上、本発明の時刻同期システムについて、好ましい実施形態を示して説明したが、本
20
発明に係る時刻同期システムは、上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

例えば、本発明の時刻同期システムは、ETCシステムに限らず、複数の装置からなる他のシステムに適用してもよい。

これにより、拡張性に優れ、様々な利用分野に応用可能な時刻同期システムを実現することができる。

【産業上の利用可能性】

【0060】

本発明は、正確な時刻管理が求められるETCシステム等に好適に利用することができる。
30

【図面の簡単な説明】

【0061】

【図1】本発明の第一実施形態に係るETCシステムの全体を表した外観図である。

【図2】本発明の第一実施形態に係るETCシステムにおける時刻管理方法を説明するためのブロック図である。

【図3】本発明の第一実施形態に係る路側無線装置の構成を示すブロック図である。

【図4】本発明の第一実施形態に係る路側無線装置のCPU盤の構成を示したブロック図である。

【図5】本発明の第一実施形態に係る路側無線装置の各パネルの構成を示したブロック図である。
40

【図6】本発明の第一実施形態に係る路側無線装置における動作手順を示したフローチャートである。

【図7】本発明の第二実施形態に係る路側無線装置の構成を示すブロック図である。

【図8】本発明の第二実施形態に係る路側無線装置のCPU盤の構成を示したブロック図である。

【図9】本発明の第二実施形態に係る路側無線装置の各パネルの構成を示したブロック図である。

【図10】4B／5B符号化の法則を一覧にしたシンボル表である。

【図11】本発明の第二実施形態に係る路側無線装置においてCPU盤がシンボルデータを周期的に配信する様子を示した説明図である。
50

【図 1 2】本発明の第二実施形態に係る路側無線装置において各パネルがシンボルデータを周期的に検出する様子を示した説明図である。

【図 1 3】本発明の第二実施形態に係る路側無線装置における動作手順を示したフローチャートである。

【図 1 4】本発明の第三実施形態に係る路側無線装置の構成を示すブロック図である。

【図 1 5】本発明の第三実施形態に係る路側無線装置の C P U 盤の構成を示したブロック図である。

【図 1 6】本発明の第三実施形態に係る路側無線装置の各パネルの構成を示したブロック図である。

【図 1 7】本発明の第三実施形態に係る路側無線装置において C P U 盤がマルチキャスト packets を周期的に配信する様子を示した説明図である。 10

【図 1 8】本発明の第三実施形態に係る路側無線装置において各パネルがマルチキャスト packets を周期的に検出する様子を示した説明図である。

【図 1 9】本発明の第三実施形態に係る路側無線装置において使用されるマルチキャスト packets のフレーム構造を説明するためのフォーマット図である。

【図 2 0】従来の E T C システムの全体を表した外観図である。

【図 2 1】従来の E T C システムにおける時刻管理方法を説明するためのブロック図である。

【図 2 2】従来の E T C システムの路側無線装置の構成を示すブロック図である。

【符号の説明】 20

【 0 0 6 2 】

1 路側無線装置

1 0 C P U 盤

2 0 無線インタフェース盤

2 1 装置監視盤

2 2 暗号／復号（S A M）盤

1 0 0 C P U

1 0 1 クロック

1 0 2 バイナリレジスタ

1 0 3 M A C 部

1 0 4 マルチキャストパケット生成部

2 0 0 C P U

2 0 1 クロック

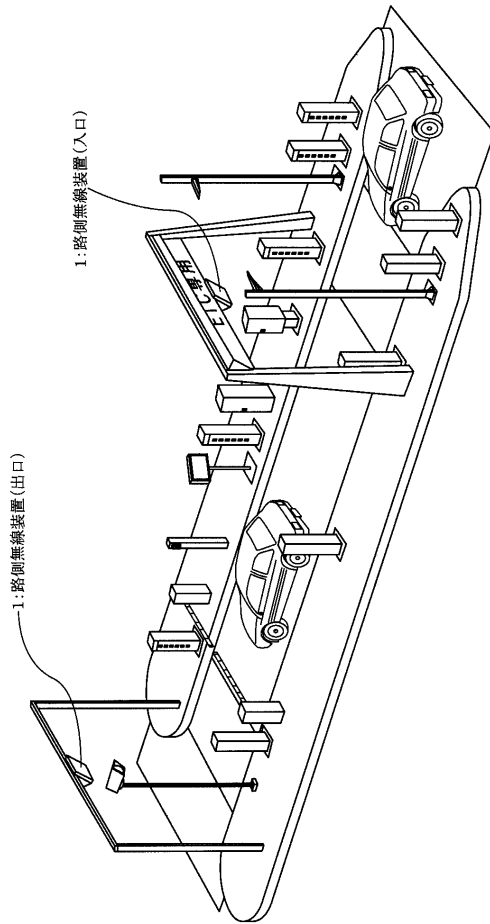
2 0 2 バイナリレジスタ

2 0 3 M A C 部

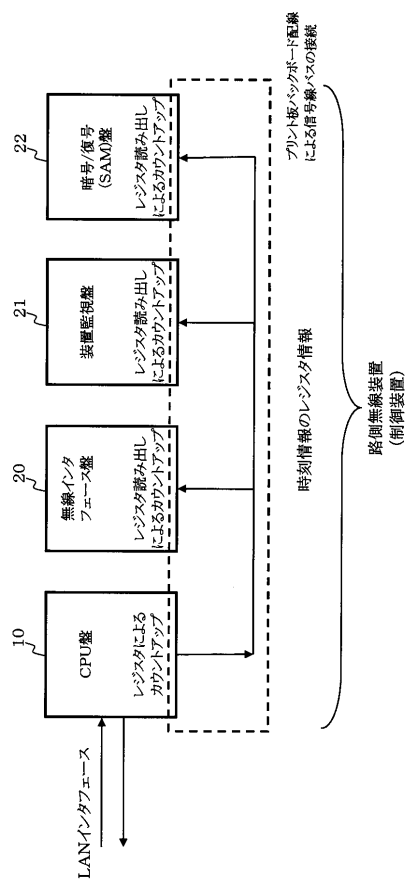
2 0 4 マルチキャストパケット検出部

30

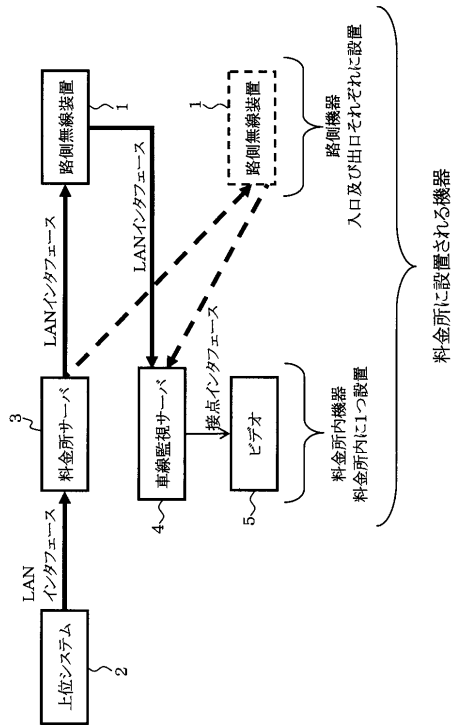
【図 1】



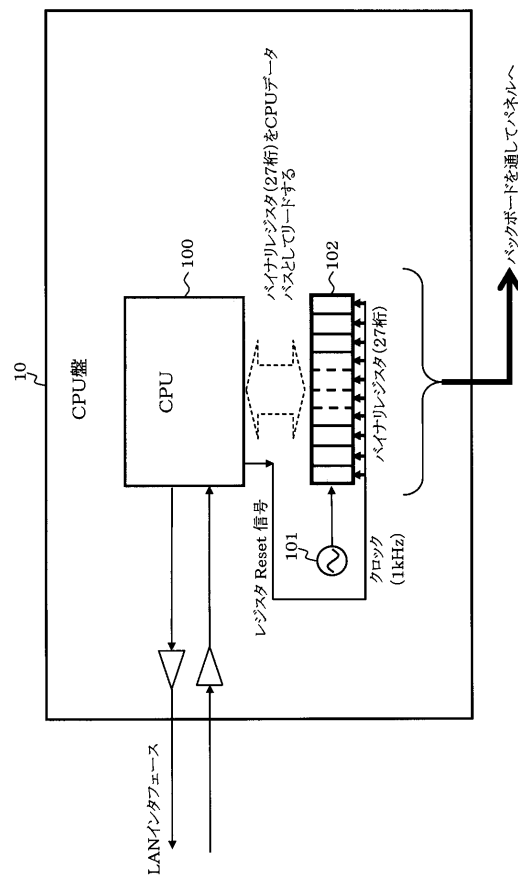
【図 3】



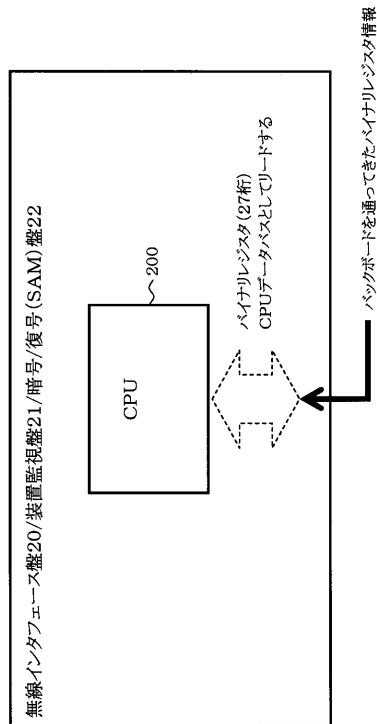
【図 2】



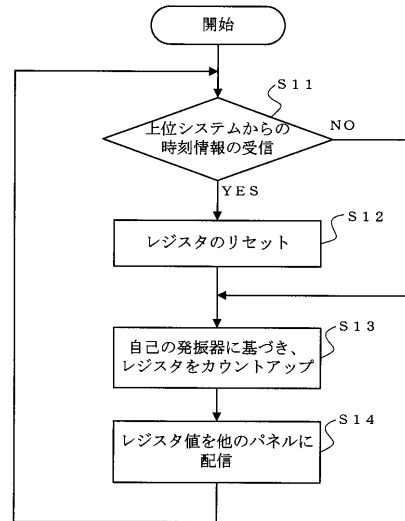
【図 4】



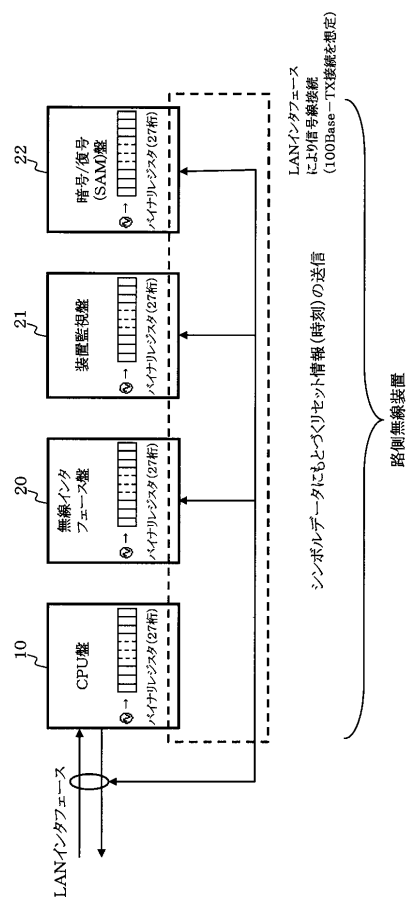
【図 5】



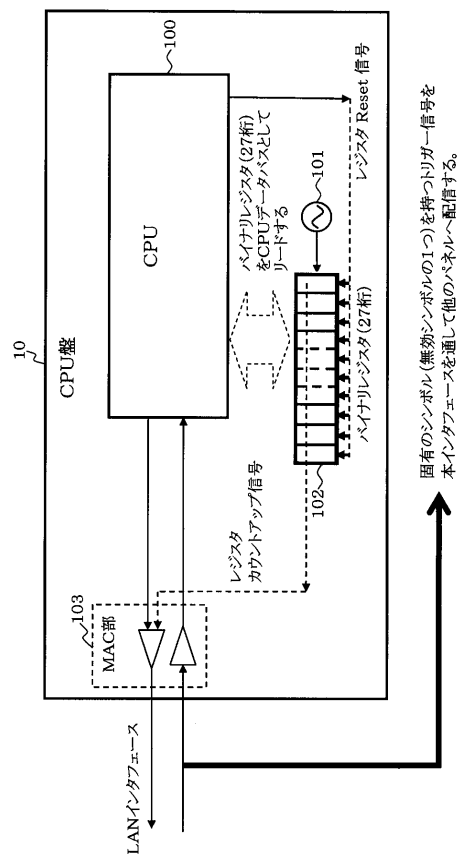
【図 6】



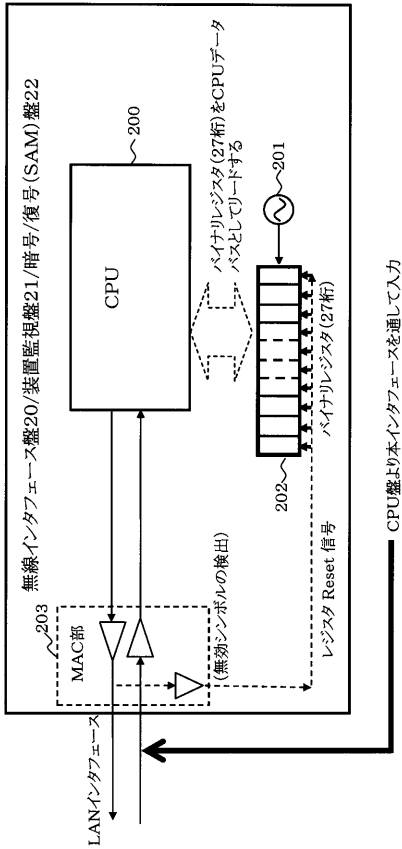
【図 7】



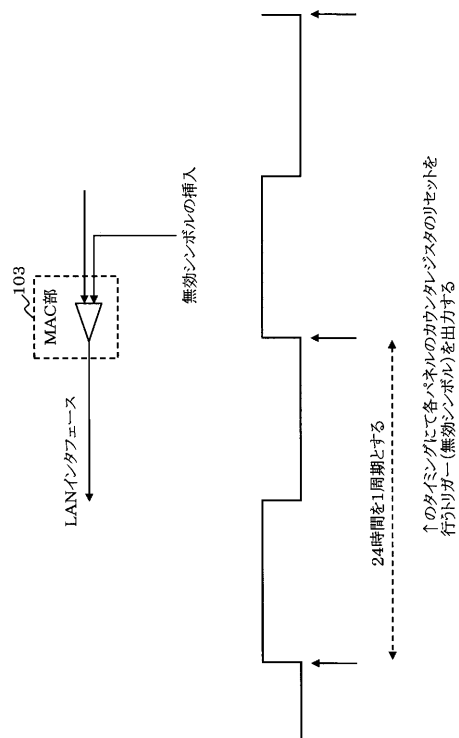
【図 8】



【図 9】



【図 1 1】

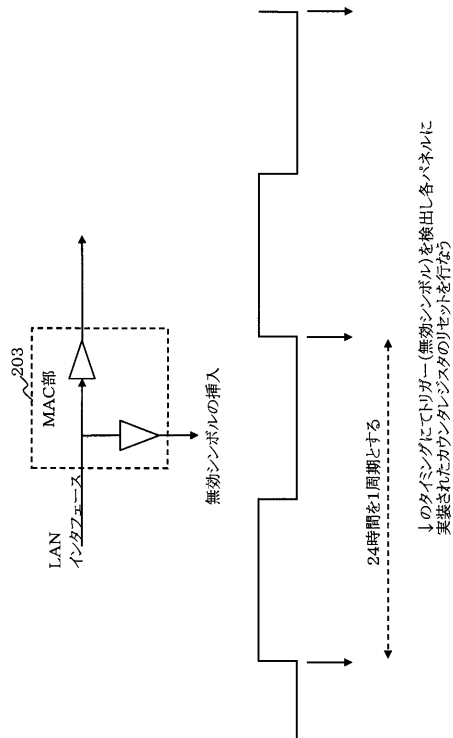


【図 10】

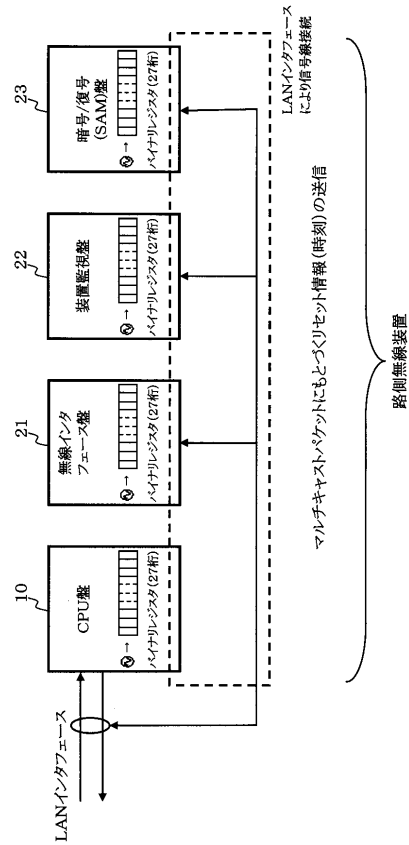
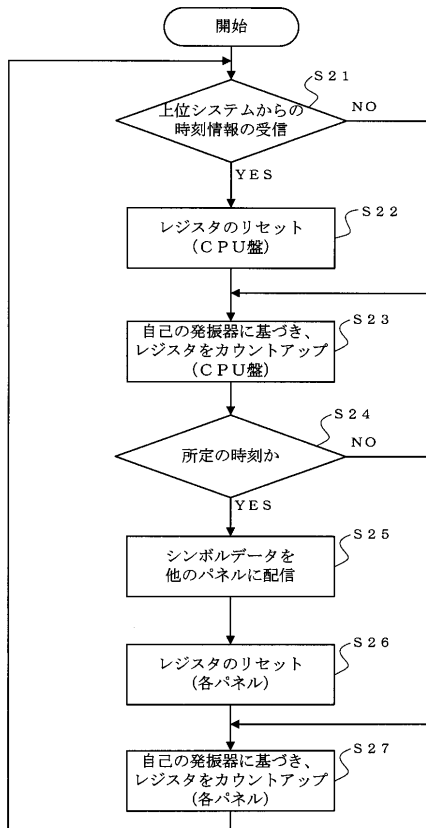
PCS-CG	シンボル	受信側解釈	送信側解釈
11110	0		0000-データ0
01001	1		0001-データ1
10100	2		0010-データ2
01011	3		0011-データ3
01010	4		0100-データ4
01011	5		0101-データ5
01110	6		0110-データ6
01111	7		0111-データ7
10010	8		1000-データ8
10011	9		1001-データ9
10110	A		1010-データA
10111	B		1011-データB
11010	C		1100-データC
11011	D		1101-データD
11100	E		1110-データE
11101	F		1111-データF
11111	I	IDLE	T/Rの後、イーサネット出力まで送信
11000	J	SSDの最初のニブル(IDLEに続く0101)	イーサネット立ち上がりに対して送信
10001	K	SSDの2番目のニブル(0の後に続く0101)	イーサネット立ち上がりに対して送信
01101	T	ESDの先頭ニブル(後続がR/ならCRSのネグート)	イーサネット立ち下がりに対して送信
00111	R	ESDの2番目のニブル(T/の後に続くCRSのネグート)	イーサネット立ち下がりに対して送信
00100	H	エラーシンボルの送信	エラーの立ち上がりに対して送信
00110	V	無効	無効
11001	V	無効	無効
00000	V	無効	無効
00001	V	無効	無効
00010	V	無効	無効
00011	V	無効	無効
00101	V	無効	無効
01000	V	無効	無効
01100	V	無効	無効
10000	V	無効	無効

これら無効シンボルの1つを使用

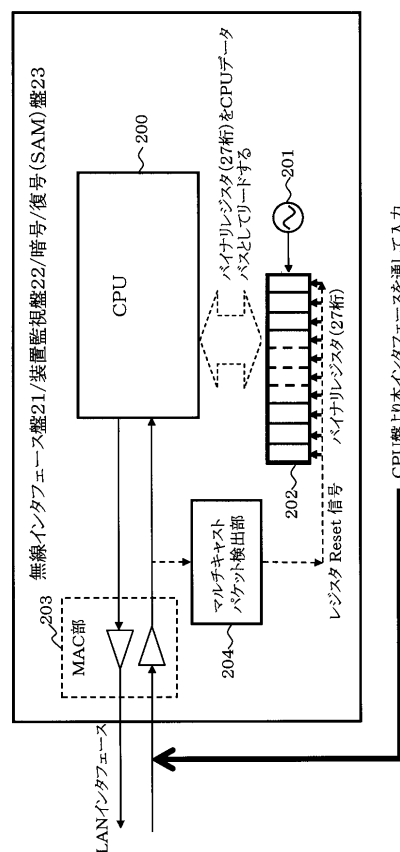
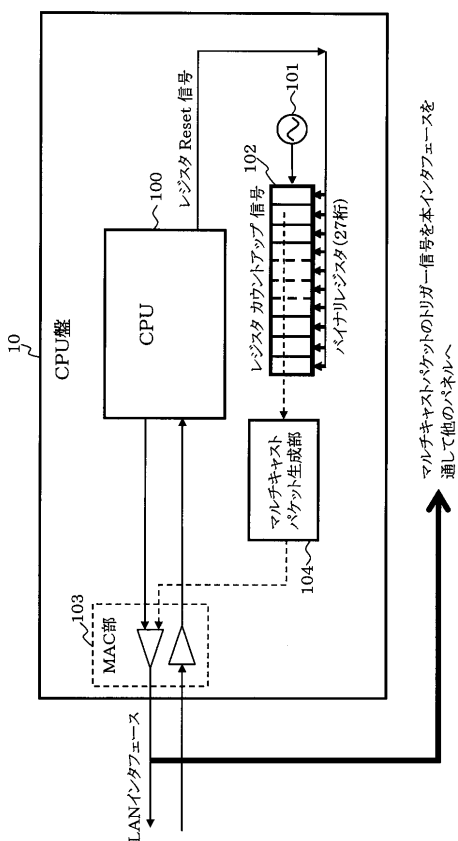
【图 1 2】



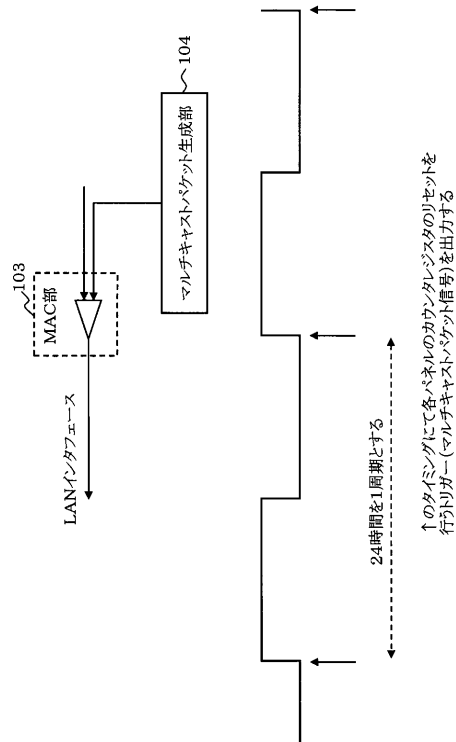
【図 14】



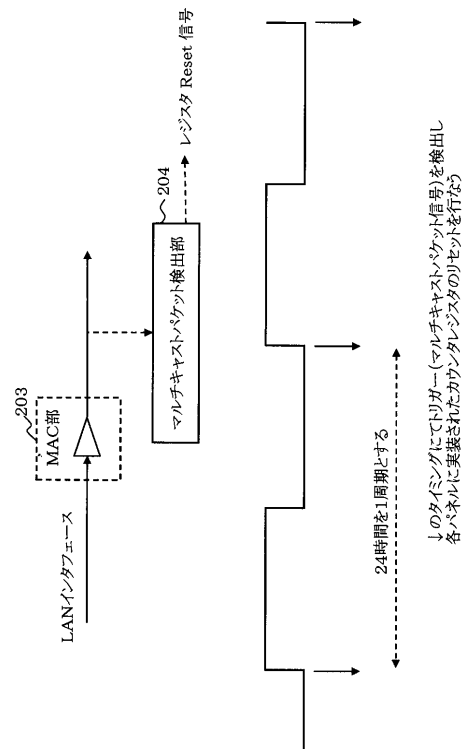
【图 16】



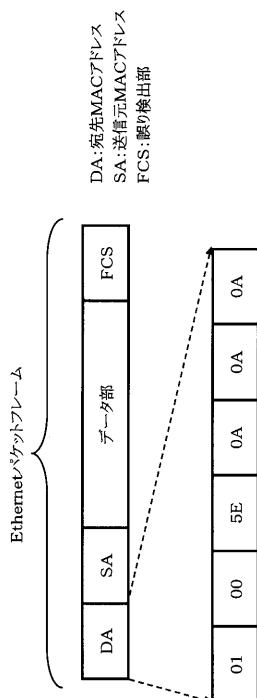
【図 17】



【図 18】

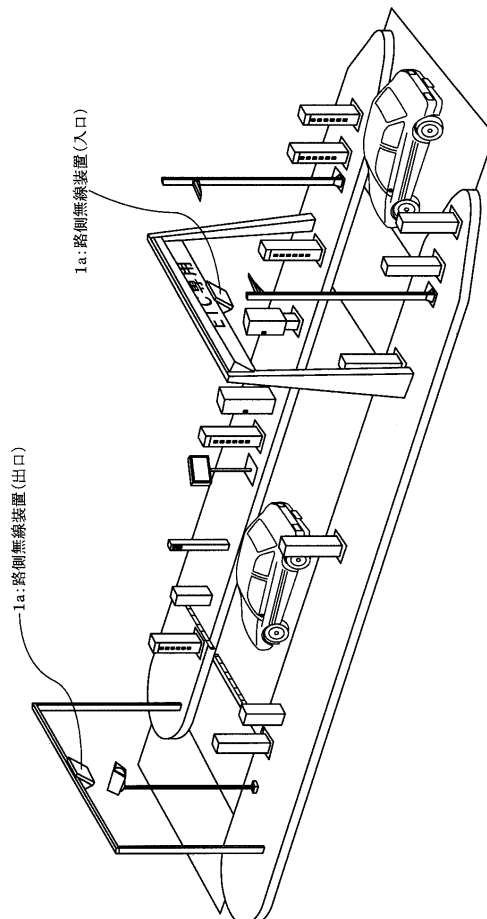


【図 19】

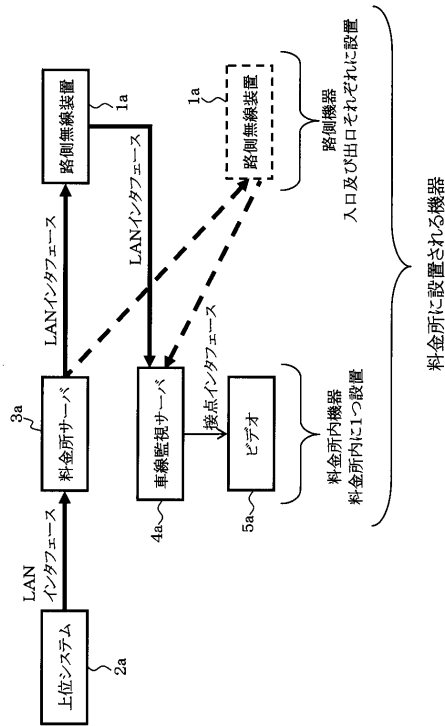


マルチキャストアドレスを持つEthernetパケットフレームを示している。MACアドレスにおいて先頭より3バイトまでは01. 00. 5Eと決まっている以降は任意。ここではデータ部も任意とする

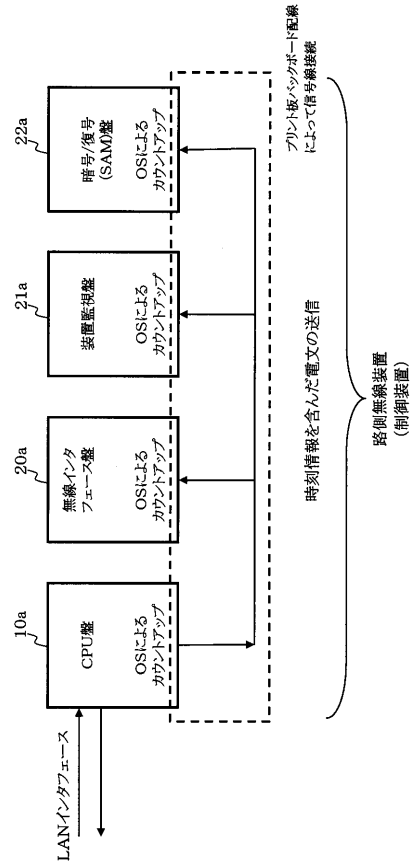
【図 20】



【図 2 1】



【図 2 2】



フロントページの続き

- (56)参考文献 特開平8-122467 (JP, A)
特開2007-87045 (JP, A)
特開2007-232569 (JP, A)
特開2007-288544 (JP, A)
特開2007-124095 (JP, A)
特開2006-148907 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G04G 5/00, G07B 15/00