

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成21年4月9日(2009.4.9)

【公開番号】特開2006-254435(P2006-254435A)

【公開日】平成18年9月21日(2006.9.21)

【年通号数】公開・登録公報2006-037

【出願番号】特願2006-53245(P2006-53245)

【国際特許分類】

H 04 L 9/20 (2006.01)

H 04 L 29/00 (2006.01)

【F I】

H 04 L 9/00 6 5 3

H 04 L 13/00 S

【手続補正書】

【提出日】平成21年2月20日(2009.2.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

直列に接続され、第1の擬似雑音(PN)系列を受信する第1の複数のシフトレジスタと、

インタフェースを通して伝送されるデータワードの各ビットにおいて、前記第1の複数のシフトレジスタを用いて排他的論理和演算を実行する排他的論理和ゲートの第1のアレイと、

並列に接続され第2のPN系列を受信する、前記データワードの各ビットにおいてそれの排他的論理和演算を実行する排他的論理和ゲートの第2のアレイと、

直列に接続され、前記第1のPN系列を受信する第2の複数のシフトレジスタと、

インタフェースを通して伝送されたデータワードの各ビットにおいて、前記第2の複数のシフトレジスタを用いて排他的論理和演算を実行する排他的論理和ゲートの第3のアレイと、

並列に接続され前記第2のPN系列を受信する、前記伝送されたデータワードの各ビットにおいてそれぞれの排他的論理和演算を実行する排他的論理和ゲートの第4のアレイと、

を有するシステム。

【請求項2】

前記第1のPN系列及び前記第2のPN系列が同一のPN系列である、請求項1に記載のシステム。

【請求項3】

ゴールド符号発生器のうちの第1および第2の最大長シフトレジスタ系列(MLSRS)発生器をさらに有し、前記第1のPN系列は前記第1のMLSRS発生器から受信され、前記第2のPN系列は前記第2のMLSRS発生器から受信される、請求項1に記載のシステム。

【請求項4】

前記第1のPN系列及び前記第2のPN系列を生成する、互いに素の長さである第1および第2の最大長シフトレジスタ系列(MLSRS)発生器をさらに備える、請求項1に

記載のシステム。

【請求項 5】

前記第1および第2の複数のシフトレジスタのうちの少なくとも1つのシフトレジスタが、複数単位の遅延に従って動作する、請求項1に記載のシステム。

【請求項 6】

前記排他的論理和ゲートの前記第1のアレイ及び前記第3のアレイのうちの少なくとも1つのゲートが、複数のシフトレジスタからの出力を用いて排他的論理和演算を実行する、請求項1に記載のシステム。

【請求項 7】

アナログ - ディジタル変換器およびディジタル - アナログ変換器で構成されるグループから選択される、請求項1に記載のシステム。

【請求項 8】

スクランブルされたビットを前記システムの送信側から受信側へ伝送する線に結合されるアナログノードをさらに備える、請求項1に記載のシステム。