

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 21 年 4 月 9 日 (2009.4.9)

【公開番号】特開 2006-254435 (P2006-254435A)

【公開日】平成 18 年 9 月 21 日 (2006.9.21)

【年通号数】公開・登録公報 2006-037

【出願番号】特願 2006-53245 (P2006-53245)

【国際特許分類】

H 0 4 L 9/20 (2006.01)

H 0 4 L 29/00 (2006.01)

【F I】

H 0 4 L 9/00 6 5 3

H 0 4 L 13/00 S

【手続補正書】

【提出日】平成 21 年 2 月 20 日 (2009.2.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

直列に接続され、第 1 の擬似雑音 (P N) 系列を受信する第 1 の複数のシフトレジスタと、

インタフェースを通して伝送されるデータワードの各ビットにおいて、前記第 1 の複数のシフトレジスタを用いて排他的論理和演算を実行する排他的論理和ゲートの第 1 のアレイと、

並列に接続され第 2 の P N 系列を受信する、前記データワードの各ビットにおいてそれぞれの排他的論理和演算を実行する排他的論理和ゲートの第 2 のアレイと、

直列に接続され、前記第 1 の P N 系列を受信する第 2 の複数のシフトレジスタと、

インタフェースを通して伝送されたデータワードの各ビットにおいて、前記第 2 の複数のシフトレジスタを用いて排他的論理和演算を実行する排他的論理和ゲートの第 3 のアレイと、

並列に接続され前記第 2 の P N 系列を受信する、前記伝送されたデータワードの各ビットにおいてそれぞれの排他的論理和演算を実行する排他的論理和ゲートの第 4 のアレイと、

を有するシステム。

【請求項 2】

前記第 1 の P N 系列及び前記第 2 の P N 系列が同一の P N 系列である、請求項 1 に記載のシステム。

【請求項 3】

ゴールド符号発生器のうちの第 1 および第 2 の最大長シフトレジスタ系列 (M L S R S) 発生器をさらに有し、前記第 1 の P N 系列は前記第 1 の M L S R S 発生器から受信され、前記第 2 の P N 系列は前記第 2 の M L S R S 発生器から受信される、請求項 1 に記載のシステム。

【請求項 4】

前記第 1 の P N 系列及び前記第 2 の P N 系列を生成する、互いに素の長さである第 1 および第 2 の最大長シフトレジスタ系列 (M L S R S) 発生器をさらに備える、請求項 1 に

記載のシステム。

【請求項 5】

前記第 1 および第 2 の複数のシフトレジスタのうちの少なくとも 1 つのシフトレジスタが、複数単位の遅延に従って動作する、請求項 1 に記載のシステム。

【請求項 6】

前記排他的論理和ゲートの前記第 1 のアレイ及び前記第 3 のアレイのうちの少なくとも 1 つのゲートが、複数のシフトレジスタからの出力を用いて排他的論理和演算を実行する、請求項 1 に記載のシステム。

【請求項 7】

アナログ - デジタル変換器およびデジタル - アナログ変換器で構成されるグループから選択される、請求項 1 に記載のシステム。

【請求項 8】

スクランブルされたビットを前記システムの送信側から受信側へ伝送する線に結合されるアナログノードをさらに備える、請求項 1 に記載のシステム。