

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 1 月 28 日 (2016.1.28)

【公表番号】特表 2015-524203 (P2015-524203A)

【公表日】平成 27 年 8 月 20 日 (2015.8.20)

【年通号数】公開・登録公報 2015-052

【出願番号】特願 2015-514983 (P2015-514983)

【国際特許分類】

H 0 3 L 7/08 (2006.01)

H 0 4 L 7/033 (2006.01)

【F I】

H 0 3 L 7/08 M

H 0 4 L 7/033

【手続補正書】

【提出日】平成 27 年 12 月 4 日 (2015.12.4)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【0 0 1 3】

示されているように、システム 1 0 0 は、位相検出器 1 0 5 と、フィルタ 1 1 0 (たとえば第 1 のフィルタ) と、制御発振器 1 1 5 と、パターンエラー検出器 1 2 0 と、フィルタ 1 2 5 (たとえば第 2 のフィルタ) と、サンブラ 1 3 0 とを含む。位相検出器 1 0 5 およびパターンエラー検出器 1 2 0 は各々入力信号 1 4 0 を受けることができる。位相検出器 1 0 5 は、入力信号 1 4 0 を、制御発振器 1 1 5 の出力から得られた出力信号 1 4 6 と比較するように構成し得る。示されているように、出力信号 1 4 6 は位相検出器 1 0 5 の入力にフィードバックされる。位相検出器 1 0 5 は、入力信号 1 4 0 の各遷移を、制御発振器 1 1 5 からの出力信号 1 4 6 から求められた予測位相値と、比較することができる。位相検出器 1 0 5 は、入力信号 1 4 0 の位相を出力信号 1 4 6 の位相と比較して位相エラー信号 1 4 2 を生成するように構成し得る。位相エラー信号 1 4 2 は一般的に、入力信号 1 4 0 と出力信号 1 4 6 との間の位相差を特定する。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 8

【補正方法】変更

【補正の内容】

【0 0 2 8】

図 2 は、本明細書に開示される別の実施の形態に従う制御発振器 2 0 0 の代表的な実現を示すブロック図である。制御発振器 2 0 0 を用いることによって、2 U I の P D U I タイプのパターンベースのまたは決定論的歪を入力信号が有する場合に図 1 の制御発振器 1 1 5 を実現することができる。図 2 を参照して、制御発振器 2 0 0 は、加算器 2 0 5 と、累算器 2 1 0 と、オフセットモジュール 2 1 5 と、加算器 2 2 0 とを含み得る。本明細書を通して同一の要素は同様の番号を用いて示される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 8

【補正方法】変更

【補正の内容】

【 0 0 3 8 】

加算器 4 2 0 は、フィルタリングされたパターンエラー信号 1 5 0 と中心周波数信号 2 2 2 の総和である信号 4 2 8 を生成することができ、この信号 4 2 8 をマルチプレクサ 4 1 5 に与えることができる。差分モジュール 4 2 5 は、フィルタリングされたパターンエラー信号 1 5 0 と中心周波数信号 2 2 2 とを受けることができる。差分モジュール 4 2 5 は、フィルタリングされたパターンエラー信号 1 5 0 を中心周波数信号 2 2 2 から減算することができる。差分モジュール 4 2 5 は、計算された差を示す出力として信号 4 3 0 を生成することができる。信号 4 2 8 は信号 4 3 0 よりも大きな値を特定することがわかる。

。