

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國；2003/08/04；60/492,403

2. 美國；2003/12/22；10/744,982

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本申請案主張於 2003 年 8 月 4 日提出申請的美國臨時專利申請案第 60/492,403 號之優先權，其發明名稱為「一種用於改善高效率、高電流切換調整器之可靠性的驅動方法」，將該案以引用的方式全文併入本文中。

本發明係關於諸如 DC/DC 轉換器的功率調整器。

【先前技術】

直流對直流 (Direct current to direct current; DC/DC) 轉換器一般包括一上部驅動器部分與一下部驅動器部分，以經由一外部電感器與一外部電容器傳送電流至一負載。

例如，圖 1 顯示了一稱為「降壓 (buck)」配置的降壓配置中的 DC/DC 轉換器系統 100。脈寬調變 (pulse width modulator; PWM) 控制器 110 控制一包含一 PMOS 電晶體 120 的上部驅動器以及一包含一 NMOS 電晶體 130 的下部驅動器。電晶體 120 與 130 通常使用功率電晶體加以實施。負載 140 可經由電感器 150 及電容器 160 與電晶體 120 及電晶體 130 的輸出耦合。系統 100 亦包括寄生電感 L_1 與 L_2 ，其可由封裝、印刷電路板線路的電感；一諸如電容器 180 之外部解耦電容器之有限等效串聯電感 (equivalent series inductance; ESL) 或其他因素引起。在操作中，PWM 控制器 110 將電晶體 120 與電晶體 130 交替開啟與關閉，以便電流交替流過電流路徑 I_1 與電流路徑 I_2 。

圖 1 所示之配置就高電流應用而言未必最佳，因為 PMOS 功率電晶體一般具有較大的開啟狀態汲極 / 源極電阻 R_{DS-on} 。例如，PMOS 功率電晶體的 R_{DS-on} 一般約為尺寸相當的 NMOS 功率電晶體之 R_{DS-on} 值的兩倍至三倍高。為獲得可比較的 R_{DS-on} 值，

需增加 PMOS 功率電晶體的尺寸。但是，較大裝置所經歷的閘極切換損失會增加，並會引致多餘的大晶粒尺寸。

或者，NMOS 功率電晶體可用於上部與下部驅動器兩者中。圖 2A 顯示了該替代性實施方式。DC/DC 轉換器系統 200 包括一可控制一上部驅動器之 PWM 控制器 210，上部驅動器包括一頂部 NMOS 電晶體 220 與一底部 NMOS 電晶體 230。系統 200 亦包括與頂部電晶體 220 通信之一靴帶式前級驅動器 215 以及一靴帶式電容 C_{BS} 218。

由於 NMOS 電晶體之 R_{DS-on} 的值相對於可比較的 PMOS 電晶體較低，圖 2A 所示之實施方式可提供較圖 1 之實施方式更高效之性能。但是，額外的靴帶式前級驅動器會增加系統的複雜性。若 NMOS 電晶體 220 被整合，則 NMOS 電晶體 220 之開啟狀態崩潰電壓就較高電流應用而言太低，或者必須減少可靠輸入電壓操作範圍。

例如，圖 2B 顯示了典型的 5V NMOS 電晶體崩潰與數個 V_{GS} 之值的迅速跳回現象。與之相反，圖 2C 顯示了相同的 V_{GS} 之值的典型 5V PMOS 電晶體崩潰現象。當 NMOS 電晶體的閘極電壓較低時或電晶體關閉時，其可處理較大的 V_{DS} 。如圖 2C 所說明，PMOS 電晶體一般比可比較的 NMOS 電晶體更適於處理開啟狀態應力。

【發明內容】

一般而言，在一方面，功率調整器包括具有第一驅動器輸出的第一驅動器以及具有第二驅動器輸出的第二驅動器。第一驅動器可包括一具有一與第一驅動器輸出通信之輸出端子的第一開關以及一與第一驅動器輸出通信之輸出端子的第二開關。第一開關的功率消耗可小於第二開關的功率消耗。例如，第一開關與第

二開關可使用電晶體加以實施，其中第一開關因其電晶體類型或尺寸，具有的功率消耗低於第二開關。

第二開關的開啟狀態崩潰電壓可大於第一開關的開啟狀態崩潰電壓。例如，第一開關與第二開關可使用電晶體加以實施，其中第二開關因其電晶體類型或尺寸，具有的開啟狀態崩潰電壓大於第一開關。

在某些實施方式中，第一開關可包含一 NMOS 電晶體，而調整器可進一步包括一與第一電晶體之閘極通信的靴帶式前級驅動器。

在某些實施方式中，調整器可包括可關閉第一驅動器之電路。電路可配置成藉由控制施加於第一電晶體之閘極的電壓的第一關閉初始時間與第一轉換率來關閉第一驅動器。電路可進一步配置成控制施加於第二電晶體之閘極的電壓的第二關閉初始時間以及第二轉換率。

電路可配置成將第一關閉初始時間控制在第二關閉初始時間之前。電路可配置成使第一轉換率大於第二轉換率。電路可配置成控制第一關閉初始時間、第二關閉初始時間、第一轉換率以及第二轉換率以使第一電晶體在第二關閉初始時間之前關閉。

調整器可包括在一直流對直流 (DC/DC) 轉換器中。調整器可包括具有一與第一驅動器輸出以及第二驅動器輸出通信之輸入端的濾波器。濾波器可與一負載通信。

第一驅動器可進一步包括一或多個額外開關，各開關具有一與第一驅動器輸出通信之輸出端子。第二驅動器可包括一或多個第二驅動器開關，各開關具有一與第二驅動器輸出通信的輸出端子。第二驅動器開關可包括 NMOS 電晶體。該一或多個第二驅動器開關可包括一第一電晶體與一第二電晶體，第一電晶體的開啟狀態汲極源極電阻低於第二電晶體的開啟狀態汲極源極電阻。第

一電晶體的開啟狀態崩潰電壓可低於第二電晶體的開啟狀態崩潰電壓。

一般而言，在另一方面，功率調整器可包括一第一驅動元件，其包括一第一驅動器輸出元件。第一驅動元件可包括一具有一與第一驅動器輸出元件通信之輸出元件的第一切換元件，並可包括一具有一與第一驅動器輸出元件通信之輸出元件的第二切換元件。第一切換元件之功率消耗可低於第二切換元件之功率消耗。

一般而言，另一方面，一方法可包括關閉一驅動器的第一開關，該第一開關的開啟狀態功率消耗低於該驅動器之第二開關，並關閉驅動器之第二開關。第一開關可包括一第一電晶體，以及關閉驅動器之第一開關可包含修改施加於第一電晶體之閘極之電壓，將其從第一電晶體開啟時的一開啟電壓變為第一電晶體關閉時的一關閉電壓。

第二開關可包括一第二電晶體，以及關閉驅動器之第二開關可包含修改施加於第二電晶體之閘極之電壓，將其從第二電晶體開啟時的一開啟電壓變為第二電晶體關閉時的一關閉電壓。

修改施加於第一電晶體之閘極的電壓可在等同於第一電晶體關閉時間的時間內實施，而修改施加於第二電晶體之閘極的電壓可在等同於第二電晶體關閉時間的時間內實施。第二電晶體關閉時間可大於第一電晶體關閉時間。例如，第二電晶體關閉時間為第一電晶體關閉時間的至少兩倍長。

該方法可進一步包括開啟一不同的驅動器。開啟不同驅動器包含開啟一或多個包括在不同驅動器內的開關。一或多個開關可以電晶體實施。該方法可進一步包括關閉不同驅動器。在一實施方式中，不同驅動器包含一第一電晶體與一第二電晶體，以及關閉不同驅動器包含在關閉第二電晶體之前關閉第一電晶體。第一

電晶體在開啟狀態下具有的消耗低於第二電晶體。第一電晶體在開啟狀態下具有的崩潰電壓低於第二電晶體。

在隨附圖式與以下說明中闡述了一或多個實施方式之細節。本發明之其他特徵與優點從說明及圖式以及申請專利範圍中將更顯而易見。

【實施方式】

本文中所說明之系統與技術可提供具有改善可靠性之高效功率調整器。

諸如圖 1 與 2A 中所示之 DC/DC 轉換器具有數個局限。例如，就整合的 DC/DC 轉換器而言，內部電壓彈跳（由 PVDD 與 PVSS 的過激與低激引起）會導致不良雜訊，並會過度重壓組成電晶體。電壓彈跳尤其會重壓電晶體 220，其可經歷大於輸入電壓約 2 V 的 V_{DS} 之值。電晶體 220 上的過量應力會限制系統 200 之可靠輸入電壓操作範圍。

出現電壓彈跳的主要原因在於諸如圖 2A 之電感 L_1 與電感 L_2 的寄生電感。圖 2A 之轉換器 200 可處於三種狀態之一。在第一狀態下，電晶體 220 開啟，電晶體 230 關閉。 V_x 較高，流經電感器 250 的電流增加，電容器 280 進行充電。在第二狀態下，電晶體 220 關閉，電晶體 230 開啟。 V_x 較低，流經電感器 250 的電流下降。在第三狀態下，電晶體 220 與電晶體 230 均為關閉。第三狀態出現於第一狀態與第二狀態的過度期間。第三狀態下耗費的時間通常稱為停滯時間。

圖 6 說明了電晶體 220 之閘極的電壓 V_1 ，電晶體 230 之閘極的電壓 V_2 ，電晶體 220 與 230 之共同端子處的電壓 V_x ，以及流經圖 2A 之電感器 250 的電流。

在第一狀態與第二狀態之間的過渡期間，電流在電流路徑 232 與電流路徑 234 之間切換。PVDD 與 PVSS 可經歷與外部電源供應電壓 PVIN 與 PGND 有關的過激或低激，主要原因為寄生電感 L_1 與 L_2 。

過激與低激可如下出現。在第一狀態期間，流經電感器 250 的電流在電晶體 220 關閉之前增加至一峰值電流 I_p 。該電流流經寄生電感 L_1 ，並且因此隨著電晶體 220 關閉，產生電壓 $L_1 \, dI_1/dt$ ，其對抗流經 L_1 之電流的變化。同樣地，產生電壓 $L_2 \, dI_2/dt$ 來對抗流經 L_2 之電流的變化（應注意在電晶體 230 開啟之前，流經 L_2 的電流藉由電晶體 230 之本體二極體傳導）。

經過寄生電感 L_1 與 L_2 的電流變化會以數個 amp/ 奈秒的電流變化速率出現數個或數十個奈秒之時間。因此，在從第一狀態至第二狀態的過渡期間，PVDD 過激 PVIN 多達 $L_1 \, |dI_1/dt|$ 。同樣地，PVSS 會低激 PGND 多達 $L_2 \, |dI_2/dt|$ 。如上提及，在電晶體 230 開啟之前，流經 L_2 的電流係藉由電晶體 230 的本體二極體傳導，因此 V_x 會低激多達 $V_D + L_2 \, dI/dt$ ，其中 V_D 係本體二極體正向開啟電壓。

數種方法可用於降低彈跳電壓。可藉由改善封裝與印刷電路板佈局以及減少解耦電容器之 ESL 而減少寄生電感 L_1 與 L_2 。但是，此方法會給系統增加大量成本。

其他方法包括減小閘極驅動電壓轉換率以增加流經寄生電感之電流變化的時間（以及因而減少對應的 dI/dt ）。但是，該方法會大幅增加停滯時間。參考圖 7 與 1，若電晶體 120 之閘極的電壓緩慢上升，幾乎對流經電感 L_1 的電流不會造成任何影響，直至 V_x 下降至 PVSS（例如接地）之下的點 t_2 。在 t_2 與 t_3 之間，流經電感 L_1 的電流從 I_p 減少至零，而流經 L_2 的電流則從零增加至 I_p 。如圖 7 所示，減少閘極驅動電壓轉換率僅會影響約 1/4 的切換時

間。因此，可針對停滯時間的較大增加，而獲得 dI/dt 的較小減小。此外，由於電晶體係於停滯時間期間在高 R_{DS-on} 區域中操作，轉換器的效率下降。

本發明人認為包含一或多個上部或下部驅動器之多重開關的功率調整器可提供較現有系統更佳的解決方式。例如，多重開關可用於減少或消除上述電源供應過激與低激所引起之問題。

圖 3 顯示了依據一項具體實施例之功率調整器。DC/DC 轉換器 300 包括與上部驅動器 320 及下部驅動器 330 通信之 PWM 控制器 310。上部驅動器 320 包括一第一開關 322 與一第二開關 324。PWM 控制器 310 經由一開關端子 323 控制第一開關 322，以及經由一開關端子 325 控制第二開關 324。下部驅動器 330 包括一開關 332。PWM 控制器 310 經由一開關端子 333 控制開關 332。PWM 控制器 310 控制第一開關 322、第二開關 324 以及開關 332 以交替產生電流 I_1 與 I_2 以經由濾波器 370 向負載 390 提供直流輸出。

在上部驅動器 320 中提供多重開關可提供數個利益。例如，第一開關 322 會比第二開關 324 更為高效（例如，具有較低的功率消耗），而第二開關 324 可具有更高的開啟狀態崩潰電壓。可實施系統 300 以便第一開關 322 可承載電流 I_1 的大部分，但第二開關 324 會經歷最大量的開啟狀態電壓應力。因此，系統 300 可既高效又可靠。

在某些實施方式中，第一開關 322 與第二開關 324 可作為功率電晶體實施。圖 4 顯示了 DC/DC 轉換器系統 400 的實施方式，其中上部驅動器 420 之第一開關係作為 NMOS 電晶體 422 實施，而第二開關係作為 PMOS 電晶體 424 而實施。在某些實施方式中，電晶體 422 大於電晶體 424，以便在上部驅動器 420 之大量負載循環期間，電晶體 422 可承載大部分的電流。電晶體 422 與

電晶體 424 之最佳尺寸與相關 R_{DS-on} 值取決於製程。在某些實施方式中，電晶體 422 可配置成承載約 70% 電流與約 95% 電流之間的電流，儘管其他實施方式亦為可能。轉換器 400 包括與電晶體 422 之閘極 423 通信之一靴帶式前級驅動器 415 與一靴帶式電容器 C_{BS} 418。

轉換器 400 包括一可控制上部驅動器 420 及下部驅動器 430 (例如在所需時間內以所需轉換率開啟與關閉電晶體 422、電晶體 424 與電晶體 432) 之負載循環的 PWM 控制器 410。

如上提及，NMOS 電晶體在開啟狀態下經受電壓應力的能力中可能不如 PMOS 電晶體，原因在於較低的開啟狀態崩潰電壓。在諸如圖 2A 之轉換器系統 200 之轉換器中，上部驅動器上的最高電壓應力出現在電流從上部驅動器切換至下部驅動器時。在一實施方式中，轉換器系統 400 的可靠性可藉由如圖 5 之方法 500 所述般關閉上部驅動器 420 而得以改善。

在關閉上部驅動器 420 之前，NMOS 電晶體 422 (具有較低的 R_{DS-on}) 承載大部分電流 (510)。例如，電晶體 422 可承載約 90% 的電流，而電晶體 424 可承載約 10% 的電流。為關閉上部驅動器 420，首先可較快地關閉 NMOS 電晶體 422 (520)。隨後，上部驅動器 420 中的所有電流由 PMOS 電晶體 424 承載 (530)。隨後較慢地關閉 PMOS 電晶體 424 (540)。較快地關閉電晶體 422 可減少關閉電晶體 422 引起的停滯時間。但是，由於在電晶體 422 關閉時 I_L 不會大幅改變，在電晶體開啟狀態下，電壓彈跳不會過度重壓電晶體 422。

較慢地關閉電晶體 424 可增加電流 I_L 變化的時間。因此，可減少電壓彈跳。此外，由於在開啟狀態下 PMOS 電晶體 424 具有的崩潰電壓略高於 NMOS 電晶體 422，其更能夠經受電壓瞬變而不會崩潰。

結果，轉換器 400 比轉換器 200 更可靠。但是，由於 NMOS 電晶體 422 (其具有較低的 R_{DS-on} 值) 在上部驅動器的大部分負載循環期間承載了大部分的電流，轉換器 400 的效率不會過度受影響。

圖 8 顯示了具有包括多重開關的上部與 / 或下部驅動器之功率調整器的另一項實施方式。圖 8 顯示了具有一包括一第一 PMOS 電晶體 822 與一第二 PMOS 電晶體 824 之上部驅動器 820 的 DC/DC 轉換器系統 800。應注意，在某些實施方式中，第一電晶體 822 與第二電晶體 824 均可作為 NMOS 電晶體實施。第一電晶體 822 的 R_{DS-on} 小於第二電晶體 824 的 R_{DS-on} ，其中電晶體 822 與 824 的 R_{DS-on} 之最佳相關值取決於製程。在一示範性實施方式中，電晶體 822 之 R_{DS-on} 值與電晶體 824 之 R_{DS-on} 值之比約為 1 比 9。

系統 800 進一步包括時間與轉換率控制器 812A 至 812D (一般稱為控制器 812)。控制器 812 可用於控制施加於電晶體 822、824、832 與 834 之閘極的電壓之變化的時序與速率。在圖 8 中所示控制器 812 與 PWM 控制器 810 分離；但是其可與 PWM 控制器 810 整合。

上部驅動器 820 與下部驅動器 830 可如下所述般開啟與關閉，以便減少或消除 PVDD 與 PVSS 的過激與低激。圖 9 顯示了從上部驅動器 820 關閉前的時間 t_0 至下部驅動器 830 開啟時的時間 t_5 之 V_{1a} 、 V_{1b} 、 V_x 與 I_1 。

從 t_0 至 t_1 ，上部驅動器 820 開啟，大部分的電流流經電晶體 822 (具有一較低的 R_{DS-on} 之值)。為關閉上部驅動器 820，時間與轉換率控制器 812A 首先如圖所示藉由在 t_1 至 t_2 的時間週期內在電晶體 822 之閘極增加電壓 V_{1a} 來關閉電晶體 822。如圖 9 所說明， V_x 極快地下降至一低於零伏特的電壓。控制器 812B 隨後藉

由在 t_2 至 t_4 的時間週期內在電晶體 824 之閘極增加電壓 V_{1b} 來緩慢地關閉電晶體 824。如圖 9 所示， I_1 與 I_2 在 t_2 至 t_3 的時間週期內（分別）從 I_p 變成零以及從零變成 I_p 。

上述方法可用於藉由使電流在 t_2 與 t_3 之間的時間期間從 I_p 變為零而有效減小經過寄生電感的 dI/dt （並因而減少或消除諸如系統 800 之系統中的過激與低激問題）。但是，該方法不會導致停滯時間的大幅增加，原因在於 t_1 與 t_2 （在此時間期間 V_x 減少至零）之間的過度時間大大小於使用現有系統所獲得的過度時間。

在時間 t_4 ，可開啟下部驅動器 830。由於在開啟下部驅動器 830 之前 I_2 增加至 I_p （其係藉由電晶體 832 與 / 或電晶體 834 之本體二極體而傳導），控制器 812C 與 812D 可同時開啟電晶體 832 與 834。在其他實施方式中，控制器 812C 與 812D 可不同時地開啟電晶體。

下部驅動器 830 的電晶體 832 可具有比電晶體 834 小的 R_{DS-on} 之值。為關閉下部驅動器 830，控制器 812C 可首先快速關閉電晶體 832，而控制器 812D 可更緩慢地關閉電晶體 834。最後，為開啟上部驅動器 820，控制器 812A 與 812B 可同時或在不同時間開啟電晶體 822 與 824。應注意儘管在圖 8 中顯示控制器 812A 至 812D 為分離，但此並非為必需。

儘管圖 8 顯示電晶體 822 與 824 均係以 PMOS 電晶體實施，以及電晶體 832 與 834 均係以 NMOS 電晶體實施，其他實施方式亦為可能。例如，圖 4 之實施方式（以及類似的實施方式）可用於減少或消除上述過激與低激。

圖 10 顯示了系統 1000 之一額外實施方式，其中兩個以上電晶體可用在上部驅動器 1020 與 / 或下部驅動器 1030 中。例如，上部驅動器 1020 包括 M 個電晶體 1022-1 至 1022- M ，其中電晶體 1022-1 至 1022- $(M-1)$ 係 NMOS 電晶體，以及電晶體 1022- M

係 PMOS 電晶體。所示下部驅動器 1030 包括一 NMOS 電晶體 1032，儘管其他實施方式亦為可能。

諸如系統 1000 之系統可如上所述般用於提高系統的可靠性以及減少或消除 PVDD 與 PVSS 的過激與低激。例如，電晶體 1022-1 至 1022-(M-1) 可在上部驅動器 1020 開啟時之時間期間承載大量電流。為關閉上部驅動器 1020，可首先關閉電晶體 1022-1 至 1022-(M-1)。隨後可關閉電晶體 1022-M。在該實施方式中，系統 1000 可更加可靠（原因在於 PMOS 電晶體 1022-M 具有的開啟狀態崩潰電壓高於 NMOS 電晶體 1022-1 至 1022-(M-1)），並且亦可高效（原因在於 NMOS 電晶體 1022-1 至 1022-(M-1) 具有的 R_{DS-on} 低於電晶體 1022-M）。

系統 1000 可包括一可控制何時以及多長時間範圍內開啟與關閉電晶體 1022-1 至 1022-M 的時間與轉換率控制器 1012（其可包含多重控制器或一單一控制器）。在該實施方式中，可參考圖 8 與 9 如上所述般開啟與關閉電晶體 1022-1 至 1022-M 以減少或消除的過激與低激。例如，為關閉上部驅動器 1020，控制器 1012 可快速地關閉電晶體 1022-1 至 1022-(M-1)，隨後緩慢地關閉電晶體 1022-M。可依次關閉電晶體 1022-1 至 1022-(M-1)，或其關閉期間的時間存在部分或完全的重疊。

已說明了數個實施方式。但是，應明白，可進行各種修改而不致悖離本發明之精神與範疇。例如，可使用不同的 PMOS 及 NMOS 電晶體之組合。功率調整器系統（例如 DC/DC 轉換器系統）可包括與上部與 / 或下部驅動器中所說明之電晶體數量不同的電晶體。可使用不同類型的開關。例如，可在某些實施方式使用諸如雙極電晶體之其他類型之電晶體。因此，其他實施方式屬於以下申請專利範圍之範疇內。

【圖式簡單說明】

圖 1 係依據先前技術之 DC/DC 轉換器之示意圖。

圖 2A 係依據先前技術之另一 DC/DC 轉換器之示意圖。

圖 2B 說明了典型的 5V NMOS 電晶體崩潰與迅速跳回現象。

圖 2C 說明了典型的 5V PMOS 電晶體崩潰現象。

圖 3 係依據實施方式之功率調整器之示意圖。

圖 4 係一在頂部開關中包含 NMOS 與 PMOS 電晶體兩者的 DC/DC 轉換器系統的實施方式的示意圖。

圖 5 說明了一關閉諸如圖 4 所示之系統的 DC/DC 轉換器系統之驅動器的方法。

圖 6 顯示了諸如圖 2A 所說明之 DC/DC 轉換器之電壓 V_1 、 V_2 、 V_x 以及電流 I_L 。

圖 7 顯示了諸如圖 1 所示之 DC/DC 轉換器之電壓 V_1 、 V_2 、 V_x 與電流 I ，其中電晶體的閘極電壓緩慢上升，而 dI/dt 依然較大。

圖 8 顯示了一可減少或消除過激與低激的 DC/DC 轉換器系統的實施方式。

圖 9 顯示了諸如圖 8 所示之一實施方式的電壓 V_{1a} 、 V_{1b} 、 V_x 、 V_2 以及電流 I_1 與 I_2 。

圖 10 顯示了一在上部驅動器部分中包含有兩個以上電晶體之 DC/DC 轉換器系統之實施方式。

【主要元件符號說明】

120---- PMOS 電晶體

130---- NMOS 電晶體

218----靴帶式電容 CBS

323、325、333----開關端子

370----濾波器

423----閘極

500----方法

100、200、300、400、800、1000----系統

110、210、310、410、810----脈寬調變控制器

140、390----負載

150、250----電感器

160、180、280----電容器

215、415、1015----靴帶式前級驅動器

220、230、422、424、432、822、824、832、834、1022、1032----

電晶體

320、420、820、1020----上部驅動器

322、324、332----開關

330、430、830、1030----下部驅動器

812、1012----時間與轉換率控制器

232、234----電流路徑

I 、 I_1 、 I_2 、 I_L ----電流

I_P ----峰值電流

L_1 、 L_2 ----寄生電感

PVIN、PGND----外部電源供應電壓

V_1 、 V_2 、 V_x 、 V_{1a} 、 V_{1b} 、 V_D ----電壓

伍、中文發明摘要：

一種具有改善之可靠性的高效功率調整器之系統與技術。一功率調整器可包括一具有一第一開關與一第二開關之第一驅動器，其中該第一開關之功率消耗小於該第二開關之功率消耗。該功率調整器可包括一第二驅動器。該第一開關與第二開關可以電晶體實施，其可具有不同的開啟狀態崩潰電壓及/或開啟狀態汲極源極電阻。

陸、英文發明摘要：

Systems and techniques for efficient power regulations with improved reliability are provided. A power regulator may include a first driver including a first switch and a second switch, where a power dissipation of the first switch is less than a power dissipation of the second switch. The power regulator may include a second driver. The first and second switches may be implemented as transistors, which may have different on-state breakdown voltages and/or on-state drain source resistances.

97111803

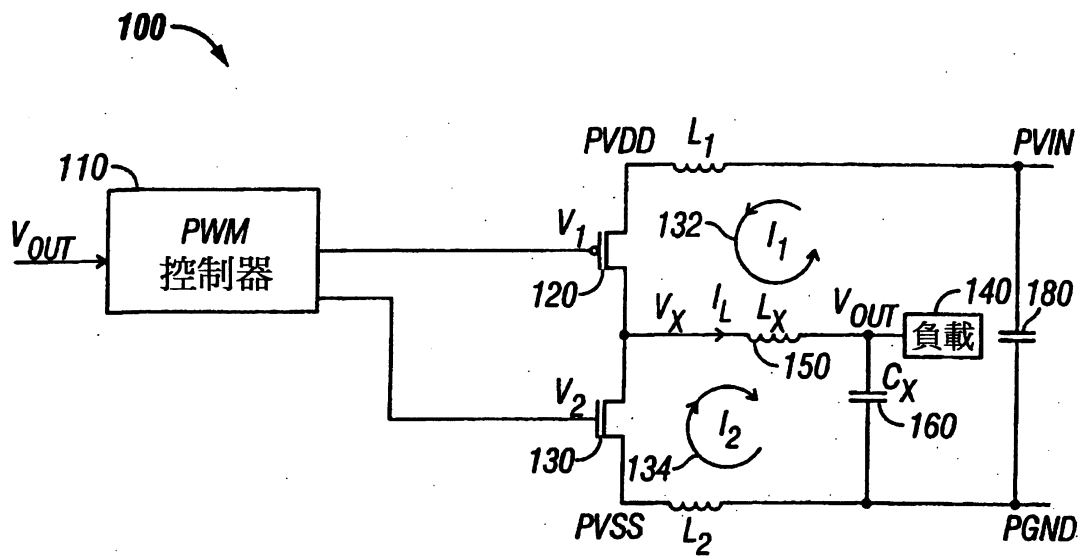


圖 1

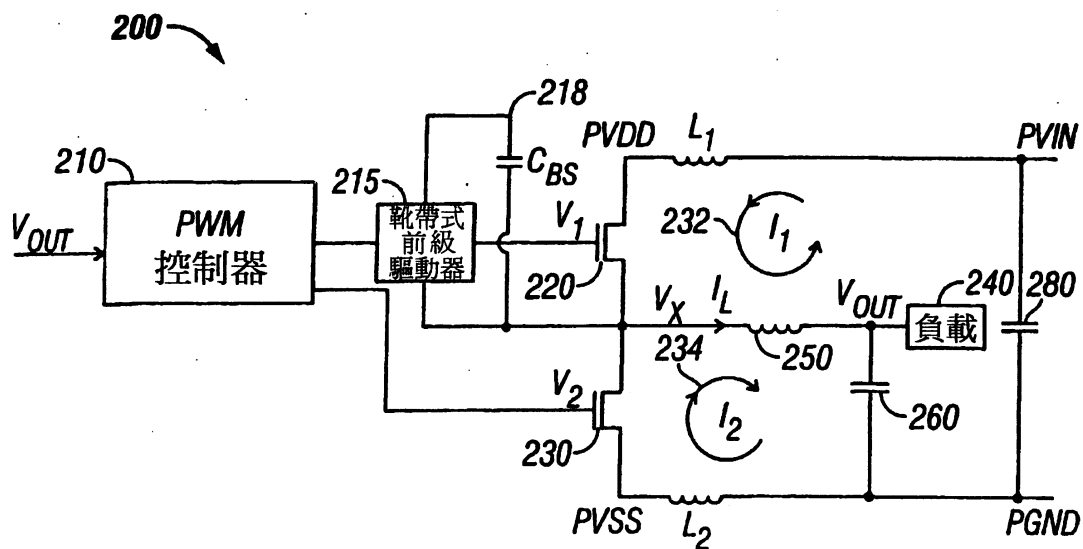


圖 2A

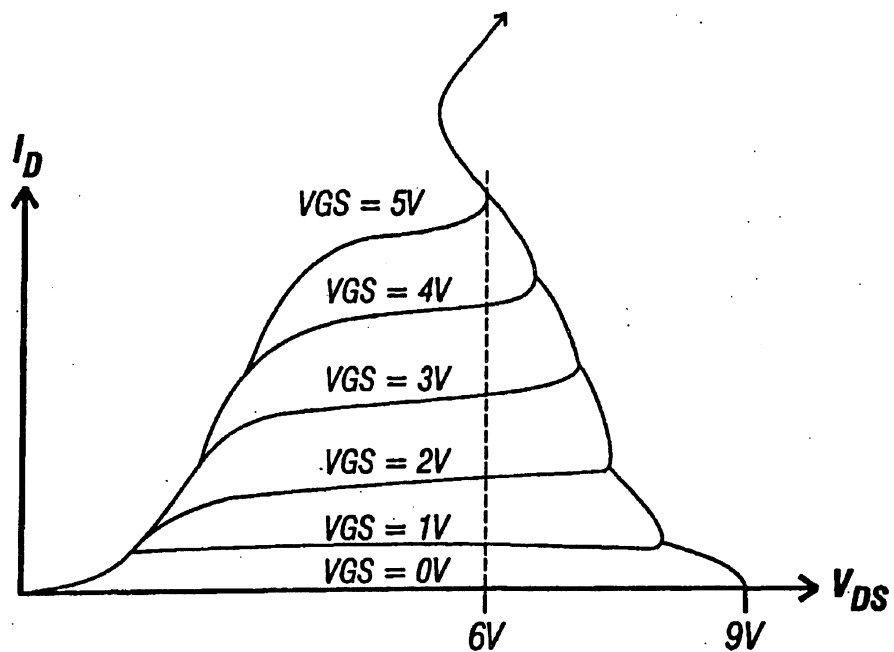


圖 2B

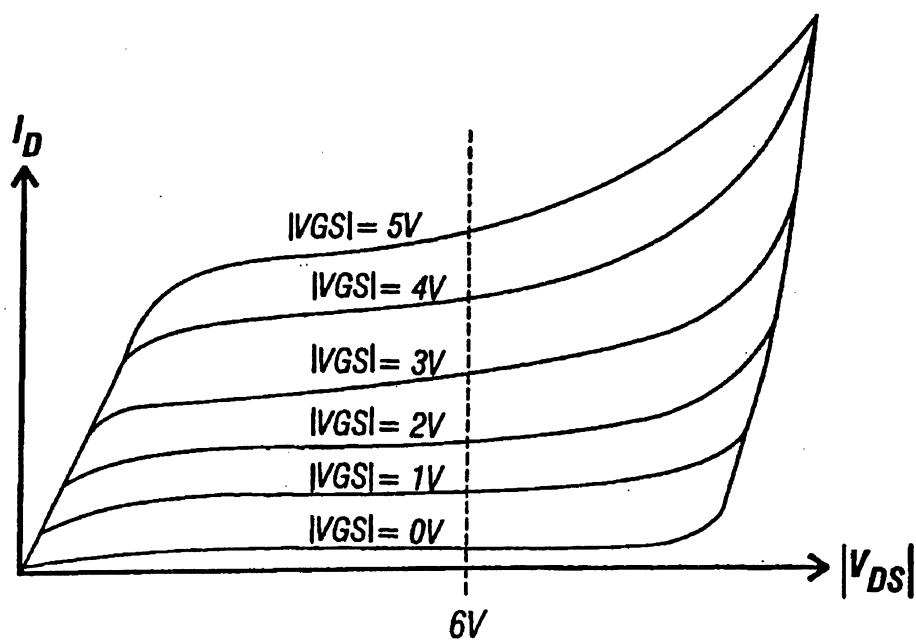


圖 2C

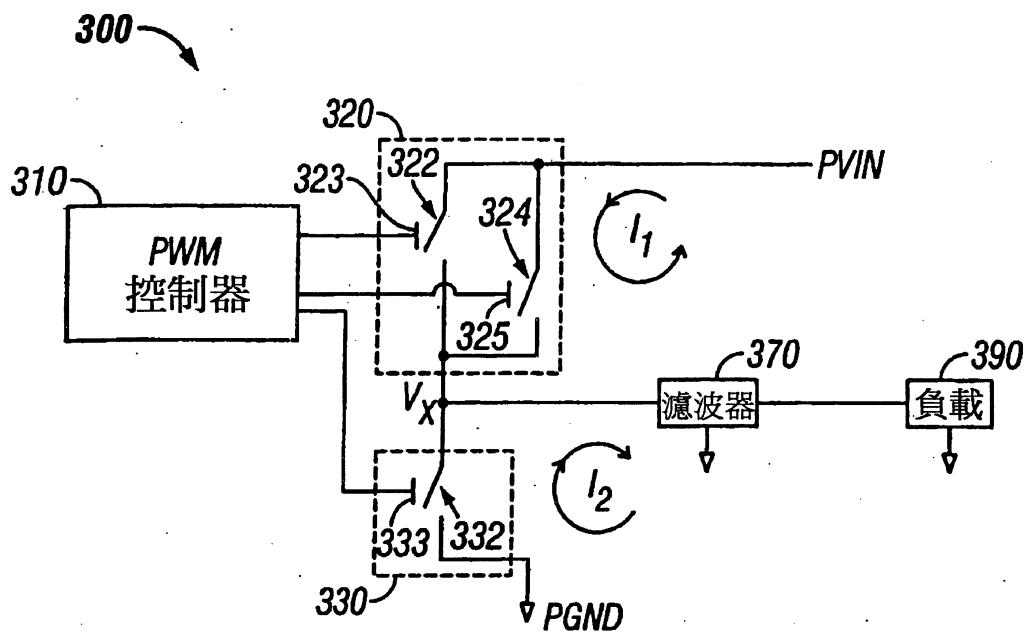


圖 3

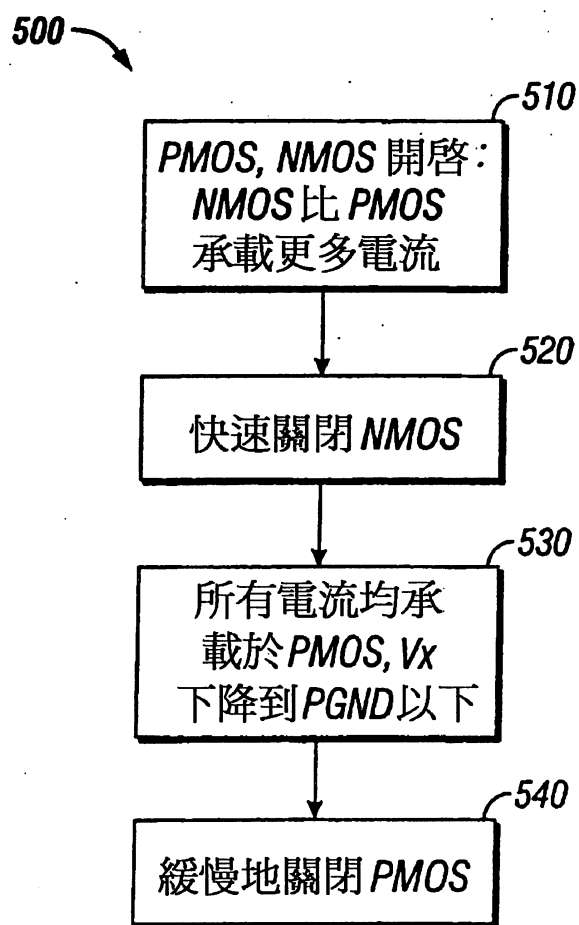
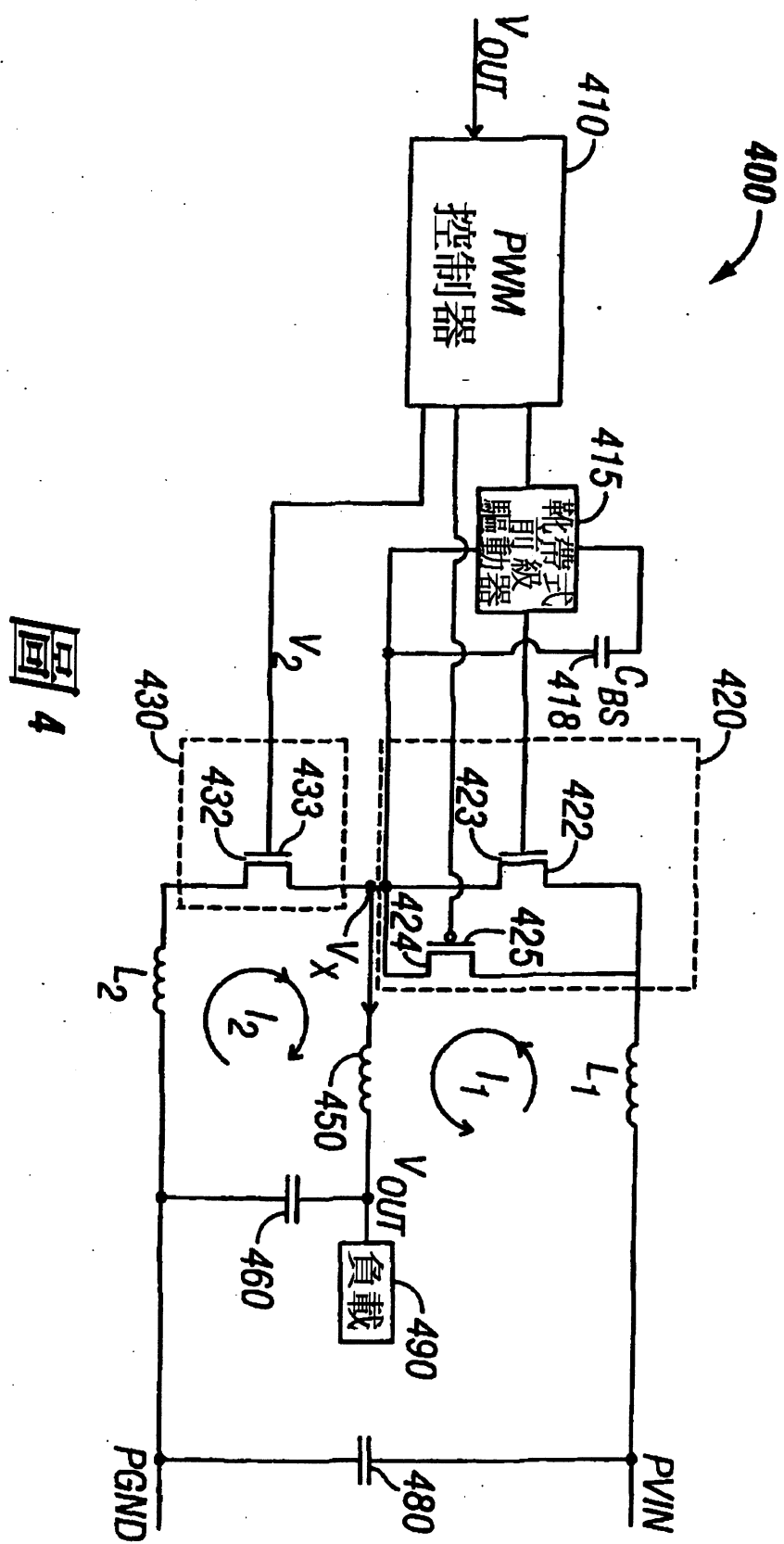


圖 5



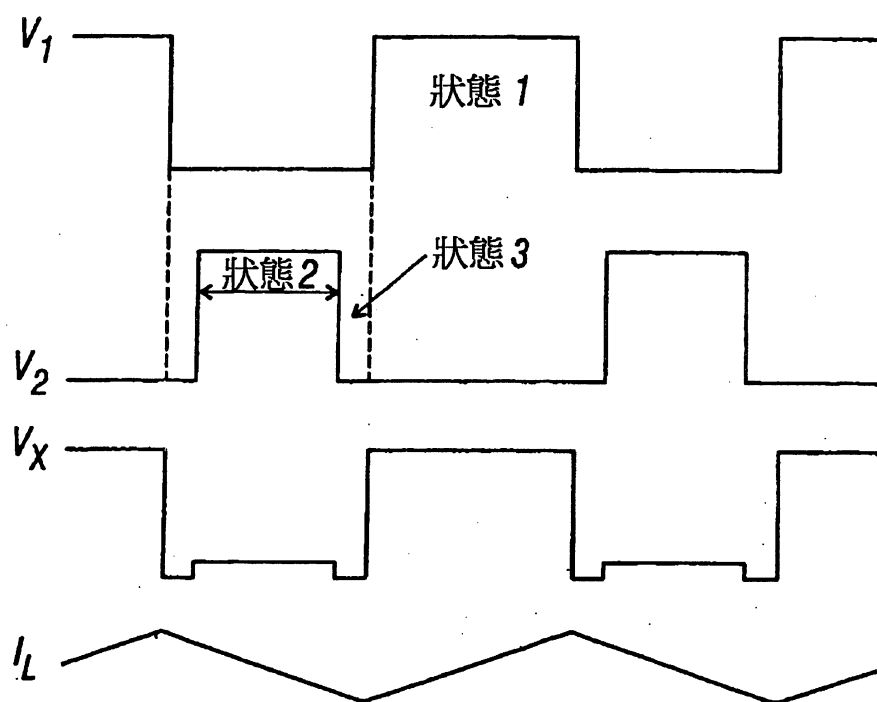


圖 6

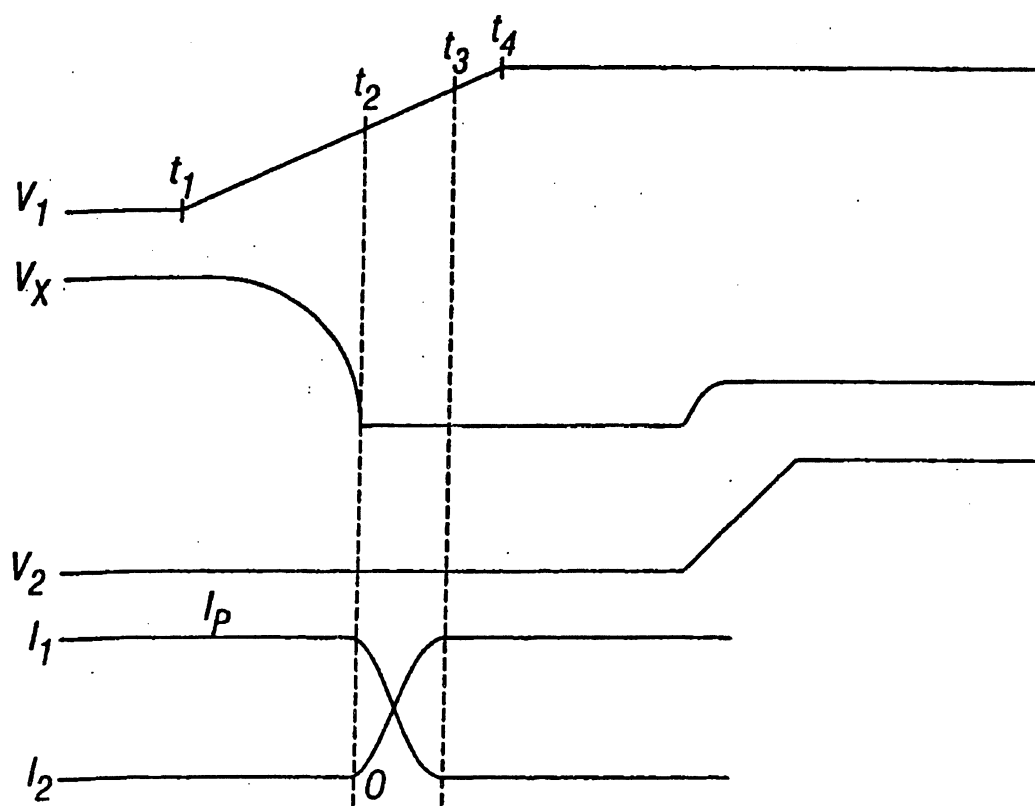


圖 7

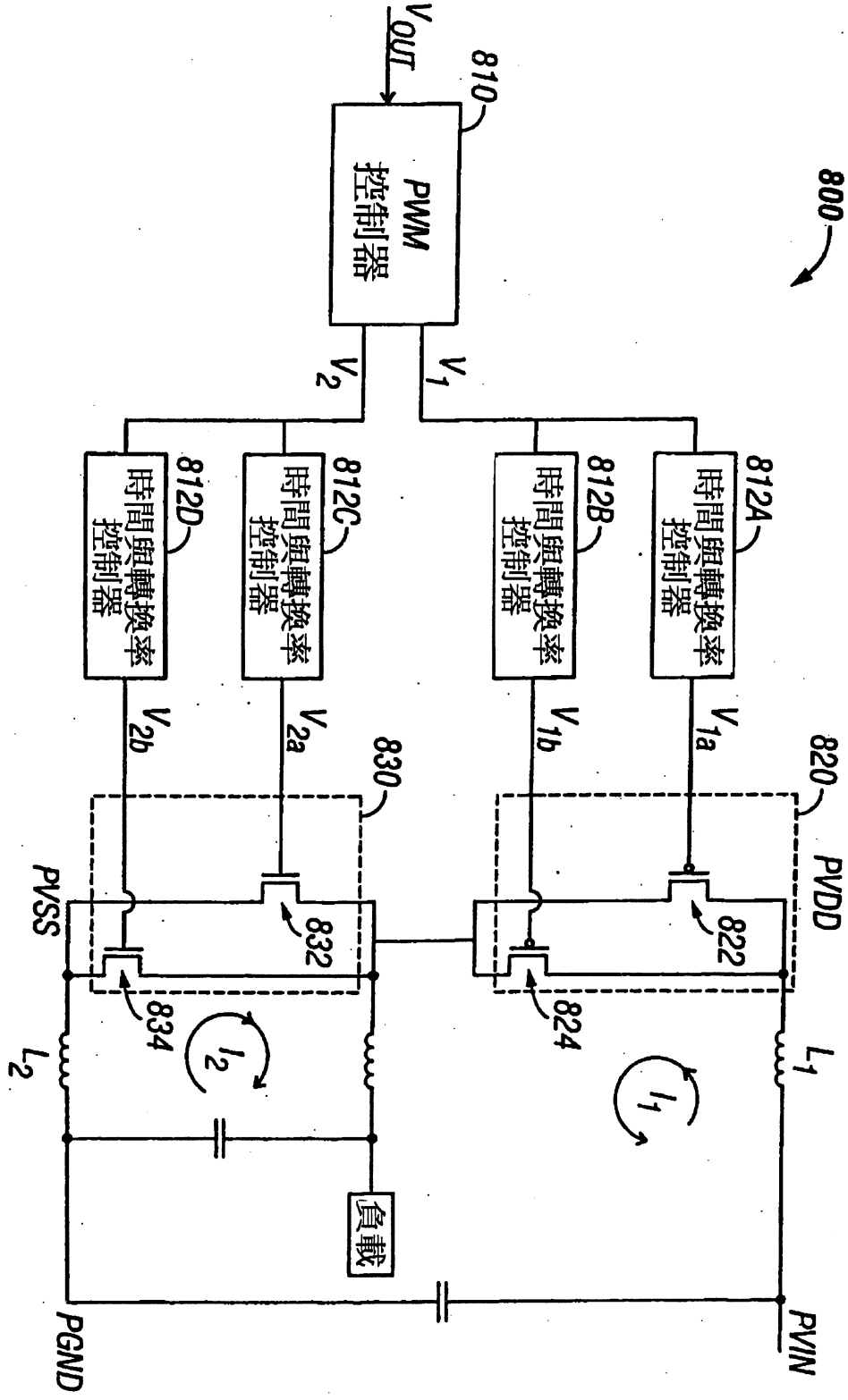


圖 8

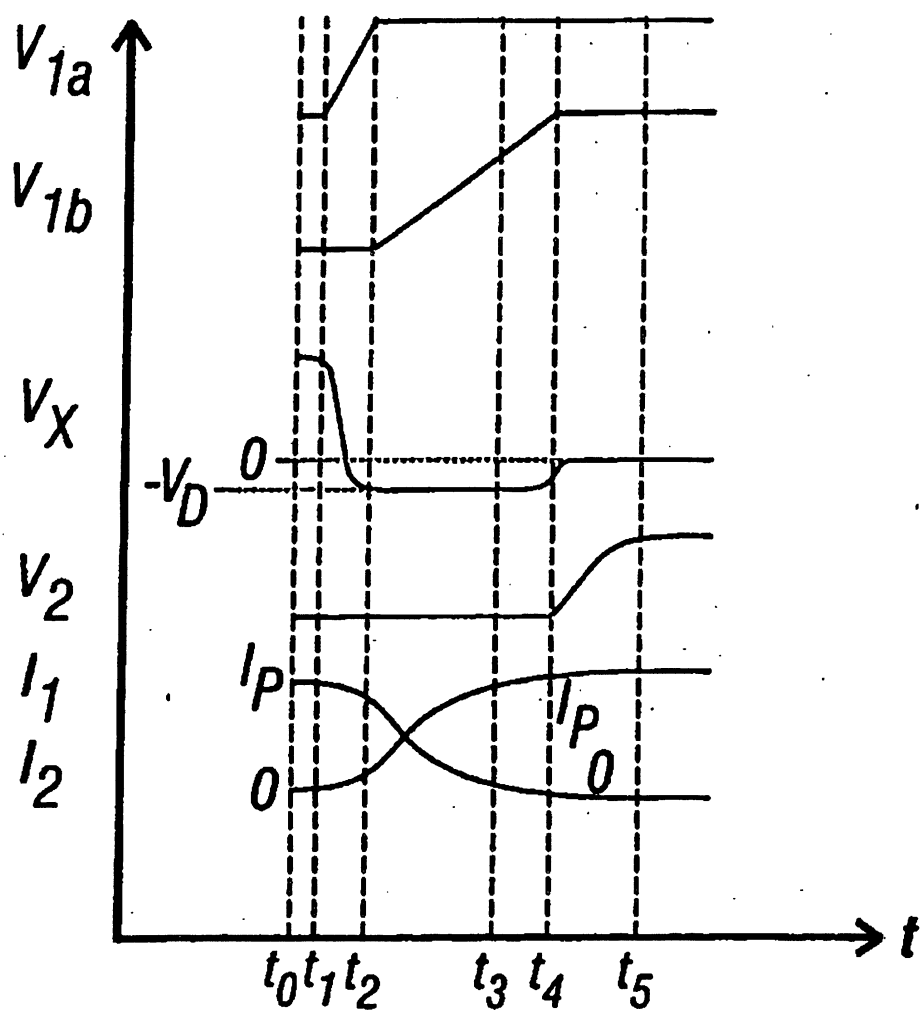


圖 9

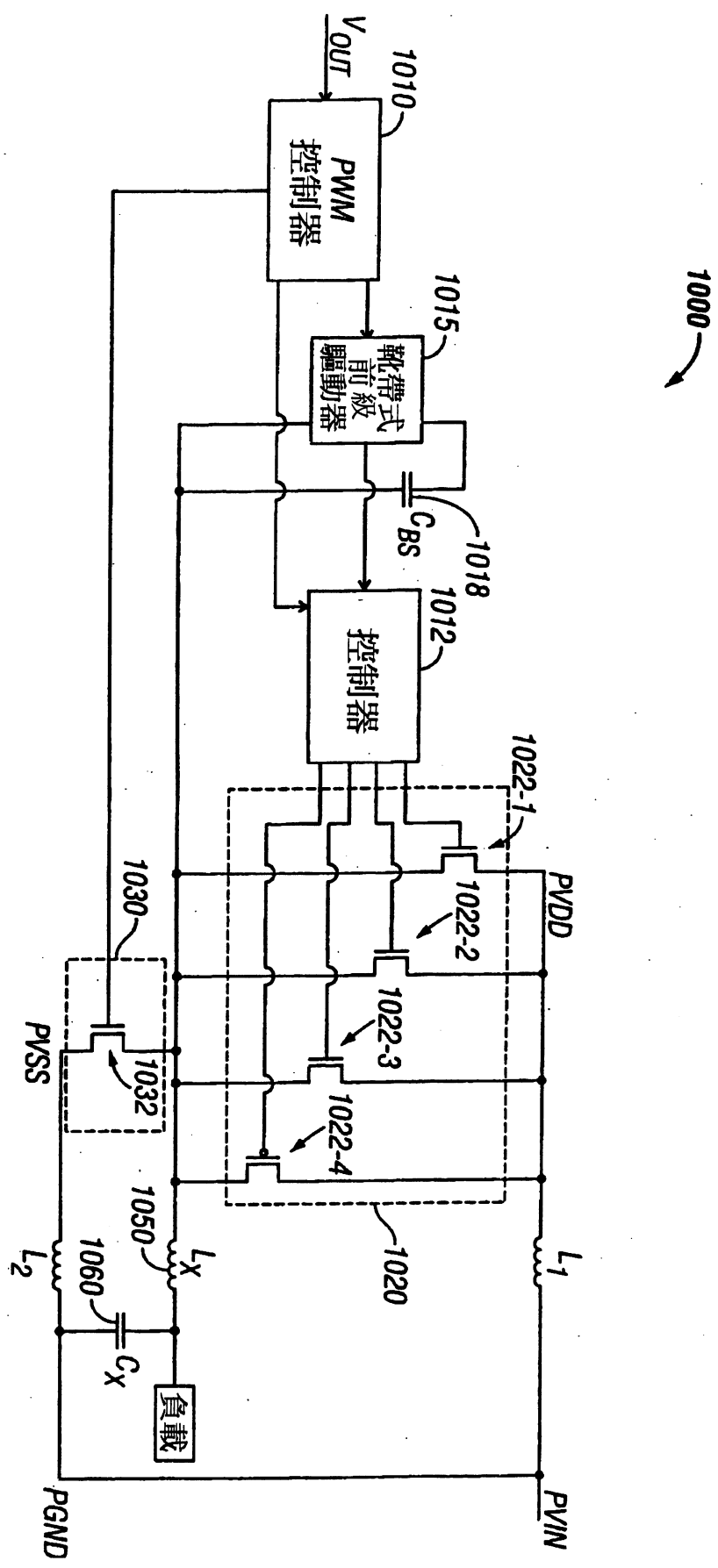


圖 10

柒、指定代表圖：

(一)本案指定代表圖為：第（ 三 ）圖。

(二)本代表圖之元件代表符號簡單說明：

300	---	系統
310	---	脈寬調變控制器
320	---	上部驅動器
322	---	開關
323	---	開關端子
324	---	開關
330	---	下部驅動器
325, 333	---	開關端子
370	---	濾波器
390	---	負載

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



年 05 月 11 日 修(更)正 1282203

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93111803

※ 申請日期：93-4-28

※IPC 分類：H02M 3/158

壹、發明名稱：(中文/英文)

功率調節器及關閉一功率調節器之一驅動器之方法/Power Regulator
and a Method for Turning off a Driver of a Power Regulator.

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

巴貝多商馬維爾世界貿易股份有限公司/MARVELL WORLD TRADE
LTD.

代表人：(中文/英文)(簽章) 約翰 哈波/JOHN, HARPER

住居所或營業所地址：(中文/英文)

巴貝多麥克街威爾迪路威爾迪商業區帕克屋/Parker House, Wildey
Business Park, Wildey Road St. Michael, Barbados

國 籍：(中文/英文) 巴貝多/BB

電話/傳真/手機：

E-MAIL：

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 塞海特 舒塔特亞/SUTARDJA, SEHAT

2. 張建成/ZHANG, JIANCHENG

3. 高那萬 索伏強/GOENAWAN, SOFJAN

住居所地址：(中文/英文)

1. 美國加州 94022 洛杉磯圖希爾市艾倫納路 27330 號/27330 ELENA
ROAD, LOS ALTOS HILLS, CA94022, U.S.A.

2. 美國加州 94022 洛杉磯圖希爾市麥紐拉路 14696 號/14696 Manuella
Road Los Altos Hills, CA 94022, U.S.A.

3. 美國加州 95117-2116 聖瓊斯市賽普勒斯街 783 號/783 Cypress Avenue

I282203

年 月 日修(更)正替換

San Jose, CA 95117-2116, U.S.A.

國 籍：(中文/英文) 1. 2. 美國/U.S.A. 3. 印尼/INDONESIA

拾、申請專利範圍：

1. 一種功率調整器，其包含：

一第一驅動器，其包括一第一驅動器輸出，該第一驅動器包括一具有一與該第一驅動器輸出通信之輸出端子之第一開關，該第一驅動器進一步包括一具有一與該第一驅動器輸出通信之輸出端子之第二開關，其中該第一開關之功率消耗係小於該第二開關之功率消耗；以及

一第二驅動器，其包括一與該第一驅動器輸出通信之第二驅動器輸出。

2. 如申請專利範圍第 1 項之功率調整器，其中該第二開關之一開啟狀態崩潰電壓係大於該第一開關之一開啟狀態崩潰電壓。

3. 如申請專利範圍第 1 項之功率調整器，其中該第一開關包含一第一電晶體及該第二開關包含一第二電晶體。

4. 如申請專利範圍第 3 項之功率調整器，其中該第一電晶體之一開啟狀態崩潰電壓係小於該第二電晶體之一開啟狀態崩潰電壓。

5. 如申請專利範圍第 3 項之功率調整器，其中該第一電晶體與該第二電晶體類型相同。

6. 如申請專利範圍第 5 項之功率調整器，其中該相同之類型為 NMOS。

7. 如申請專利範圍第 3 項之功率調整器，其中該第一電晶體與該第二電晶體類型不同。

8. 如申請專利範圍第 3 項之功率調整器，其中該第一電晶體包含一 NMOS 電晶體，以及進一步包括一與該第一電晶體之一閘極通信之靴帶式前級驅動器。

9. 如申請專利範圍第 3 項之功率調整器，其進一步包括關閉該第一驅動器之電路，其中該電路係藉由控制施加於該第一電晶體之一閘極之一電壓之一第一關閉初始時間與一第一轉換率，以及進

煩請委員明示，本案修正後是否變更原實質內容

一步藉由控制施加於該第二電晶體之一閘極之一電壓之一第二關閉初始時間與一第二轉換率而關閉該第一驅動器。

10.如申請專利範圍第 9 項之功率調整器，其中該電路將該第一關閉初始時間控制在該第二關閉初始時間之前。

11.如申請專利範圍第 10 項之功率調整器，其中該電路將該第一轉換率控制為大於該第二轉換率。

12.如申請專利範圍第 11 項之功率調整器，其中該電路進一步控制該第一關閉初始時間、該第二關閉初始時間、該第一轉換率以及該第二轉換率，以使該第一電晶體在該第二關閉初始時間之前關閉。

13.如申請專利範圍第 1 項之功率調整器，其中該功率調整器係包括在一直流對直流 (DC/DC) 轉換器中。

14.如申請專利範圍第 1 項之功率調整器，其進一步包括一濾波器，該濾波器具有一與該第一驅動器輸出及該第二驅動器輸出通信之輸入。

15.如申請專利範圍第 14 項之功率調整器，其中該濾波器進一步包括一與一負載通信之輸出。

16.如申請專利範圍第 1 項之功率調整器，其中該第一驅動器進一步包括一或多個額外開關，該每一開關具有一與該第一驅動器輸出通信之輸出端子。

17.如申請專利範圍第 1 項之功率調整器，其中該第二驅動器包括一或多個第二驅動器開關，每一開關具有一與該第二驅動器輸出通信之輸出端子。

18.如申請專利範圍第 17 項之功率調整器，其中該一或多個第二驅動器開關之至少一開關包含一 NMOS 電晶體。

19.如申請專利範圍第 17 項之功率調整器，其中該一或多個第二驅動器開關包含一第一電晶體與一第二電晶體，該第一電晶體具

有一低於該第二電晶體之一 R_{DS-on} 值的開啟狀態汲極源極電阻 (R_{DS-on}) 值。

20. 如申請專利範圍第 17 項之功率調整器，其中該一或多個第二驅動器開關包含一第一電晶體與一第二電晶體，該第一電晶體具有一低於該第二電晶體之一開啟狀態崩潰電壓的開啟狀態崩潰電壓。

21. 一種關閉一功率調整器之一驅動器之方法，其包含：

(A) 關閉該驅動器之一第一開關，在一開啟狀態下該第一開關具有的功率消耗低於該驅動器之一第二開關；

(A) 之後的 (B)，關閉該驅動器之該第二開關。

22. 如申請專利範圍第 21 項之關閉一功率調整器之一驅動器之方法，其中該第一開關包含一第一電晶體，以及其中關閉該驅動器之該第一開關包含修改施加於該第一電晶體之一閘極的一電壓，將其從該第一電晶體開啟時的一開啟電壓變為該第一電晶體關閉時的一關閉電壓，及其中修改施加於該第一電晶體之該閘極的該電壓係於一等同於一第一電晶體關閉時間之時間內實施。

23. 如申請專利範圍第 22 項之關閉一功率調整器之一驅動器之方法，其中該第二開關包含一第二電晶體，以及其中關閉該驅動器之該第二開關包含修改施加於該第二電晶體之一閘極的一電壓，將其從該第二電晶體開啟時的一開啟電壓變為該第二電晶體關閉時的一關閉電壓，及其中修改施加於該第二電晶體之該閘極的該電壓係於一等同於一第二電晶體關閉時間之時間內實施。

24. 如申請專利範圍第 23 項之關閉一功率調整器之一驅動器之方法，其中該第二電晶體關閉時間係大於該第一電晶體關閉時間。

25. 如申請專利範圍第 24 項之關閉一功率調整器之一驅動器之方法，其中該第二電晶體關閉時間為該第一電晶體關閉時間的至少兩倍長。

26.如申請專利範圍第 21 項之關閉一功率調整器之一驅動器之方法，其進一步包含：

(B) 之後的 (C)，開啟一不同的驅動器。

27.如申請專利範圍第 26 項之關閉一功率調整器之一驅動器之方法，其中開啟該不同驅動器包含開啟一或多個包括於該不同驅動器中的開關。

28.如申請專利範圍第 27 項之關閉一功率調整器之一驅動器之方法，其中該一或多個包括於該不同驅動器中的開關係以電晶體實施，以及其中開啟該一或多個包括於該不同驅動器中的開關包含在該一或多個開關之各開關的一閘極施加一開啟電壓。

29.如申請專利範圍第 26 項之關閉一功率調整器之一驅動器之方法，其進一步包含：

(C) 之後的 (D)，關閉該不同的驅動器。

30.如申請專利範圍第 29 項之關閉一功率調整器之一驅動器之方法，其中該不同驅動器包含一第一電晶體與一第二電晶體，以及其中 (D) 包含在關閉該第二電晶體之前關閉該第一電晶體。

31.如申請專利範圍第 30 項之關閉一功率調整器之一驅動器之方法，其中在一開啟狀態下該第一電晶體具有的功率消耗低於該第二電晶體。

32.如申請專利範圍第 31 項之關閉一功率調整器之一驅動器之方法，其中在該開啟狀態下該第一電晶體具有的一崩潰電壓低於該第二電晶體。