

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3831173号

(P3831173)

(45) 発行日 平成18年10月11日(2006.10.11)

(24) 登録日 平成18年7月21日(2006.7.21)

(51) Int. Cl. F I
HO 1 L 25/18 (2006.01) HO 1 L 25/04 Z
HO 1 L 25/04 (2006.01) HO 1 L 23/12 L
HO 1 L 23/12 (2006.01)

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2000-78881 (P2000-78881)	(73) 特許権者	000003078
(22) 出願日	平成12年3月21日(2000.3.21)		株式会社東芝
(65) 公開番号	特開2001-267486 (P2001-267486A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年9月28日(2001.9.28)	(74) 代理人	100058479
審査請求日	平成15年2月10日(2003.2.10)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

実装基板と前記実装基板に実装されマイクロ波集積回路を構成する半導体装置とを具備する半導体モジュールであって、

前記半導体装置は、少なくとも1つのトランジスタで構成されたトランジスタ素子部と前記少なくとも1つのトランジスタに接続された配線を有する配線部とを備え、前記トランジスタ素子部を構成する前記少なくとも1つのトランジスタの各々はトランジスタを1つのみ含んだチップとして形成され、前記配線部は絶縁性基板に前記配線を設けてなる配線基板として形成され、

前記チップは前記トランジスタが形成された面を前記配線基板に対向させ且つその裏面を露出させるように前記配線基板に取り付けられ、それにより前記少なくとも1つのトランジスタと前記配線との接続がなされており、

前記半導体装置は前記チップが取り付けられた側で前記実装基板に実装され、

前記実装基板は、絶縁性基板と、前記絶縁性基板の前記半導体装置を実装する面にそれぞれ形成された第1及び第2の金属パターンとを具備し、

前記第1の金属パターンは前記配線と接続され、前記第2の金属パターンは前記チップの前記トランジスタが形成された面の裏面と接続されていることを特徴とする半導体モジュール。

【請求項2】

前記絶縁性基板は、第1の絶縁体層、金属層、貫通孔が設けられた第2の絶縁体層を順

10

20

次積層してなる積層構造を有し、前記第2の絶縁体層は前記貫通孔内に接続用導体を具備し、前記第1及び第2の金属パターンは前記第2の絶縁体層上に形成され、前記第2の金属パターンと前記金属層とは前記接続用導体を介して接続されたことを特徴とする請求項1に記載の半導体モジュール。

【請求項3】

実装基板と前記実装基板に実装されモノリシックマイクロ波集積回路を有する半導体装置とを具備する半導体モジュールであって、

前記半導体装置は、絶縁性基板と前記絶縁性基板の一方の主面に形成された導体パターンとを有する配線基板及び一方の主面にトランジスタが形成され前記モノリシックマイクロ波集積回路を構成するICチップを備え、

前記ICチップは前記トランジスタが形成された面が前記配線基板と対向するように前記配線基板に取り付けられ、

前記半導体装置は前記ICチップが前記実装基板と対向するように前記実装基板に実装され、

前記実装基板は、絶縁性基板と、前記絶縁性基板の前記半導体装置を実装する面にそれぞれ形成された第1及び第2の金属パターンとを具備し、

前記第1の金属パターンは前記導体パターンと接続され、前記第2の金属パターンは前記ICチップの前記トランジスタが形成された面の裏面と接続されたことを特徴とする半導体モジュール。

【請求項4】

前記絶縁性基板は、第1の絶縁体層、金属層、貫通孔が設けられた第2の絶縁体層を順次積層してなる積層構造を有し、前記第2の絶縁体層は前記貫通孔内に接続用導体を具備し、前記第1及び第2の金属パターンは前記第2の絶縁体層上に形成され、前記第2の金属パターンと前記金属層とは前記接続用導体を介して接続されたことを特徴とする請求項3に記載の半導体モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置を実装した半導体モジュールに係り、特に、マイクロ波集積回路を有する半導体装置を実装した半導体モジュールに関する。

【0002】

【従来の技術】

図4は、モノリシックマイクロ波集積回路を有する従来の半導体パッケージの一例を概略的に示す断面図である。図4に示すように、従来の半導体パッケージ101は、基板102にGaAsチップ103をフリップチップ接続し、さらに樹脂104をポッティングした構造を有している。

【0003】

この半導体パッケージ101において、GaAsチップ103は、モノリシックマイクロ波集積回路を構成している。すなわち、従来の半導体パッケージ101においては、トランジスタ素子部及び配線部の双方が1つのGaAsチップ103につくりこまれている。また、図4に示す半導体パッケージ101において、GaAsチップ103は、そのトランジスタやストリップ線路が形成された面が基板102と対向するように配置されている。

【0004】

上述したGaAsチップ103の製造には、非常に高価なGaAs基板が用いられる。そのため、モノリシックマイクロ波集積回路には、製造歩留まりを向上させることなどによって、GaAs基板を有効利用すること、すなわちコストを低減することが望まれている。しかしながら、モノリシックマイクロ波集積回路では、配線形成の精度がデバイスの特性に極めて大きな影響を与える。そのため、製造歩留まりを向上させることによるコスト低減には限界がある。そこで、他の方法によりコストを低減することが望まれている。

【0005】

【発明が解決しようとする課題】

図4に示すような従来の構造の半導体パッケージ101を用いた半導体モジュールには、以下に説明する問題がある。

図4に示す半導体パッケージ101を用いた半導体モジュールは、半導体パッケージ101を基板102側で実装基板に実装させることにより得られる。そのため、マイクロ波集積回路で生じた熱の放熱は、半導体パッケージ101のGaAsチップ103上に、別途、ヒートシンクを設けて行う必要がある。このようなヒートシンクの付設は、当然の如く、部品数並びに製造工程の増加をもたらす。

【0006】

さらに、図4に示す半導体パッケージ101を用いた半導体モジュールでは、GaAsチップ103に設けたビアホールを介して接地を行う必要があるため、その厚さに応じたリアクタンス成分が生じてしまう。このリアクタンス成分は、周知の如く、デバイスの帯域特性を狭めるのと同時に発振の原因にもなるといった問題があった。

【0007】

本発明は、上記問題点を鑑みてなされたものであり、モノリシックマイクロ波集積回路を有する半導体装置を実装した半導体モジュールのコストを低減可能とすることを目的とする。

【0010】

【課題を解決するための手段】

本発明の第1の側面によると、実装基板と前記実装基板に実装されマイクロ波集積回路を構成する半導体装置とを具備する半導体モジュールであって、前記半導体装置は、少なくとも1つのトランジスタで構成されたトランジスタ素子部と前記少なくとも1つのトランジスタに接続された配線を有する配線部とを備え、前記トランジスタ素子部を構成する前記少なくとも1つのトランジスタの各々はトランジスタを1つのみ含んだチップとして形成され、前記配線部は絶縁性基板に前記配線を設けてなる配線基板として形成され、前記チップは前記トランジスタが形成された面を前記配線基板に対向させ且つその裏面を露出させるように前記配線基板に取り付けられ、それにより前記少なくとも1つのトランジスタと前記配線との接続がなされており、前記半導体装置は前記チップが取り付けられた側で前記実装基板に実装され、前記実装基板は、絶縁性基板と、前記絶縁性基板の前記半導体装置を実装する面にそれぞれ形成された第1及び第2の金属パターンとを具備し、前記第1の金属パターンは前記配線と接続され、前記第2の金属パターンは前記チップの前記トランジスタが形成された面の裏面と接続されていることを特徴とする半導体モジュールが提供される。

【0011】

本発明の第2の側面によると、実装基板と前記実装基板に実装されモノリシックマイクロ波集積回路を有する半導体装置とを具備する半導体モジュールであって、前記半導体装置は、絶縁性基板と前記絶縁性基板の一方の主面に形成された導体パターンとを有する配線基板及び一方の主面にトランジスタが形成され前記モノリシックマイクロ波集積回路を構成するICチップを備え、前記ICチップは前記トランジスタが形成された面が前記配線基板と対向するように前記配線基板に取り付けられ、前記半導体装置は前記ICチップが前記実装基板と対向するように前記実装基板に実装され、前記実装基板は、絶縁性基板と、前記絶縁性基板の前記半導体装置を実装する面にそれぞれ形成された第1及び第2の金属パターンとを具備し、前記第1の金属パターンは前記導体パターンと接続され、前記第2の金属パターンは前記ICチップの前記トランジスタが形成された面の裏面と接続されたことを特徴とする半導体モジュールが提供される。

【0012】

上述のように、従来は、トランジスタ素子部及び配線部の双方を1つのGaAsチップに形成することによりモノリシックマイクロ波集積回路を構成していた。

【0013】

それに対し、本発明の第1の側面によると、トランジスタ素子部を構成するそれぞれのトランジスタは別々のチップとして形成され、配線部は絶縁性基板に配線を設けてなる配線基板として形成され、それらチップを配線基板へと取り付けることにより得られるパッケージでマイクロ波集積回路が構成されている。このような方法でモノリシックマイクロ波集積回路を構成した場合、GaAs基板のような基板はトランジスタを形成するためだけに使用され得るので、1枚のGaAs基板からより多くのマイクロ波集積回路を得ることができる。

【0014】

また、本発明の第1の側面によると、配線は絶縁性基板に形成される。そのため、配線に不具合が生じたとしても、GaAs基板のような基板を無駄にすることがない。一般に、絶縁性基板はGaAs基板に比べれば遥かに安価であるので、本発明の第1の側面によると、配線の不具合に基づくコストの上昇を抑制することができる。すなわち、本発明の第1の側面によると、マイクロ波集積回路を有する半導体装置及びそのような半導体装置を実装した半導体モジュールのコストを低減することが可能となる。

10

【0015】

また、本発明の第2の側面において、ICチップはトランジスタが形成された面が配線基板に対向するように配線基板に取り付けられ、半導体装置はICチップが取り付けられた側で実装基板に実装される。そのため、本発明の第2の側面によると、ICチップで生じた熱を実装基板側から放熱させることができる。第2の側面では、絶縁性基板とこの絶縁性基板の前記半導体装置を実装する面にそれぞれ形成された第1及び第2の金属パターンとを有する実装基板を用い、第1の金属パターンを上記配線と接続し、第2の金属パターンをICチップのトランジスタが形成された面の裏面と接続するので、ICチップで生じた熱を第2の金属パターンへと放熱させることができる。このように実装基板側で放熱させる場合、半導体装置の実装基板とは反対側の面にヒートシンクを別途設ける必要がない。また、上述した構造の実装基板は一般的な実装基板と同様のプロセスで製造可能である。したがって、本発明の第2の側面によると、構造及び製造プロセスを簡略化することができる。

20

【0016】

さらに、本発明の第2の側面において、ICチップはトランジスタが形成された面の裏面が実装基板に対向するように配線基板に取り付けられるので、予め実装基板上に接地面として金属パターンを形成しておけば、ICチップにビアホールを設けることなく接地を行うことができる。したがって、リアクタンス成分に関連する問題を回避することができる。

30

【0017】

なお、ICチップをトランジスタが形成された面が配線基板に対向するように配線基板に取り付けて、半導体装置をICチップが取り付けられた側で実装基板に実装する場合、配線基板は、上記配線を構成する導体パターンとこの導体パターンに接続された電極とを有し、この電極がICチップ側で導体パターンを含む面から離れる方向に延びて形成されていることが好ましい。このような構造を有する配線基板を用いた場合、半導体装置を実装基板に実装する際に、ワイヤボンディング等が不要となる。したがって、より容易に及びより確実に半導体装置を実装基板に実装することが可能となる。

40

【0018】

上述した方法でICチップで生じた熱を放熱させる場合、上記絶縁性基板として、第1の絶縁体層、金属層、貫通孔が設けられた第2の絶縁体層を順次積層してなる積層構造を有し、第2の絶縁体層の貫通孔が接続用導体で充填され、上述した第1及び第2の金属パターンが第2の絶縁体層上に形成され、第2の金属パターンと金属層とが接続用導体を介して接続されたものを用いることができる。この絶縁性基板では、ICチップで生じた熱は、第2の金属パターン及び接続用導体を介して金属層へと放熱される。この金属層は、第1及び第2の金属パターンとは異なる平面内に設けられているので、第2の金属パターンに比べてより大面積とすることができる。したがって、ICチップで生じた熱を金属層に

50

放熱させた場合、I Cチップで生じた熱を単に第2の金属パターンに放熱させる場合に比べて、より優れた放熱性を実現することができる。

【0019】

【発明の実施の形態】

以下、本発明について、図面を参照しながらより詳細に説明する。なお、各図において同様の構成部材には同一の参照符号を付し、重複する説明は省略する。

【0020】

図1(a)及び(b)は本発明の一実施形態に係る半導体装置を概略的に示す斜視図であり、図1(c)は図1(a)及び(b)に示す半導体装置の断面図である。図1(a)～(c)に示す半導体装置は、配線基板であるリードレスチップキャリア2とGaAsチップ3とで主に構成された半導体パッケージ1であり、マイクロ波集積回路を構成している。

10

【0021】

リードレスチップキャリア2は、平板状の絶縁性基板4上に導体パターン5〔図1(a)及び(b)では省略されている〕及び棒状の絶縁性部材6が順次配置された構造を有している。絶縁性基板4及び絶縁性部材6の端面にはそれらの主面と垂直な方向に複数の溝部が設けられており、導体パターン5の端部はこれら溝部内の電極7と接続されている。すなわち、溝部内の電極7は、GaAsチップ3のための電気信号端子及び電源端子を構成している。

【0022】

20

図1(a)～(c)に示すリードレスチップキャリア2は、複数のリードレスチップキャリア2を一体的に形成した後、個々のリードレスチップキャリア2へと切り出すことにより得ることができる。すなわち、絶縁性基板4及び絶縁性部材6の側部に形成された複数の溝部は、絶縁性基板4及び絶縁性部材6にスルーホールを設け、このスルーホールの位置で絶縁性基板4及び絶縁性部材6を分割することにより形成することができる。また、同様に、電極7は、絶縁性基板4及び絶縁性部材6に設けたスルーホールに金属などの導電性材料を充填した後、このスルーホールの位置で絶縁性基板4及び絶縁性部材6を分割することにより形成することができる。したがって、これら溝部及び電極7は、端面スルーホール及び端面スルーホール電極とそれぞれ呼ばれる。

【0023】

30

リードレスチップキャリア2を構成する絶縁性基板4及び絶縁性部材6に用いられる材料は絶縁性材料であれば特に制限はないが、アルミナやガラスセラミックスなどが好適である。特に、高い周波数で使用される場合には、絶縁性基板4や絶縁性部材6にガラスセラミックスを用いることが有効である。

【0024】

導体パターン5は、GaAsチップ3のための配線を構成している。導体パターン5に用いられる材料は導電性材料であれば特に制限はないが、一般には、銅のような金属材料が用いられる。また、電極7に用いられる材料も導電性材料であれば特に制限はなく、一般には、金(Au)などの金属材料が用いられる。

【0025】

40

図1(a)～(c)に示す半導体パッケージ1において、GaAsチップ3は、それぞれが1つのトランジスタを構成している。トランジスタはGaAsチップ3の一方の表面領域に形成されており、各種電極(図示せず)は全てその面に設けられている。また、これら電極上には金ボール或いは半田ボールなどの金属バンプ8が設けられており、GaAsチップ3は金属バンプ8と導体パターン5とが接するようにリードレスチップキャリア2に取り付けられている。すなわち、GaAsチップ3はリードレスチップキャリア2にフリップチップ接続されている。

【0026】

なお、リードレスチップキャリア2にフリップチップ接続されたGaAsチップ3の周囲は、樹脂などの絶縁性材料9で充填されている。これにより、半導体パッケージ1を後述

50

する実装基板に実装した際に、実装基板とGaAsチップ3とリードレスチップキャリア2との間の熱膨張率の違いに基づいて生ずる応力によりGaAsチップ3が破壊されるのを抑制することができる。

【0027】

上述した半導体パッケージ1は、例えば、以下の方法により製造することができる。図2(a)～(e)を参照しながら説明する。

図2(a)～(e)は、それぞれ、図1(a)～(c)に示す半導体パッケージ1の製造方法を概略的に示す図である。なお、図2(a)～(c)は斜視図であり、図2(d)及び(e)は断面図である。また、図2(c)において、導体パターン5及び電極7は省略されている。

10

【0028】

図1(a)～(c)に示す半導体パッケージ1を製造するに当たり、まず、図2(a)に示すように、GaAs基板10の一方の面に複数のトランジスタを形成し、これらトランジスタの電極上に金属バンプ8を設ける。次に、図2(b)に示すように、GaAs基板10を各トランジスタ毎に切断することにより、複数のGaAsチップ3を得る。

【0029】

その一方で、図2(c)に示すように、複数のリードレスチップキャリア2を個々のリードレスチップキャリア2に切り出す前の状態にまで形成しておく。これに上述した方法により得られた複数のGaAsチップ3をフリップチップ接続し、さらに各リードレスチップキャリア2毎に切断することにより図2(d)に示す構造を得る。その後、図2(e)に示すように、GaAsチップ3とリードレスチップキャリア2との間隙を樹脂のような絶縁性材料9でポッティングする。以上のようにして、図1(a)～(c)に示す半導体パッケージ1を得る。

20

【0030】

なお、GaAsチップ3のリードレスチップキャリア2へのフリップチップ接続は、切り出す前のリードレスチップキャリア2に対して一括的に行ってもよく、切り出した後のリードレスチップキャリア2のそれぞれに対して行ってもよい。また、同様に、絶縁性材料9によるポッティングは、切り出す前の複数のリードレスチップキャリア2に対して一括的に行ってもよく、切り出した後のリードレスチップキャリア2のそれぞれに対して行ってもよい。

30

【0031】

以上説明した、半導体パッケージ1では、それぞれのトランジスタは別々のGaAsチップ3として形成され、その配線は配線基板2の導体パターン5によってなされている。すなわち、上記半導体パッケージ1では、GaAs基板10はトランジスタのみを形成するために使用されている。そのため、1枚のGaAs基板10からより多くのマイクロ波集積回路を得ることができ、しかも、配線に不具合が生じたとしてもGaAs基板を無駄にすることがない。したがって、コストの低減が可能となる。

【0032】

上述した半導体パッケージ1は、絶縁性基板4側で実装基板に実装されてもよいが、好ましくは、GaAsチップ3側で実装基板に実装される。これについては、図3を参照しながら説明する。

40

【0033】

図3は、図1(a)～(c)に示す半導体パッケージ1を用いた半導体モジュールの一例を概略的に示す断面図である。図3に示す半導体モジュール11は、実装基板12と半導体モジュール1とで主に構成されている。

【0034】

実装基板12は、絶縁層13上に、導電層14、絶縁層15、及び導電層16が順次積層された構造を有している。導電層16はパターン化されており、配線17と放熱用の接続部18とを構成している。また、絶縁層15にはビアホールが形成されている。これらビアホールには導電性材料19が充填されており、接続部18は導電性材料19を介して

50

導電層 14 と接続されている。なお、実装基板 12 はこのような構造に限られるものではない。例えば、絶縁層 15 と導電層 16 と積層体からなるものであってもよく、さらに多くの絶縁層と導電層とを積層したものであってもよい。

【0035】

実装基板を構成する絶縁層 13, 15 に用いられる材料は絶縁性材料であれば特に制限はない。絶縁層 13, 15 には、例えば、ガラスクロスにエポキシ樹脂を含浸させてこれを B ステージ状態とした所謂プリプレグのような複合材料を用いることができる。

【0036】

導電層 14, 16 に用いられる材料は導電性材料であれば特に制限はなく、例えば銅のような金属を挙げることができる。また、接続部 18 と導電層 14 とを接続する導電性材料 19 としては、例えば半田等の金属材料を用いることができる。

10

【0037】

以上のように構成された実装基板 12 に対し、半導体パッケージ 1 は、GaAs チップ 3 のトランジスタが形成された面の裏面が接続部 18 上に位置するように配置されている。GaAs チップ 3 のトランジスタが形成された面の裏面は導電性材料 20 を介して接続部 18 と接続されており、リードレスチップキャリア 2 の電極 7 は導電性材料 21 を介して配線 17 と接続されている。なお、導電性材料 20, 21 としては、半田や銀ペーストなどの金属材料を用いることができる。

【0038】

このように、図 1 (a) ~ (c) に示す半導体パッケージ 1 を GaAs チップ 3 側で実装基板 12 に実装した場合、GaAs チップ 3 で生じた熱を実装基板側 12 の接続部 18 等へと放熱させることができるため、ヒートシンクを別途設ける必要がない。また、上述した構造の実装基板 12 は一般的な実装基板と同様のプロセスで製造可能である。したがって、図 1 (a) ~ (c) に示す半導体パッケージ 1 を GaAs チップ 3 側で実装基板 12 に実装した場合、半導体モジュール 11 の構造を簡略化することができるのに加え、その製造プロセスを簡略化することができる。

20

【0039】

また、この半導体モジュール 11 において、GaAs チップ 3 はトランジスタが形成された面の裏面が実装基板 12 の接続部 18 と接続されているため、GaAs チップ 3 にビアホールを設けることなく接地を行うことができる。したがって、リアクタンス成分に関連する問題を回避することができる。

30

【0040】

以上説明した実施形態では、半導体パッケージ 1 を GaAs チップ 3 側で実装基板 12 に実装することについて説明したが、半導体チップ 1 は絶縁性基板 4 側で実装基板 12 に実装してもよい。この場合、良好な放熱性を実現するためには、別途、ヒートシンクを設ける必要があるが、各トランジスタを別々の GaAs チップ 3 として形成し、それらの接続を配線基板 2 に設けた導体パターン 5 によって行うことに関連して説明した効果は得ることができる。すなわち、GaAs 基板を有効利用して、コストを低減することができる。

【0041】

また、以上説明した実施形態では、半導体パッケージ 1 がマイクロ波集積回路を構成する場合、すなわち、各トランジスタを別々の GaAs チップ 3 として形成し、それらの接続を配線基板 2 に設けた導体パターン 5 によって行うことについて説明したが、モノリシックマイクロ波集積回路を構成する GaAs チップを用いて半導体パッケージを形成してもよい。この場合、GaAs チップにはトランジスタだけでなく配線も形成する必要があるが、半導体パッケージ 1 を GaAs チップ 3 側で実装基板 12 に実装することに関連して説明した効果は得ることができる。すなわち、構造及び製造プロセスを簡略化して、コストを低減することができる。

40

【0042】

【発明の効果】

以上説明したように、本発明によると、トランジスタ素子部を構成するそれぞれのトラ

50

ンジスタを別々のチップとして形成し且つ配線部を絶縁性基板に配線を設けてなる配線基板として形成すること、チップをそのトランジスタが形成された面が配線基板に対向するように配線基板に取り付け且つ半導体装置をチップが取り付けられた側で実装基板に実装すること、及びそれら両方のいずれかが行われる。そのため、GaAs基板のように高価な基板を有効利用することや構造及び製造プロセスの簡略化が可能となる。

【0043】

すなわち、本発明によると、マイクロ波集積回路を有する半導体装置を実装した半導体モジュールのコストを低減することが可能となる。

【図面の簡単な説明】

【図1】(a)及び(b)は本発明の一実施形態に係る半導体装置を概略的に示す斜視図、(c)は(a)及び(b)に示す半導体装置の断面図。 10

【図2】(a)～(e)は、それぞれ、図1(a)～(c)に示す半導体装置の製造方法を概略的に示す図。

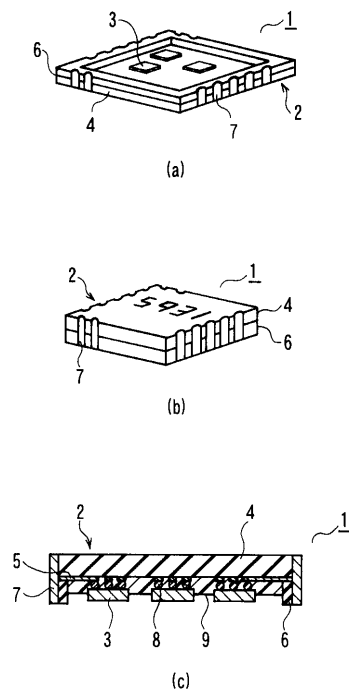
【図3】図1(a)～(c)に示す半導体装置を用いた半導体モジュールの一例を概略的に示す断面図。

【図4】モノリシックマイクロ波集積回路を有する従来の半導体パッケージの一例を概略的に示す断面図。

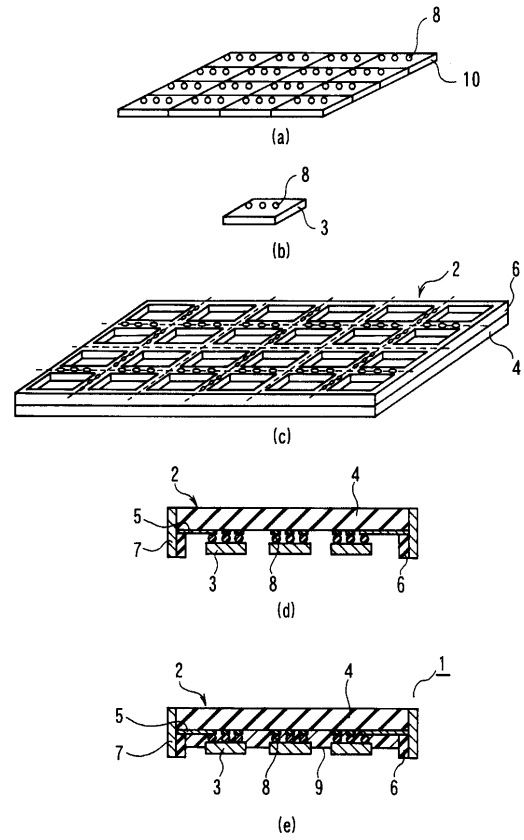
【符号の説明】

- 1, 101…半導体パッケージ
- 2…リードレスチップキャリア 20
- 3, 103…GaAsチップ
- 4…絶縁性基板
- 5…導体パターン
- 6…絶縁性部材
- 7…電極
- 8…金属バンプ
- 9…絶縁性材料
- 10…GaAs基板
- 11…半導体モジュール
- 12…実装基板 30
- 13, 15…絶縁層
- 14, 16…導電層
- 17…配線
- 18…接続部
- 19～21…導電性材料
- 102…基板
- 104…樹脂

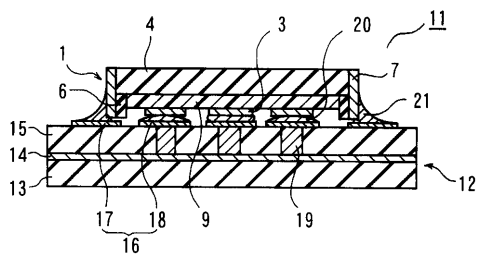
【図 1】



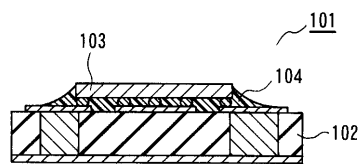
【図 2】



【図 3】



【図 4】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 平田 誠一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

審査官 田中 永一

(56)参考文献 特開平05-211246 (JP, A)

特開平11-330163 (JP, A)

特開平5-63136 (JP, A)

特開平9-199629 (JP, A)

特開平11-40702 (JP, A)

特開平11-204676 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 25/04

H01L 25/18