

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-164780

(P2016-164780A)

(43) 公開日 平成28年9月8日(2016.9.8)

(51) Int.Cl.	F 1	テーマコード (参考)		
G 06 F 12/16 (2006.01)	G 06 F 12/16	3 1 O D	5 B 0 1 8	
G 11 C 11/405 (2006.01)	G 06 F 12/16	3 2 O E	5 F 0 8 3	
G 11 C 11/401 (2006.01)	G 11 C 11/34	3 5 2 B	5 L 1 0 6	
G 11 C 29/42 (2006.01)	G 11 C 11/34	3 7 1 C	5 M 0 2 4	
H 01 L 21/8242 (2006.01)	G 11 C 29/00	6 3 1 D		

審査請求 未請求 請求項の数 7 O L (全 43 頁) 最終頁に続く

(21) 出願番号 特願2016-35144 (P2016-35144)
 (22) 出願日 平成28年2月26日 (2016. 2. 26)
 (31) 優先権主張番号 特願2015-36768 (P2015-36768)
 (32) 優先日 平成27年2月26日 (2015. 2. 26)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 筒井 直昭
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 F ターム (参考) 5B018 GA01 GA02 HA22 NA10
 5F083 AD02 AD06 AD21 AD24 AD69
 GA01 GA05 GA06 GA11 GA25
 HA02 JA02 JA03 JA04 JA05
 JA06 JA12 JA19 JA36 JA37
 JA38 JA39 JA40 JA42 JA60
 LA21 MA06 MA16 MA19 NA01
 PR07 PR21 PR22 PR25 PR33
 ZA01

最終頁に続く

(54) 【発明の名称】 メモリシステム、および情報処理システム

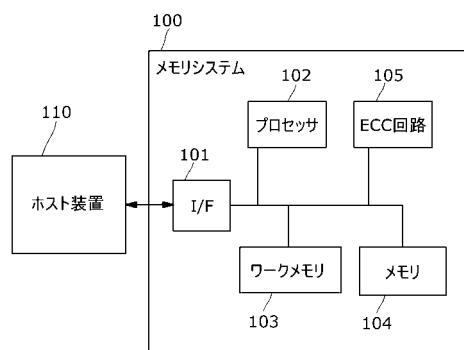
(57) 【要約】

【課題】エラー検出訂正(ECC)回路を搭載したメモリシステムを提供する。

【解決手段】メモリシステムは、メモリ、ECC回路、およびプロセッサを有する。プロセッサは、メモリシステム全体の動作を制御する。メモリは、ユーザデータ領域および管理領域を有する。管理領域には、管理テーブルとして、ユーザデータ領域のブロック別にアクセス情報が格納されている。アクセス情報の値は、アクセス回数が0であることを表す第1の値か、アクセス回数が1以上であることを表す第2の値かのいずれかである。ブロックのアクセス情報が第1の値である場合、該当するブロックに対してエラー訂正が行われ、第2の値である場合、該当するブロックのエラー検出および訂正が行われない。

【選択図】図1

FIG. 1



【特許請求の範囲】**【請求項 1】**

メモリ、回路、およびプロセッサを有するメモリシステムであって、
前記メモリは、ユーザデータ領域と、管理領域とを有し、
前記ユーザデータ領域は、複数のブロックに分割され、
前記回路は、前記複数のブロック内のブロックから読み出されたデータのエラー検出
および訂正をする機能を有し、
前記管理領域には、管理テーブルとして、前記複数のブロック別にアクセス情報が格納
され、
前記アクセス情報の値は、アクセス回数が 0 であることを表す第 1 の値か、前記アクセス
回数が 1 以上であることを表す第 2 の値かのいずれかをとり、
前記プロセッサは、
前記アクセス情報の値を決定する機能と、
前記管理領域に対する書き込み、および読み出しを制御する機能と、
前記ユーザデータ領域に対する書き込み、および読み出しを制御する機能と、
前記回路を制御する機能と、
を有し、

前記プロセッサは、前記ブロックの前記アクセス情報が前記第 2 の値である場合、前記
ブロックから読み出したデータのエラー検出および訂正を前記回路に実行させない制御を
するメモリシステム。

【請求項 2】

請求項 1 において、
前記プロセッサは、前記回路でエラー検出および訂正が実行されると、該当するブロッ
クの前記アクセス情報を前記第 2 の値にするための制御をするメモリシステム。

【請求項 3】

請求項 1 又は 2 において、
前記プロセッサは、前記ユーザデータ領域に書き込みアクセスがあると、該当するブロッ
クの前記アクセス情報を前記第 2 の値にするための制御をするメモリシステム。

【請求項 4】

請求項 1 乃至 3 の何れか一項において、
電源がオンになると、前記プロセッサは、前記管理テーブルを前記第 1 の値で初期化す
るための制御をするメモリシステム。

【請求項 5】

請求項 1 乃至 4 の何れか一項において、
電源をオフにするときに、前記アクセス情報が前記第 1 の値である前記ブロックがある
場合、前記プロセッサは、前記回路において当該ブロックのデータのエラー検出および訂
正がされるための制御をするメモリシステム。

【請求項 6】

請求項 1 乃至 5 の何れか一項において、
前記メモリは、複数のメモリセルを有し、
前記複数のメモリセルのそれぞれは、保持ノードと、前記保持ノードの充放電を制御で
きるトランジスタとを有し、
前記トランジスタのチャネル形成領域は酸化物半導体を有するメモリシステム。

【請求項 7】

請求項 1 乃至 6 の何れか一項に記載のメモリシステムと、
ホスト装置と、
を有し、
前記ホスト装置が前記ユーザデータ領域にアクセス可能なように、前記ホスト装置と前
記メモリシステムとが接続されている情報処理システム。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

本出願の明細書、図面、および特許請求の範囲（以下、「本明細書等」と呼ぶ。）では、メモリシステム、情報処理システム、電子部品、および電子機器などの半導体装置、ならびに、これらの動作方法、作製方法等が開示される。例えば、本発明の一形態の技術分野は、記憶装置、処理装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、入力装置、撮像装置、スイッチ回路（例えば、パワースイッチ、配線スイッチ等）、それらの動作方法、または、それらの作製方法等である。

【0002】

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用して機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

10

【背景技術】**【0003】**

ランダムアクセスメモリ（RAM）のメモリセルとして、1T1C（1トランジスタ1容量素子）型、2T型および3T型等のメモリセルが知られている。これらのメモリセルは、書き込みトランジスタによって保持ノードを充放電することによってデータを記憶している。

20

【0004】

これらのメモリセルの書き込みトランジスタに、チャネル形成領域が酸化物半導体で形成されているトランジスタ（以下、「酸化物半導体トランジスタ」または「OSトランジスタ」と呼ぶ場合がある。）を適用することが提案されている。例えば、特許文献1には、書き込みトランジスタをOSトランジスタとすることで、電力が供給されない状況でもデータ保持が可能なメモリセルが記載されている。OSトランジスタを用いたメモリは、不揮発性メモリとして使用することが可能である。

【0005】

不揮発性メモリとしてフラッシュメモリが知られている。フラッシュメモリの書換え可能回数には上限があり、一般に、 1×10^5 回程度であるといわれている。フラッシュメモリは、書換え回数を重ねることで、アクセス時のエラー発生率が上昇するので、書き換え回数がその寿命に大きく影響する。フラッシュメモリの寿命を延ばすために、エラー検出訂正（ECC：Error Check and Correct）回路をフラッシュメモリに搭載して、不良ビットのデータを修復することが広く採用されている（例えば、特許文献2参照）。フラッシュメモリの1ブロックのビット数が大きいほど、エラー訂正に必要な冗長ビットの数が相対的に小さくなり、記憶領域の利用効率は高くなる。一般的には、メモリは数十ビットから数万ビットのブロック単位でアクセスされ、エラー検出および訂正が行われる。

30

【先行技術文献】

40

【特許文献】**【0006】**

【特許文献1】特開2011-187950号公報

【特許文献2】特開2011-221996号公報

【発明の概要】**【発明が解決しようとする課題】****【0007】**

しかしながら、フラッシュメモリの1ブロックのビット数が大きくなればなるほど、エラー検出および訂正にかかる時間が長くなるため、フラッシュメモリへのアクセス時間も長くなってしまう。また、フラッシュメモリを制御するロジック回路の規模も大きくなり、

50

消費電力が大きくなるという課題がある。

【0008】

そこで、本発明の一形態の課題は、アクセス速度を向上すること、または消費電力を低減することである。本発明の一形態の課題は、OSトランジスタを用いた新規なメモリシステム、またはOSトランジスタを用いた新規なメモリシステムの動作方法の提供である。または、本発明の一形態の課題は、新規な半導体装置、または同動作方法の提供である。

【0009】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

10

【課題を解決するための手段】

【0010】

本発明の一形態は、メモリ、回路、およびプロセッサを有するメモリシステムであって、メモリは、ユーザデータ領域と、管理領域とを有し、ユーザデータ領域は、複数のロックに分割され、回路は、ロックから読み出されたデータのエラー検出および訂正をする機能を有し、管理領域には、管理テーブルとして、複数のロック別にアクセス情報が格納され、アクセス情報の値は、アクセス回数が0であることを表す第1の値か、アクセス回数が1以上であることを表す第2の値かのいずれかをとり、プロセッサは、アクセス情報の値を決定する機能と、管理領域に対する書き込みおよび読み出しを制御する機能と、ユーザデータ領域に対する書き込みおよび読み出しを制御する機能と、回路を制御する機能とを有し、プロセッサは、ロックのアクセス情報が第1の値である場合、該当するロックから読み出したデータのエラー検出及び訂正を回路に実行させない制御をするメモリシステムである。

20

【0011】

上記の形態において、プロセッサは、回路でエラー検出および訂正が実行されると、該当するロックのアクセス情報を第2の値にするための制御をしてよい。あるいは、電源がオンになると、プロセッサは、管理テーブルを第1の値で初期化するための制御をしてよい。あるいは、電源をオフにするときに、アクセス情報が第2の値であるロックがある場合、プロセッサは、回路において当該ロックのデータのエラー検出および訂正がされるための制御をしてよい。

30

【0012】

上記の形態において、メモリは複数のメモリセルを有し、メモリセルは、保持ノードと、保持ノードの充放電を制御できるトランジスタとを有し、トランジスタはチャネル形成領域が金属酸化物で形成されていてもよい。

30

【0013】

本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

40

【0014】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子として機能する端子である。ソースまたはドレインとして機能する2つの入出力端子は、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合がある。

50

【 0 0 1 5 】

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【 0 0 1 6 】

電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは相対的なものである。よって、GNDと記載されていても、必ずしも0Vを意味しない場合もある。

【 0 0 1 7 】

本明細書等において、「第1」、「第2」、「第3」などの序数詞は、順序を表すために使用される場合がある。または、構成要素の混同を避けるために使用する場合があり、この場合、序数詞の使用は構成要素の個数を限定するものではなく、順序を限定するものでもない。また、例えば、「第1」を「第2」または「第3」に置き換えて、発明の一形態を説明することができる。

【 0 0 1 8 】

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を「絶縁層」という用語に変更することが可能な場合がある。

【 0 0 1 9 】

図面において、構成を明瞭化するため、あるいは説明の便宜のために、構成の大きさ、厚さ、太さ、長さ等が誇張されている場合がある。また、図面は、理想的な例を模式的に示したものであり、本発明の一形態は、図面に示す形状又は値などに限定されない。図面の記載は、例えば、ノイズによる電圧や電流のばらつき、又は、タイミングのずれによる電圧や電流のばらつきなどを含むことが可能である。

【 0 0 2 0 】

また、本発明の一形態の回路配置や回路構成は、図面に記載したブロック図に限定されない。ブロック図において、複数の回路ブロックで行う処理を、実際の半導体装置において1の回路で実現しうるよう設けられていてもよい。また、ブロック図において1の回路ブロックで行う処理を、実際の半導体装置において、複数の回路で実現しうるよう設けられていてもよい。

【 0 0 2 1 】

構成の位置関係は、構成を描写する方向に応じて適宜変化するものである。よって、図面を参照して本発明の一形態を記述するために、「上に」、「下に」などの位置関係を表現するための語句が便宜上用いられている場合がある。従って、本明細書等の記載に限定されず、構成の位置関係は、状況に応じて、適切に言い換えることができる。

【 発明の効果 】**【 0 0 2 2 】**

本発明の一形態によって、アクセス速度を向上することが可能となる。または、消費電力を低減することが可能となる。または、本発明の一形態によって、OSトランジスタを用いた新規なメモリシステム、またはOSトランジスタを用いた新規なメモリシステムの動作方法、新規な半導体装置、または新規な半導体装置動作方法等を提供することが可能となる。

【 0 0 2 3 】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【 図面の簡単な説明 】

10

20

30

40

50

【0024】

- 【図1】メモリシステムの構成例を示すブロック図。
- 【図2】メモリの構成例を示すブロック図。
- 【図3】A-G:メモリセルの構成例を示す回路図。
- 【図4】メモリセルの動作方法例を示すタイミングチャート。
- 【図5】A:メモリの記憶領域の構成例を示すブロック図。B:ユーザデータ領域の構成例を示す模式図。C:ECC管理テーブルの構成例を示す模式図。
- 【図6】メモリシステムの動作例を示すフローチャート。
- 【図7】メモリシステムの動作例を示すフローチャート。
- 【図8】メモリシステムの動作例を示すフローチャート。
- 【図9】メモリシステムの動作例を示すフローチャート。
- 【図10】メモリシステムの動作例を模式的に示す図。A:実施の形態1。B:比較例。
- 【図11】A-E:リムーバブル記憶装置の構成例を示す模式図。
- 【図12】情報処理システムの構成例を示すブロック図。
- 【図13】A-F:電子機器の構成例を示す模式図。
- 【図14】A-G:情報端末の構成例を示す模式図。
- 【図15】トランジスタの構成例を示す図。A:上面図。B:y1-y2線断面図。C:x1-x2線断面図。D:x3-x4線断面図。
- 【図16】A:図15Bの部分拡大図。B:トランジスタのエネルギーバンド図。
- 【図17】A-C:トランジスタの構成例を示す断面図。
- 【図18】トランジスタの構成例を示す図。A:上面図。B:y5-y6線断面図。C:x5-x6線断面図。
- 【図19】メモリセルのデバイス構造を模式的に示す回路図。
- 【図20】メモリセルのレイアウト例を示す分解平面図。
- 【図21】図20のx11-x12線およびy11-y12線による断面図。
- 【図22】メモリセルアレイのデバイス構成例を示す断面図。
- 【図23】A、B:トランジスタの構成例を示す断面図。

【発明を実施するための形態】

【0025】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0026】

以下に示される複数の実施の形態は適宜組み合わせることが可能である。また1の実施の形態の中に、複数の構成例(作製方法例、動作方法例等も含む。)が示される場合は、互い構成例を適宜組み合わせること、および他の実施の形態に記載された1または複数の構成例と適宜組み合わせることも可能である。

【0027】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0028】

また、同じ符号を用いる場合、特に、その中でも区別する必要があるときには、符号に”_1”、“_2”、“<j>”、“[i]”等の識別用の符号を付記して記載する場合がある。例えば、複数の配線WLを個々に区別する場合、アドレス番号(行番号)を利用して、2行目の配線WLを配線WL_2と記載する場合がある。

【0029】

本明細書において、例えば、高電源電位VDDを、電位VDD、VDD等と省略して記載する場合がある。これは、他の構成要素(例えば、信号、電圧、回路、素子、電極、配線

10

20

30

40

50

等)についても同様である。

【0030】

[実施の形態1]

本実施の形態では、OSトランジスタが適用されたメモリシステム、およびその動作方法等について説明する。

【0031】

<<メモリシステムの構成例>>

図1は、メモリシステムの構成例を示すブロック図である。メモリシステム100は、ホスト装置110のアクセス要求に応じて、データの書き込み、データの読み出しを行う機能を有する。メモリシステム100は、インターフェース(I/F)101、プロセッサ102、ワークメモリ103、メモリ104、およびECC回路105を有する。
10

【0032】

I/F101は、ホスト装置110との通信を行うためのインターフェースである。プロセッサ102は、メモリシステム100全体の動作を制御する。ワークメモリ103は、プロセッサ102が処理を実行するのに必要なデータを一時的に保存するためのメモリである。ワークメモリ103には、例えば、SRAM、DRAM等のメモリを用いることができる。メモリ104は、OSトランジスタが用いられたメモリセルを有する。ECC回路105は、メモリ104のエラー検出訂正を行うための回路である。例えば、ECC回路105は、BCH符号、 Reed-Solomon符号、CRC符号などを用いたエラー訂正機能を有する。
20

【0033】

<メモリ104の構成>

図2はメモリ104の構成例を示すブロック図である。メモリ104は、メモリセルアレイ120、行ドライバ121、および列ドライバ122を有する。メモリセルアレイ120は、メモリセル125、配線WL、および配線BLを有する。複数のメモリセル125は、行列状に配置されている。同じ行のメモリセル125は、当該行の配線WLと電気的に接続され、同じ列のメモリセル125は、当該列の配線BLと電気的に接続されている。
。

【0034】

配線WLは、ワード線として機能することができる。配線WLは行ドライバ121に電気的に接続されている。行ドライバ121は、アクセス要求されたメモリセル125を選択状態にするための信号を配線WLに出力する機能を有する。配線BLは、ビット線として機能することができる。配線BLは列ドライバ122と電気的に接続されている。列ドライバ122は、ビット線をコンディショニングする(例えば、プリチャージする)機能、選択状態のメモリセル125にデータを書き込む機能、および同メモリセル125からデータを読み出す機能を有する。メモリセルアレイ120の回路構成や、その動作方法によって、行ドライバ121、および列ドライバ122に別の機能が追加され、または動作に必要のない機能は除かれる。
30

【0035】

<メモリセル>

図3に、メモリセルの回路構成例を示す。図3に示すメモリセル151-155は、メモリセル125に適用することができ、書き込みトランジスタがOSトランジスタである。OSトランジスタはオフ電流が極めて小さいため、図3に示すメモリセルは、不揮発性のメモリデバイスとして機能する。
40

【0036】

ここでいうオフ電流とは、トランジスタがオフ状態のときにソースとドレインとの間に流れる電流をいう。トランジスタがnチャネル型である場合、例えば、閾値電圧が0V乃至2V程度であれば、ゲートとソース間の電圧が負の電圧であるときのソースとドレインとの間に流れる電流をオフ電流と呼ぶことができる。また、オフ電流が極めて小さいとは、例えば、チャネル幅1μmあたりのオフ電流が100zA(z;ゼット、 10^{-21})以
50

下であることをいう。オフ電流は小さいほど好ましいため、この規格化されたオフ電流が $10 z \text{ A} / \mu\text{m}$ 以下、あるいは $1 z \text{ A} / \mu\text{m}$ 以下とすることが好ましく、 $10 y \text{ A} / \mu\text{m}$ (y ; ヨクト、 10^{-24})以下であることがより好ましい。

【0037】

酸化物半導体のバンドギャップは 3.0 eV 以上であるため、OSトランジスタは熱励起によるリーク電流が小さく、また上掲のようにオフ電流が極めて小さい。OSトランジスタのチャネル形成領域は、インジウム(In)および亜鉛(Zn)の少なくとも一方を含む酸化物半導体であることが好ましい。このような酸化物半導体としては、 $\text{In}-\text{M}-\text{Zn}$ 酸化物(元素Mは、例えば Al 、 Ga 、 Y または Sn である。)が代表的である。電子供与体(ドナー)となる水分または水素等の不純物を低減し、かつ酸素欠損も低減することで、酸化物半導体をi型(真性半導体)にする、あるいはi型に限りなく近づけることができる。ここでは、このような酸化物半導体は高純度化された酸化物半導体と呼ぶことができる。高純度化された酸化物半導体を適用することで、チャネル幅で規格化されたOSトランジスタのオフ電流を数 $y \text{ A} / \mu\text{m}$ 以上数 $z \text{ A} / \mu\text{m}$ 以下程度に低くすることができる。OSトランジスタ、および酸化物半導体については、実施の形態4、5で説明する。

10

【0038】

(1T1C)

図3Aのメモリセル151は1T1C型のメモリセルであり、ノードSN1、トランジスタTW1、容量素子CS1を有する。ノードSN1は保持ノードである。容量素子CS1は、ノードSN1の電荷を保持するための保持容量である。トランジスタTW1は書き込みトランジスタであり、OSトランジスタである。トランジスタTW1は配線BLとノードSN1との間の導通状態を制御する機能を有する。トランジスタTW1のゲートは配線WLと電気的に接続されている。

20

【0039】

トランジスタTW1をオフにすることで、ノードSN1が電気的に浮遊状態となるので、メモリセル151はデータ保持状態となる。トランジスタTW1がOSトランジスタであることにより、ノードSN1からの電荷のリークが抑えられるため、メモリセル151で長時間データを保持することが可能である。

30

【0040】

図3B、図3Cに示すように、書き込みトランジスタに、バックゲートを有するトランジスタTW2、TW3を適用することができる。トランジスタTW2、TW3もOSトランジスタである。

【0041】

図3Bのメモリセル152では、トランジスタTW2のバックゲートは、配線BGLと電気的に接続されている。配線BGLの電位によって、トランジスタTW2のしきい値電圧を制御することができる。トランジスタTW2のバックゲートとチャネル形成領域との間の絶縁層に電荷蓄積層を設けた場合、メモリセル152の作製時に、配線BGLを利用して、トランジスタTW2の電荷蓄積層に電荷を注入する工程を行うこともできる。この工程を行った場合は、配線BGLの電位を制御せずに、トランジスタTW2のバックゲートを電気的に浮遊状態にして、メモリセル152を動作させてもよい。

40

【0042】

図3Cのメモリセル153では、トランジスタTW3のバックゲートはゲートと電気的に接続されている。トランジスタTW3をこのようなデバイス構造とすることで、オン電流を大きくすることができる。また、トランジスタTW3のバックゲートは、ゲート、ソースまたはドレインの何れかに電気的に接続してもよい。

【0043】

(2T)

図3Dのメモリセル154は2T型のメモリセルであり、配線WWL、RWL、BL、SLと電気的に接続されている。配線WWLは書き込みワード線であり、配線RWLは読み

50

出しワード線であり、それぞれ行ドライバ 121 から信号が入力される。配線 S L には、列ドライバ 122 から信号が入力される。

【0044】

メモリセル 154 は、ノード S N 1、容量素子 C S 1、およびトランジスタ T W 1、T R 1 を有する。トランジスタ T R 1 は読み出しひんじすたであり、配線 B L と配線 S L の間の導通状態を制御する。トランジスタ T W 1 のゲートは配線 W W L と電気的に接続されている。容量素子 C S 1 はノード S N 1 と配線 R W L とに電気的に接続されている。配線 R W L には一定電位を入力してもよいし、メモリセル 154 の選択状態、および非選択状態に合わせて、配線 R W L の電位を制御してもよい。

【0045】

また、メモリセル 154 を用いる場合、図 3 E に示すように、ビット線（配線 B L ）を書き込み用ビット線（配線 W B L ）と、読み出しひんじすた（配線 R B L ）とに分離することもできる。この場合、トランジスタ T W 1 は配線 W W L とノード S N 1 の間の導通状態を制御し、トランジスタ T R 1 は配線 R W L と配線 S L の間の導通状態を制御する。

【0046】

メモリセル 154 において、トランジスタ T W 1 を、トランジスタ T W 2 またはトランジスタ T W 3 と置き換えるてもよい。また、トランジスタ T R 1 を n チャネル型トランジスタとしてもよい。

【0047】

(3 T)

図 3 F のメモリセル 155 は 3 T 型のメモリセルであり、配線 W W L 、 R W L 、 B L 、 S L 、 C N L と電気的に接続されている。メモリセル 155 は、ノード S N 1 、容量素子 C S 1 、トランジスタ T W 1 、 T R 2 、 T R 3 を有する。容量素子 C S 1 は、ノード S N 1 と配線 C N L の間を容量結合している。配線 C N L には固定電位を入力してもよいし、メモリセル 155 の選択状態、および非選択状態に合わせて、配線 C N L の電位を制御してもよい。配線 B L と配線 S L の間に、トランジスタ T R 2 とトランジスタ T R 3 は直列に電気的に接続されている。トランジスタ T R 2 のゲートはノード S N 1 と電気的に接続され、トランジスタ T R 3 のゲートは配線 R W L と電気的に接続されている。

【0048】

また、メモリセル 155 を用いる場合、図 3 G に示すように、ビット線（配線 B L ）を書き込み用ビット線（配線 W B L ）と、読み出しひんじすた（配線 R B L ）とに分離することもできる。この場合、トランジスタ T W 1 は配線 W W L とノード S N 1 の間の導通状態を制御し、トランジスタ T R 2 およびトランジスタ T R 3 は配線 R B L と配線 S L の間に直列に電気的に接続される。

【0049】

メモリセル 155 において、トランジスタ T W 1 を、トランジスタ T W 2 またはトランジスタ T W 3 と置き換えるてもよい。また、トランジスタ T R 2 、 T R 3 を p チャネル型トランジスタとしてもよい。

【0050】

メモリセル 154 のトランジスタ T R 1 、並びにメモリセル 155 のトランジスタ T R 2 、 T R 3 には、特段の制約はなく、例えば、シリコンウエハから形成される S i トランジスタとすることができます。トランジスタ T R 1 - T R 3 を n チャネル型トランジスタとする場合は、 O S トランジスタとしてもよい。

【0051】

<メモリセルの動作例>

ここでは、代表的に、メモリセル 155 の駆動方法の一例を説明する。図 4 はメモリセル 155 の動作例を示すタイミングチャートである。図 4 において、配線 W W L 、 R W L 、 W B L 、 R B L 、 S L 、 C N L の低（L）レベルの電位は、 V S S M としている。V S S M は接地電位（G N D ）や、 0 V とすればよい。配線 W W L の高（H）レベルの電位は V D D H であり、配線 R W L 、 W B L 、 R B L 、 S L 、 C N L の高（H）レベルの電位は V

10

20

30

40

50

DDMである。ここでは、トランジスタTW1のしきい値電圧がトランジスタTR2、TR3よりも高いこととし、そのため、VDDHはVDDMよりも高い。

【0052】

期間P1、P3、P5はスタンバイ(Standby)期間である。期間P1、P3、P5では、配線RWL、WWL、CNL、RBL、SLはLレベルとされる。全ての行のメモリセル155は非選択状態である。ここでは、メモリセル155の記憶容量は1ビットとする。期間P1において、“1”を保持しているノードSN1はHレベルであり、“0”を保持しているノードSN1はLレベルである。

【0053】

<書き込み動作>

期間P2は書き込み期間である。選択行の配線WWLをHレベルにして、トランジスタTW1をオンにする。メモリセル155に“1”を書き込む場合は、配線WBLをHレベルにし、“0”を書き込む場合は、配線WBLをLレベルにする。選択されたメモリセル155において、ノードSN1の電位は、配線WBLの電位に応じて、VDDMまたはVSMとなる。

【0054】

次に、配線WWLをLレベルにして、トランジスタTW1をオフにする。ノードSN1は電気的に浮遊状態となり、メモリセル155は保持状態となる。なお、配線WWLとノードSN1とが容量結合しているため、トランジスタTW1がオフ状態となることで、ノードSN1の電位は若干低下する。配線WBLをLレベルにすることで、書き込み動作が終了する。ノードSN1を浮遊状態にしてから、配線WBLをLレベルにすることで、ノードSN1の電位の変動を抑えることができる。

【0055】

<読み出し動作>

期間P4は読み出し期間である。まず、配線RBLをプリチャージして、Hレベルにする。次に、非選択行の配線RWLはLレベルのままとし、選択行の配線RWLをHレベルにする。選択されたメモリセル155のトランジスタTR3はオンとなる。ノードSN1が“0”を保持している場合は、トランジスタTR2がオフであるので、配線RBLはHレベルのままである。ノードSN1が“1”を保持している場合は、トランジスタTR2がオンとなるので、配線RBLの電位は低下する。配線RWLをLレベルにして、トランジスタTR3をオフにすることで、読み出し動作が終了する。列ドライバ122は、期間P4の配線RBLの電位に基づいて、メモリセル155から読み出したデータが“0”か“1”を決定する。

【0056】

<<メモリ104の記憶領域>>

図5を参照して、メモリ104の記憶領域の構成を説明する。図5Aに、メモリ104の記憶領域の構成例を示す。メモリ104は、ユーザデータ領域130、ファームウェア領域131、ECC管理領域132を有する。

【0057】

ユーザデータ領域130は、ホスト装置110がアクセス可能なデータ領域である。ユーザデータ領域130には、ホスト装置110の書き込みアクセスによってデータが書き込まれる。ユーザデータ領域130が記憶しているデータは、ホスト装置110の読み出しみずにより、読み出される。

【0058】

図5Bにユーザデータ領域130の構造を模式的に示す。ユーザデータ領域130は、ブロックと呼ばれる基本単位で複数に分割されている。ホスト装置110は、ブロック単位でユーザデータ領域130にアクセスする。ここでは、ユーザデータ領域130のブロックを「ブロックUB」と呼ぶこととする。例えば、図5Bに示すユーザデータ領域130は、複数のブロックUB(UB[1] - UB[K], Kは2以上の整数)で構成されている。1のブロックUBの長さは、数十ビット乃至数千ビットとすることができる。

10

20

30

40

50

【0059】

ファームウェア領域131は、ファームウェアを保存するための記憶領域である。ファームウェアは、プロセッサ102がメモリシステム100を制御する方法を定義するプログラムである。ホスト装置110のアクセス要求を処理するため、プロセッサ102は、ファームウェア領域131に記憶されたファームウェアに従い、メモリシステム100全体の動作を制御する。

【0060】

ECC管理領域132は、ECC管理テーブル135(図5C)として用いられる。ECC管理テーブル135には、ブロックUB[1] UB[K]のアクセス履歴に関する情報が格納される。別言すると、ECC管理テーブル135には、エラー検出訂正の要否を判定するための情報が、ブロックUB[1] UB[K]と関連付けされて、格納されている。

10

【0061】

図5CにECC管理テーブル135の一例を示す。ECC管理テーブル135は、ブロックUBごとに1ビットの情報を格納している。“0”は、電源がオンになってからのアクセス回数が0であることを示しており、また、エラー検出訂正が必要であることを示す。“1”は、電源がオンになってからのアクセス回数が1以上であることを示しており、また、エラー検出訂正が必要ないことを示している。

【0062】

なお、ECC管理テーブル135では、ブロックUBごとに1ビットのブロックを割り当てているが、2ビット以上のブロックを割り当てることもできる。ECC管理テーブル135のビット長が小さいほど、ユーザデータ領域130を大きくできるので、好ましい。

20

【0063】

メモリセル125は、保持ノードの充放電によってデータを記憶するため、原理的に劣化しない。そのため、メモリ104は、フラッシュメモリよりも劣化に起因するエラーが発生しにくい。また、書き込みトランジスタにOSトランジスタが用いられているため、メモリセル125はソフトエラー耐性が高い。よって、メモリシステム100において、読み出しアクセス毎にエラー訂正との必要性は低い。他方、メモリ104であっても、素子の電気特性のばらつき等の影響で、保持時間が長期化することによってエラー発生率が高くなる可能性がある。そのため、エラー訂正是、メモリ104の保持特性および信頼性の向上に非常に有効である。

30

【0064】

そこで、本実施の形態では、ECC管理テーブル135を利用して、ECC回路105によるエラー訂正の要否を決定できるように、メモリシステム100を構成することで、信頼性と実行速度とを両立する、または信頼性と電力低減とを両立する。以下に、メモリシステム100の動作例を示すことで、このことを説明する。

40

【0065】

<<メモリシステムの動作例>>

図6-図10Bを参照して、メモリシステム100の動作例について説明する。各フローチャートに示される動作は、ファームウェア領域131に記憶されているファームウェアによって定義されている。プロセッサ102がファームウェアを実行することで、定義されている処理が実行されるように、メモリシステム100の各回路が動作する。

40

【0066】

<電源オン>

図6は、電源をオンにした際のメモリシステム100の動作例を示すフローチャートである。電源がオンになると、プロセッサ102は、メモリ104にアクセスして、ECC管理テーブル135の全てのビットを“0”に初期化する(ステップS11)。

【0067】

<書き込みアクセス>

図7は、ホスト装置110の書き込みアクセスに対するメモリシステム100の動作例を

50

示すフローチャートである。ここでは、ホスト装置 110 から送信された書き込みデータをデータ WDA と呼ぶこととする。書き込み要求があると、プロセッサ 102 は、ECC 回路 105において、データ WDA の冗長ビットを計算させる（ステップ S21）。次に、プロセッサ 102 は、メモリ 104 を制御して、ユーザデータ領域 130 および ECC 管理テーブル 135 を更新する。ユーザデータ領域 130 に、データ WDA およびステップ S21 で得られた冗長ビットを書き込む（ステップ S22）。ステップ S22 でデータを書きこんだロック UB に対応する ECC 管理テーブル 135 のビットを“1”にする（ステップ S23）。最後に、プロセッサ 102 は、I/F 101 を介して書き込み完了信号をホスト装置 110 に送信する（ステップ S24）。

【0068】

10

<読み出しアクセス>

図 8 は、ホスト装置 110 の読み出しアクセスに対するメモリシステム 100 の動作例を示すフロー チャートである。ホスト装置 110 は、読み出し要求信号、アドレスを I/F 101 に送信する。読み出し要求信号を受信すると、プロセッサ 102 は、メモリ 104 を制御し、ホスト装置 110 から送信されたアドレスが指定するロック UB [r] からデータを読み出し（ステップ S31）、ECC 管理テーブル 135 から、ロック UB [r] に対応するビットを読み出す（ステップ S32）。なお、r は 1 以上 K 以下の整数である。

【0069】

20

次に、ステップ S32 で読み出したビットの値が“0”か“1”であるかを判定する（ステップ S33）。ビットの値が“1”であれば、ステップ S32 で読み出したデータを I/F 101 を介してホスト装置 110 に送信し（ステップ S37）、動作を完了する。

【0070】

30

ビットの値が“1”でなければ、ECC 回路 105 で、読み出したデータに対してエラー検出訂正がされる（ステップ S34）。次に、プロセッサ 102 は、メモリ 104 を制御し、ユーザデータ領域 130 および ECC 管理テーブル 135 を更新する。ステップ S34 でエラー訂正されたデータがロック UB [r] に書き戻される（ステップ S35）。ロック UB [r] に対応する ECC 管理テーブル 135 のビットを“1”にする（ステップ S36）。最後に、エラー訂正されたデータをホスト装置 110 に送信し（ステップ S37）、動作を終了する。

【0071】

つまり、同じロック UB [r] への 2 回目以降の読み出しアクセスでは、エラー検出訂正の一連の処理（ステップ S34 - S36）が省略される。

【0072】

ステップ S34 において、読み出しデータにエラーが検出されない場合は、ステップ S35 では、読み出したデータをロック UB [r] に書き戻される。つまり、ステップ S35、S36 を実行することで、アクセスされたロック UB [r] がリフレッシュされることとなり、データ保持の信頼性が強化される。

【0073】

40

なお、メモリ 104 は劣化によるエラーが発生しにくいことから、ステップ S34 でエラーが検出されない場合、ステップ S35 を実行せずに、ステップ S36 を実行してもよい。これにより、アクセス時間の短縮、および消費電力の削減になる。そのため、メモリシステム 100 が省電力モードであるときや、バッテリで駆動されているときは、このようにメモリシステム 100 を動作させてもよい。

【0074】

図 10A に、読み出しアクセスに対するメモリシステム 100 の動作例を模式的に示し、図 10B に、比較例として、フラッシュメモリの動作例を模式的に示す。図 10A、図 10B には、ロック UB [1] - UB [5] に対する読み出しアクセスに対する、メモリシステム 100 およびフラッシュメモリの動作を模式的に示している。

【0075】

50

フラッシュメモリでは、ブロックUB[1] - UB[5]は読み出しアクセスされる毎に、エラー検出訂正(ECC)が行われる(図10B)。これに対して、メモリシステム100では、ブロックUB[1] - UB[5]への最初の読み出しアクセスに対して、ECCが行われ、2回目以降の読み出しアクセスでは、ECCは行われない(図10A)。図10A、図10Bは、本実施の形態によって、メモリシステムのアクセス速度の向上と、消費電力の低減が可能であることを示している。

【0076】

<電源オフ>

図9は、メモリシステム100の電源をオフにする際のプロセッサ102の動作例を示すフローチャートである。メモリシステム100では、電源をオフする前に、ECC管理テーブル135を利用して、1回もアクセスされなかったユーザデータ領域130のブロックUBを見つけ、見つけたブロックUBに対して、ECC回路105でエラー検出訂正が行われる。これにより、メモリシステム100のデータ保持の信頼性が強化される。

10

【0077】

電源をオフする前に、プロセッサ102は、ECC管理テーブル135を検索し、ビットの値が“0”であるブロックUB[x]を見つける(ステップS41、S42)。該当するブロックUB[x]が見つからない場合は、動作を完了する。しかし後、メモリシステム100の電源がオフになる。なお、xは1以上K以下の整数である。

20

【0078】

該当するブロックUB[x]が見つかった場合、読み出しアクセス時のエラー検出訂正処理(図8のステップS34 - S36)と同様の処理が実行される。つまり、ブロックUB[x]からデータを読み出し(ステップS43)、読み出しデータに対してエラー検出訂正を行う(ステップS44)。エラー訂正されたデータをブロックUB[x]に書き戻す(ステップS45)。ブロックUB[x]に対応するECC管理テーブル135のビットを“1”にする(ステップS46)。ECC管理テーブル135の全てのビットを“1”にするまで、ステップS42 - S46が繰り返される。

20

【0079】

また、メモリシステム100においては、ECC管理領域132を構成する各メモリセル125は、ユーザデータ領域130を構成するメモリセル125のリークモニタ回路の機能を持つこととなる。例えば、ECC管理テーブル135のブロックUB[1]用のビットに“1”が書き込まれてから長時間経つと、このビットを構成するメモリセル125から蓄積電荷がリークして、ビットの値が“0”となる場合がある。これは、ブロックUB[1]で保持しているデータにエラーが発生している可能性を示している。この場合、ブロックUB[1]に読み出しアクセスがあれば、ECC管理テーブル135の該当するビットの値が“0”であるので、ブロックUB[1]のデータに対してエラー検出訂正が実行されるので、読み出しデータの信頼性は確保される。

30

【0080】

例えば、容量素子CS1からリークする電荷量が、ECC管理領域132を構成するメモリセル125のほうがユーザデータ領域130を構成するメモリセル125よりも多くなるように、前者と後者のメモリセル125とで素子構造を変えてもよい。このようにすることで、ユーザデータ領域130に記憶されているデータが失われる前に、エラー検出訂正を確実に行うことができるため、データ保持の信頼性が強化される。

40

【0081】

上掲した通り、本実施の形態では、エラー訂正のタイミング、およびその頻度を適切化が可能となり、その結果で、データ保持の信頼性を確保しつつ、アクセス速度の向上、および消費電力の低減が可能となる。

【0082】

[実施の形態2]

本実施の形態では、メモリシステム100の応用例について説明する。メモリシステム100は、例えば、各種電子機器(例えば、情報端末、スマートフォン、電子書籍端末、デ

50

ジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）のストレージ装置に適用できる。または、メモリシステム100は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図11に、リムーバブル記憶装置の幾つかの構成例を模式的に示す。

【0083】

図11AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。基板1104には、メモリシステム100を構成する回路が設けられている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105には、メモリ104が組み込まれている。コントローラチップ1106は、プロセッサ102、ワークメモリ103、ECC回路105等が組み込まれている。USBコネクタ1103がI/F101を構成する。

10

【0084】

図11BはSDカードの外観の模式図であり、図11Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。コネクタ1112がI/F101を構成する。基板1113は筐体1111に収納されている。基板1113には、メモリシステム100を構成する回路が設けられている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。メモリチップ1114には、メモリ104が組み込まれている。コントローラチップ1115には、プロセッサ102、ワークメモリ103、ECC回路105等が組み込まれている。

20

【0085】

基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置110とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。

【0086】

図11DはSSDの外観の模式図であり、図11Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。コネクタ1152がI/F101を構成する。基板1153は筐体1151に収納されている。基板1153には、メモリシステム100を構成する回路が設けられている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1154には、メモリ104が組み込まれている。基板1153の裏面側にもメモリチップ1155を設けることで、SSD1150の容量を増やすことができる。メモリチップ1155にはワークメモリ103が組み込まれている。例えば、メモリチップ1155には、DRAMチップを用いればよい。コントローラチップ1156には、プロセッサ102、ECC回路105等が組み込まれている。コントローラチップ1156にも、ワークメモリ103として機能するメモリを設けてもよい。

30

【0087】

〔実施の形態3〕

本実施の形態では、ホスト装置110とメモリシステム100とを組み合わせた情報処理システムについて説明する。

【0088】

図12は、情報処理システムの構成例を示すブロック図である。情報処理システム1500は、メモリシステム1501およびホスト装置1502を有する。

【0089】

メモリシステム1501は、実施の形態1のメモリシステム100を適用することができ

40

50

る。メモリシステム 1501 は、例えば、ホスト装置 1502 のストレージ装置として用いられており、プログラム、映像データ、音響データ等の各種のデータを記憶する。

【0090】

ホスト装置 1502 は、ロジック部 1510、表示装置 1521、および入力装置 1522 を備える。

【0091】

ロジック部 1510 は、ホスト装置 1502 全体を制御する機能を有する。ロジック部 1510 は、プロセッサ 1511、メモリ部 1512、I/F 1513、およびバス 1514 を有する。バス 1514 により、プロセッサ 1511、メモリ部 1512 および I/F 1513 が相互に接続されている。プロセッサ 1511 は、演算装置および制御装置として機能し、ファームウェア等のプログラムに従って、ホスト装置 1502 内の各種装置の動作全般を制御する。プロセッサ 1511 には、CPU やマイクロプロセッサ (MPU) 等を用いることができる。メモリ部 1512 は、プロセッサ 1511 が実行するプログラムや、プロセッサ 1511 で処理したデータ等を記憶する。

10

【0092】

ロジック部 1510 は、I/F 1513 を介して、表示装置 1521、入力装置 1522、およびメモリシステム 1501 との通信を行う。例えば、入力装置 1522 からの入力信号は、I/F 1513 およびバス 1514 を経てロジック部 1510 に伝送される。

20

【0093】

表示装置 1521 は出力装置として設けられており、情報処理システム 1500 の表示部を構成する。また、ホスト装置 1502 は、表示装置 1521 の他に、スピーカ、プリンタ等の他の出力装置を備えていてもよい。または、ホスト装置 1502 は、表示装置 1521 を有さなくてよい。

【0094】

入力装置 1522 は、ロジック部 1510 にデータを入力するための装置である。使用者は入力装置 1522 を操作することにより、情報処理システム 1500 を操作することができる。入力装置 1522 には、様々なヒューマンインターフェースを用いることができ、複数の入力装置 1522 を情報処理システム 1500 に設けることができる。

30

【0095】

入力装置 1522 としては、タッチセンサ、キーボード、マウス、操作ボタン、マイクロフォン（音声入力装置）、カメラ（撮像システム）等がある。その他、音声、視線、ジェスチャ等を検出する装置をホスト装置 1502 に組み込んで、これらにより情報処理システム 1500 を操作するようにしてもよい。例えば、入力装置 1522 としてタッチセンサを設ける場合、このタッチセンサを表示装置 1521 に組み込んでもよい。

【0096】

情報処理システム 1500 は、メモリシステム 1501 およびホスト装置 1502 が 1 つの筐体に収められている態様であってもよいし、有線または無線で接続されている複数の装置で構成されている態様でもよい。例えば、前者の態様として、ノート型 PC（パーソナルコンピュータ）、タブレット型情報端末、電子書籍端末、スマートフォン、携帯電話、オーディオ端末、録画再生装置等がある。後者の形態として、デスクトップ型 PC、キーボード、マウスおよびモニタのセットがある。また、録画再生装置、音響機器（スピーカ、アンプ等）、およびテレビジョン装置を備える AV（音響映像）システムや、監視カメラ、表示装置、および録画用記憶装置を備える監視システム等がある。

40

【0097】

図 13 に、情報処理システム 1500 の具体例として、いくつかの電子機器を模式的に示す。図 13 に示す情報処理システムの筐体にメモリシステム 1501 が内蔵されている。

【0098】

図 13A に示す携帯型ゲーム機 1700 は、筐体 1701、筐体 1702、表示部 1703、表示部 1704、マイクロフォン 1705、スピーカ 1706、および操作ボタン 1707 等を有する。

50

【0099】

図13Bに示すビデオカメラ1710は、筐体1711、筐体1712、表示部1713、操作ボタン1714、レンズ1715、および接続部1716等を有する。操作ボタン1714およびレンズ1715は筐体1711に設けられており、表示部1713は筐体1712に設けられている。そして、筐体1711と筐体1712とは、接続部1716により接続されており、筐体1711と筐体1712の間の角度は、接続部1716により可動となっている。表示部1713の画面の切り替えを、接続部1716における筐体1711と筐体1712との間の角度に従って行う構成としてもよい。

【0100】

図13Cに示すタブレット型情報端末1720は、筐体1721に組み込まれた表示部1722、操作ボタン1723、スピーカ1724を有する。 10

【0101】

図13Dに示す情報端末1730は、筐体1731、筐体1732、表示部1733、表示部1734、接続部1735、および操作ボタン1736等を有する。情報端末1730は2つ折りが可能になっている。

【0102】

図13Eに示すスマートフォン1740は、筐体1741、操作ボタン1742、マイクロフォン1743、表示部1744、スピーカ1745、およびカメラ用レンズ1746等を有する。筐体1741には、撮像装置が組み込まれている。表示部1744と同一面上にカメラ用レンズ1746を備えているため、テレビ電話が可能である。例えば、表示部1744にはタッチセンサ機能付きの液晶表示装置が適用されている。 20

【0103】

図13Fに示すノート型PC1750は、筐体1751、表示部1752、キーボード1753、およびポインティングデバイス1754等を有する。

【0104】

情報処理システム1500において、表示装置1521を構成する表示パネルの基板を可撓性基板（例えば、樹脂フィルム）とすることで、表示装置1521を曲げることが可能となる。これにより、情報処理システム1500を折り畳んだ状態や、曲げた状態で使用することができる。図14に、そのような形態の情報処理システム1500の具体例として、幾つかの情報端末を模式的に示す。 30

【0105】

図14A-図14Cに示す情報端末1800は、表示部1801、およびこれを支持する筐体1802を有する。情報端末1800の側面および上面に情報を表示できるように、表示部1801は曲げられた状態で筐体1802に支持されている。表示部1801には、タッチセンサが組み込まれており、入出力装置として機能する。使用者が表示部1801に触れる領域によって、情報端末1800の操作を異ならせるようにすることができる。例えば、情報端末1800の側面、上面、および前面のタッチ操作によって、情報端末1800に異なる処理を実行させねばよい。

【0106】

図14D、図14Eに示す情報端末1810は、表示部1811、表示部1812、ベルト状の筐体1813を有する。筐体1813は表示部1811、1812を支持している。筐体1813は可撓性であるため、使用者は腕等に装着した状態で情報端末1810を使用することができる。 40

【0107】

図14F、図14Gに示す情報端末1820は、表示部1821、筐体1822および筐体1823を有する。表示部1821および筐体1822は可撓性を有する。そのため、情報端末1820は、筐体1822で二つに折り畳むことができる。

【0108】

〔実施の形態4〕

本実施の形態では、OSトランジスタ、およびOSトランジスタを有する半導体装置につ

50

いて説明する。

【0109】

<<OSトランジスタの構成例1>>

図15にOSトランジスタの構成の一例を示す。図15AはOSトランジスタの構成の一例を示す上面図である。図15Bは、y1-y2線断面図であり、図15Cはx1-x2線断面図であり、図15Dはx3-x4線断面図である。ここでは、y1-y2線の方向をチャネル長方向と呼び、x1-x2線方向をチャネル幅方向と呼ぶ場合がある。なお、デバイス構造を明確にするため、図15Aでは、一部の構成要素が省略されている。

【0110】

OSトランジスタ800は絶縁表面に形成される。ここでは、絶縁層821上に形成されている。絶縁層821は基板820表面に形成されている。絶縁層821は、OSトランジスタ800の下地層の機能を有する。OSトランジスタ800は絶縁層825に覆われている。なお、絶縁層821および絶縁層825をOSトランジスタ800の構成要素とみなすこともできる。OSトランジスタ800は、絶縁層822、絶縁層823、絶縁層824、絶縁層825、金属酸化物層841-843、導電層850、導電層851、導電層852および導電層853を有する。金属酸化物層841-843のうち、金属酸化物層842に主にチャネルが形成される。ここでは、便宜上、金属酸化物層841-843をまとめて半導体領域840と呼称する。

10

【0111】

導電層850はゲート電極として機能し、導電層853はバックゲート電極として機能する。導電層851、852は、それぞれ、ソース電極またはドレイン電極として機能する。絶縁層821は、基板820と導電層853を電気的に分離する機能を有する。絶縁層824はゲート絶縁層を構成し、絶縁層823はバックチャネル側のゲート絶縁層を構成する。

20

【0112】

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一のトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一のトランジスタのチャネル長は一つの値に定まらない場合がある。そのため、本明細書等では、チャネル長はチャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【0113】

チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一のトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

40

【0114】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の

50

方が大きくなる。

【0115】

特に、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるために、半導体領域の形状が既知という仮定が必要である。したがって、半導体領域の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

【0116】

そこで、本明細書では、トランジスタの上面図において、半導体領域とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。

なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0117】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0118】

図15B、図15Cに示すように、半導体領域840は、金属酸化物層841、金属酸化物層842、金属酸化物層843の順に積層している部分を有する。絶縁層824はこの積層部分を覆っている領域を含む。導電層850は絶縁層823を介して積層部分と重なる。導電層851および導電層852は、金属酸化物層841および金属酸化物層843とでなる積層上に設けられており、それぞれ、この積層の上面と、同チャネル長方向の側面とに接している。金属酸化物層841、842および導電層851、852の積層は、同じマスクを用いたエッチング工程を経ることで形成されている。

【0119】

金属酸化物層843は、金属酸化物層841、842、および導電層851、852を覆うように形成されている。絶縁層824は金属酸化物層843を覆っている。ここでは、金属酸化物層843と絶縁層824は同じマスクを用いてエッチングされている。

【0120】

絶縁層824を介して、金属酸化物層841 - 843の積層部分のチャネル幅方向を取り囲むように、導電層850が形成されている（図15C参照）。このため、この積層部分には、垂直方向からのゲート電界と、側面方向からのゲート電界も印加される。OSトランジスタ800において、ゲート電界とは、導電層850（ゲート電極層）に印加される電圧により形成される電界のことをいう。ゲート電界によって、金属酸化物層841 - 843の積層部分全体を電気的に取り囲むことができるので、金属酸化物層842の全体に（バルク）にチャネルが形成される場合がある。そのため、OSトランジスタ800は高いオン電流を有することができる。

【0121】

本明細書等では、ゲート電極層の電界で半導体領域が囲まれるようなトランジスタの構造を、「surrounded channel（s-channel）構造」と呼ぶ。s-channel構造であることで、OSトランジスタ800の高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。s-channel構造は高いオン電流が得られるため、LSIなど微細化されたトランジスタが要求される半導体装置に適した構造といえ、また、動作周波数が高いトランジスタに適した構造といえる。該トランジスタを有する半導体装置は、高い周波数で動作させることができる。

【0122】

OSトランジスタの微細化によって、集積度が高い、または小型な半導体装置を提供することが可能となる。例えば、OSトランジスタは、チャネル長が好ましくは10nm以上かつ1μm未満、さらに好ましくは10nm以上かつ100nm未満、さらに好ましくは10nm以上かつ70nm未満、さらに好ましくは10nm以上かつ60nm未満、さらに好ましくは10nm以上かつ30nm未満の領域を有する。例えば、OSトランジスタは、チャネル幅が好ましくは10nm以上かつ1μm未満、さらに好ましくは10nm以上かつ100nm未満、さらに好ましくは10nm以上かつ70nm未満、さらに好ましくは10nm以上かつ60nm未満、さらに好ましくは10nm以上かつ30nm未満の領域を有する。

10

【0123】

<導電層>

導電層850-853は、銅(Cu)、タンゲステン(W)、モリブデン(Mo)、金(Au)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)、鉛(Pb)、錫(Sn)、鉄(Fe)、コバルト(Co)、ルテニウム(Ru)、白金(Pt)、イリジウム(Ir)、ストロンチウム(Sr)の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンがCuの拡散を抑制する機能を持つので好ましい。

20

【0124】

OSトランジスタ801の導電層851および導電層852は、金属酸化物層841と金属酸化物層842との積層を形成するために使用されるハードマスクから作製されている。そのため、導電層851および導電層852は、金属酸化物層841および金属酸化物層842の側面に接する領域を有していない。例えば、次のような工程を経て、金属酸化物層841、842、導電層851、852を作製することができる。金属酸化物層841、842を構成する2層の酸化物半導体膜を形成する。酸化物半導体膜上に、単層または積層の導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。このハードマスクを用いて、2層の酸化物半導体膜をエッチングして、金属酸化物層841と金属酸化物層842の積層を形成する。次に、ハードマスクをエッチングして、導電層851および導電層852を形成する。

30

【0125】

<金属酸化物層>

金属酸化物層842は、例えば、インジウム(In)を含む酸化物半導体である。金属酸化物層842は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、金属酸化物層842は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム(Al)、ガリウム(Ga)、イットリウム(Y)またはスズ(Sn)などとする。その他の元素Mに適用可能な元素としては、ホウ素B、シリコン(Si)、チタン(Ti)、鉄(Fe)、ニッケル(Ni)、ゲルマニウム(Ge)、ジルコニア(Zr)、モリブデン(Mo)、ランタン(La)、セリウム(Ce)、ネオジム(Nd)、ハフニウム(Hf)、タンタル(Ta)、タンゲステン(W)などがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、金属酸化物層842は、亜鉛(Zn)を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

40

【0126】

なお、金属酸化物層842は、インジウムを含む酸化物半導体に限定されない。金属酸化

50

物層 842 は、インジウムを含まず亜鉛、ガリウム、およびスズのうちの少なくとも1を含む酸化物半導体（例えば、亜鉛スズ酸化物、ガリウムスズ酸化物など）などであっても構わない。金属酸化物層 842 は、例えば、エネルギーギャップが大きい酸化物を用いる。金属酸化物層 842 のエネルギーギャップは、例えば、2.5 eV 以上 4.2 eV 以下、好ましくは 2.8 eV 以上 3.8 eV 以下、さらに好ましくは 3 eV 以上 3.5 eV 以下とする。半導体領域 840 は、実施の形態 5 で説明される CAAOS で形成されていることが好ましい。半導体領域 840 において、少なくとも、金属酸化物層 842 は CAAOS で形成されていることが好ましい。

【0127】

なお、半導体領域 840 を構成する酸化物半導体をスパッタリング法で成膜する場合、基板温度を 150 以上 750 以下、好ましくは 150 以上 450 以下、さらに好ましくは 200 以上 420 以下とすることで、CAAOS を形成することができる。
10

【0128】

金属酸化物層 841、843 は、金属酸化物層 842 を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物である。金属酸化物層 842 を構成する酸素以外の元素一種以上、または二種以上から金属酸化物層 841 および金属酸化物層 843 が構成されるため、金属酸化物層 841 と金属酸化物層 842 との界面、および金属酸化物層 842 と金属酸化物層 843 との界面において、界面準位が形成されにくい。

【0129】

なお、金属酸化物層 841 が In - M - Zn 酸化物のとき、In および M の和を 100 atomic %としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % より高く、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % より高いとする。金属酸化物層 841 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、In : M : Zn = 1 : 3 : 2 が好ましい。
20

【0130】

また、金属酸化物層 842 が In - M - Zn 酸化物のとき、In および M の和を 100 atomic %としたとき、好ましくは In が 25 atomic % より高く、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % より高く、M が 66 atomic % 未満とする。金属酸化物層 842 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、In : M : Zn = 1 : 1 : 1、In : M : Zn = 1 : 1 : 1.2、In : M : Zn = 2 : 1 : 3、In : M : Zn = 3 : 1 : 2、In : M : Zn = 4 : 2 : 4.1 が好ましい。特に、スパッタリングターゲットとして、原子数比が In : Ga : Zn = 4 : 2 : 4.1 を用いる場合、成膜される金属酸化物層 842 の原子数比は、In : Ga : Zn = 4 : 2 : 3 近傍となる場合がある。
30

【0131】

また、金属酸化物層 843 が In - M - Zn 酸化物のとき、In および M の和を 100 atomic %としたとき、好ましくは、In は 50 atomic % 未満、M は 50 atomic % よりも高くすることが好ましく、In は 25 atomic % 未満、M は 75 atomic % よりも高くすることが、さらに好ましい。
40

【0132】

なお、金属酸化物層 843 は、金属酸化物層 841 と同種の酸化物を用いても構わない。ただし、金属酸化物層 841 および金属酸化物層 843 の一方、あるいは双方がインジウムを含まなくても構わない場合がある。例えば、金属酸化物層 841 および金属酸化物層 843 の少なくとも一方が酸化ガリウムであっても構わない。

【0133】

金属酸化物層 841、843 は酸化物半導体層であってもよい。金属酸化物層 841、843 は、金属酸化物層 842 よりも電気伝導率が小さい酸化物半導体であることが好まし
50

く、絶縁体であってもよい。金属酸化物層 841、843 の電気伝導率を金属酸化物層 842 よりも小さくすることで、半導体領域 840 において、ドレイン電流は主として金属酸化物層 842 を流れ、金属酸化物層 841、843 には殆ど流れない。つまり、金属酸化物層 841 によって、チャネル形成領域を絶縁層 823 から離間し、金属酸化物層 843 によって、チャネル形成領域を絶縁層 824 から離間することができる。つまり、半導体領域 840 において、チャネルは金属酸化物層 842 に形成されこととなり、埋め込みチャネルを形成することができる。

【0134】

(エネルギー・バンド構造)

図 16 を参照して、金属酸化物層 841、金属酸化物層 842、および金属酸化物層 843 の積層により構成される半導体領域 840 の機能およびその効果について、説明する。
図 16A は、図 15B の部分拡大図であり、OSトランジスタ 800 の活性層（チャネル部分）を拡大した図である。図 16B は OSトランジスタ 800 のチャネル形成領域のエネルギー・バンド構造であり、図 16A の点線 z1 - z2 で示す部位のエネルギー・バンド構造を示している。

【0135】

図 16B の、Ec823、Ec841、Ec842、Ec843、Ec824 は、それぞれ、絶縁層 823、金属酸化物層 841、金属酸化物層 842、金属酸化物層 843、絶縁層 824 の伝導帯下端のエネルギーを示している。

【0136】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギー・ギャップを引いた値となる。なお、エネルギー・ギャップは、分光エリプソメータを用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS：Ultraviolet Photoelectron Spectroscopy）装置を用いて測定できる。

【0137】

絶縁層 823 と絶縁層 824 は絶縁体であるため、Ec823 と Ec824 は、Ec841、Ec842、および Ec843 よりも真空準位に近い（電子親和力が小さい）。

【0138】

金属酸化物層 842 には、金属酸化物層 841 および金属酸化物層 843 よりも電子親和力の大きい酸化物が用いられる。例えば、金属酸化物層 842 として、金属酸化物層 841 および金属酸化物層 843 よりも電子親和力の 0.07 eV 以上 1.3 eV 以下、好ましくは 0.1 eV 以上 0.7 eV 以下、さらに好ましくは 0.15 eV 以上 0.4 eV 以下大きい酸化物が用いられる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0139】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物層 843 がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 [Ga / (In + Ga)] は、例えば、70% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上とする。このとき、ゲート電圧を印加すると、金属酸化物層 841、金属酸化物層 842、金属酸化物層 843 のうち、電子親和力の大きい金属酸化物層 842 にチャネルが形成される。

【0140】

ここで、金属酸化物層 841 と金属酸化物層 842 との間には、金属酸化物層 841 と金属酸化物層 842 との混合領域を有する場合がある。また、金属酸化物層 842 と金属酸化物層 843 との間には、金属酸化物層 842 と金属酸化物層 843 との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、金属酸化物層 841、金属酸化物層 842 および金属酸化物層 843 の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

10

20

30

40

50

【0141】

このとき、電子は、金属酸化物層841中および金属酸化物層843中ではなく、金属酸化物層842中を主として移動する。上述したように、金属酸化物層841および金属酸化物層842の界面における界面準位密度、金属酸化物層842と金属酸化物層843との界面における界面準位密度を低くすることによって、金属酸化物層842中で電子の移動が阻害されることが少なく、OSトランジスタ800のオン電流を高くすることができます。

【0142】

図16Bは、半導体領域840において、金属酸化物層842がウェル（井戸）となり、チャネルが金属酸化物層842に形成されることを示している。なお半導体領域840は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸（U Shape Well）とも呼ぶことができ、また、このようなエネルギー・バンド構造のチャネルを埋め込みチャネルということもできる。10

【0143】

電子の移動を阻害する要因を低減するほど、トランジスタのオン電流を高くすることができます。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。または、例えば、チャネル形成領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

【0144】

OSトランジスタ800のオン電流を高くするためには、例えば、金属酸化物層842の上面または下面（被形成面、ここでは金属酸化物層842の上面）の、 $1 \mu\text{m} \times 1 \mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1 \mu\text{m} \times 1 \mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1 \mu\text{m} \times 1 \mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、走査型プローブ顕微鏡システムを用いて測定することができる。20

【0145】

例えば、金属酸化物層842が酸素欠損（V_oとも表記する。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態をV_{oH}と表記する場合がある。V_{oH}は電子を散乱するため、OSトランジスタ800のオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物層842中の酸素欠損を低減することでOSトランジスタ800のオン電流を高くすることができます場合がある。

【0146】

例えば、金属酸化物層842のある深さにおいて、または、金属酸化物層842のある領域において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）で測定される水素濃度は、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。40

【0147】

金属酸化物層842の酸素欠損を低減する方法には、例えば、絶縁層823に含まれる過剰酸素を、金属酸化物層841を介して金属酸化物層842まで移動させる方法などがある。この場合、金属酸化物層841は、酸素透過性を有する層（酸素を透過させる層）で

10

20

30

40

50

あることが好ましい。例えば、絶縁層 825 を形成した後、150 以上 600 未満の熱処理を行うことで、半導体領域 840 に接する絶縁層（例えば、絶縁層 823）に含まれている酸素を拡散させて、金属酸化物層 842 まで移動させることで、金属酸化物層 842 に存在する酸素欠損の酸素を補填することができる。金属酸化物層 842 の局在準位密度が低減されるため、優れた電気特性を有する OSトランジスタ 800 を作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高い OSトランジスタ 800 を作製することができる。この熱処理温度は、好ましくは 250 以上 500 以下、さらに好ましくは 300 以上 450 以下とすることができます。

【0148】

OSトランジスタ 800 が S-channel 構造である場合、金属酸化物層 842 の全体にチャネルが形成される。したがって、金属酸化物層 842 が厚いほどチャネル領域は大きくなる。即ち、金属酸化物層 842 が厚いほど、OSトランジスタ 800 のオン電流を高くすることができる。

【0149】

また、OSトランジスタ 800 のオン電流を高くするためには、金属酸化物層 843 の厚さは小さいほど好ましい。金属酸化物層 843 は、例えば、10 nm 未満、好ましくは 5 nm 以下、さらに好ましくは 3 nm 以下の領域を有していればよい。一方、金属酸化物層 843 は、チャネルの形成される金属酸化物層 842 へ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようブロックする機能を有する。そのため、金属酸化物層 843 は、ある程度の厚さを有することが好ましい。金属酸化物層 843 は、例えば、0.3 nm 以上、好ましくは 1 nm 以上、さらに好ましくは 2 nm 以上の厚さの領域を有していればよい。また、金属酸化物層 843 は、絶縁層 823、824 などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

【0150】

また、OSトランジスタ 800 の信頼性を高くするためには、金属酸化物層 841 は厚く、金属酸化物層 843 は薄いことが好ましい。金属酸化物層 841 は、例えば、10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上の厚さの領域を有していればよい。金属酸化物層 841 の厚さを、厚くすることで、隣接する絶縁体と金属酸化物層 841 との界面からチャネルの形成される金属酸化物層 842 までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、金属酸化物層 841 は、例えば、200 nm 以下、好ましくは 120 nm 以下、さらに好ましくは 80 nm 以下の厚さの領域を有していればよい。

【0151】

OSトランジスタ 800 に安定した電気特性を付与するには、半導体領域 840 中の不純物濃度を低減し、金属酸化物層 842 を真性または実質的に真性にすることが有効である。なお、本明細書等において、酸化物半導体が実質的に真性であるという場合、酸化物半導体のキャリア密度は、 $8 \times 10^{11} / \text{cm}^3$ 未満であり、 $1 \times 10^{11} / \text{cm}^3$ 未満が好ましく、 $1 \times 10^{10} / \text{cm}^3$ 未満が好ましい。または、実質的に真性または真性な酸化物半導体のキャリア密度は、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすることができます。

【0152】

酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、金属酸化物層 841、金属酸化物層 842 および金属酸化物層 843 の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0153】

例えば、金属酸化物層 842 と金属酸化物層 841 との間に、シリコン濃度が 1×10^1 $^6 \text{atoms} / \text{cm}^3$ 以上かつ $1 \times 10^{19} \text{atoms} / \text{cm}^3$ 未満である領域を有する

10

20

30

40

50

。シリコン濃度は、 1×10^{16} atoms/cm³以上かつ 5×10^{18} atoms/cm³未満が好ましく、 1×10^{16} atoms/cm³以上かつ 2×10^{18} atoms/cm³未満であることがより好ましい。また、金属酸化物層842と金属酸化物層843との間に、シリコン濃度が 1×10^{16} atoms/cm³以上かつ 1×10^{19} atoms/cm³未満である領域を有する。シリコン濃度は 1×10^{16} atoms/cm³以上かつ 5×10^{18} atoms/cm³未満が好ましく、 1×10^{16} atoms/cm³以上、 2×10^{18} atoms/cm³未満がより好ましい。シリコン濃度は例えばSIMSで測定することができる。

【0154】

また、金属酸化物層842の水素濃度を低減するために、金属酸化物層841および金属酸化物層843の水素濃度を低減すると好ましい。金属酸化物層841および金属酸化物層843は、水素濃度が 1×10^{16} atoms/cm³以上かつ 2×10^{20} atoms/cm³以下の領域を有する。水素濃度は、 1×10^{16} atoms/cm³以上かつ 5×10^{19} atoms/cm³以下が好ましく、 1×10^{16} atoms/cm³以上かつ 1×10^{19} atoms/cm³以下がより好ましく、 1×10^{16} atoms/cm³以上かつ 5×10^{18} atoms/cm³以下がさらに好ましい。水素濃度は例えばSIMSで測定することができる。

【0155】

金属酸化物層842の窒素濃度を低減するために、金属酸化物層841および金属酸化物層843の窒素濃度を低減すると好ましい。金属酸化物層841および金属酸化物層843は、窒素濃度が 1×10^{16} atoms/cm³以上かつ 5×10^{19} atoms/cm³未満の領域を有する。窒素濃度は 1×10^{16} atoms/cm³以上かつ 5×10^{18} atoms/cm³以下が好ましく、 1×10^{16} atoms/cm³以上かつ 1×10^{18} atoms/cm³以下がより好ましく、 1×10^{16} atoms/cm³以上かつ 5×10^{17} atoms/cm³以下がさらに好ましい。窒素濃度はSIMSで測定することができる。

【0156】

また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1(V)、5(V)、または、10(V)程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数yA/μmから数zA/μmにまで低減することが可能となる。

【0157】

図15は、半導体領域840が3層の例であるが、これに限定されない。例えば、金属酸化物層841または金属酸化物層843が無い2層構造としてもよい。または、金属酸化物層841の上もしくは下、または金属酸化物層843上もしくは下に、金属酸化物層841 843と同様の半導体層を設けて、4層構造とすることも可能である。または、金属酸化物層841の上、金属酸化物層841の下、金属酸化物層843の上、金属酸化物層843の下のいずれか二箇所以上に、金属酸化物層841 843と同様の半導体層を設けて、n層構造(nは5以上の整数)とすることもできる。

【0158】

OSトランジスタ800をバックゲート電極の無いトランジスタにする場合、導電層853および絶縁層822を設けず、絶縁層821上に絶縁層823を形成すればよい。

【0159】

<絶縁層>

絶縁層821 - 825は、単層構造または積層構造の絶縁膜で形成される。絶縁膜を構成する材料には、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニア、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどがある。

【0160】

10

20

30

40

50

なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。本明細書等において、絶縁材料に用いられる酸化物には、窒素濃度が 1 atomic % 未満のものも含まれる。

【0161】

絶縁層 823、824 は半導体領域 840 と接しているため、酸化物を含むことが好ましく、特に、加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。絶縁層 823、824 から脱離した酸素は酸化物半導体である半導体領域 840 に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、トランジスタの電気特性の変動を抑制し、信頼性を高めることができる。10

【0162】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、例えば、昇温脱離ガス (TDS) 分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{-8} atoms / cm³ 以上、好ましくは 3.0×10^{-9} atoms / cm³ 以上である酸化物膜である。なお、TDS 分析時における膜の表面温度は 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

【0163】

絶縁層 821、825 は、絶縁層 823、824 に含まれる酸素が減少することを防ぐパッシベーション機能を有することが好ましい。または、絶縁層 821、および絶縁層 825 は、酸素、水素、水、アルカリ金属、アルカリ土類金属等をブロッキングできる機能を有していることが好ましい。このような機能を持つ絶縁層 821 および絶縁層 825 を設けることで、半導体領域 840 から外部への酸素の拡散と、外部から半導体領域 840 への水素、水等の入り込みを防ぐことができる。このような機能を持たせるため、絶縁層 821 および絶縁層 825 には、例えば、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等でなる絶縁層を少なくとも 1 層設ければよい。20

【0164】

<電荷捕獲層>

Siトランジスタでは、チャネルドーピングによってしきい値電圧を容易に制御することができる。これに対して、OSトランジスタは、チャネルドーピングでは、しきい値電圧を効果的に変化させることが困難である。OSトランジスタでは、電荷捕獲層に電子を注入することで、しきい値電圧を変動させることが可能である。例えば、電荷捕獲層への電子の注入はトンネル効果を利用すればよい。導電層 853 に正の電圧を印加することによって、トンネル電子を電荷捕獲層に注入する。30

【0165】

OSトランジスタ 800においては、絶縁層 823 に電荷捕獲層を設けることができる。例えば、電荷捕獲層としては、酸化ハフニウム、酸化アルミニウム、酸化タンタル、アルミニウムシリケート等からなる絶縁層が挙げられる。例えば、絶縁層 823 を、酸化シリコン層、酸化ハフニウム層、および酸化シリコン層の 3 層構造とすればよい。40

【0166】

<基板>

基板 820 としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板は、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板 (イットリア安定化ジルコニア基板など)、樹脂基板などである。また、半導体基板は、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などである。半導体基板は、バルク型でよいし、半導体基板に絶縁領域を介して半導体層が設けられている SOI (Silicon On Insulator) 50

型でもよい。導電体基板は、黒鉛基板、金属基板、合金基板、導電性樹脂基板などである。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などである。または、上掲された基板に素子が設けられたものを用いてもよい。基板に設けられる素子は、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などである。

【0167】

基板820は可撓性基板でもよい。可撓性基板上にトランジスタを設ける方法としては、非可撓性基板（例えば、半導体基板）上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板820に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板820として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板820が伸縮性を有してもよい。また、基板820は、折り曲げや引っ張りをやめると元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板820の厚さは、例えば、 $5\text{ }\mu\text{m}$ 以上 $700\text{ }\mu\text{m}$ 以下、好ましくは $10\text{ }\mu\text{m}$ 以上 $500\text{ }\mu\text{m}$ 以下、さらに好ましくは $15\text{ }\mu\text{m}$ 以上 $300\text{ }\mu\text{m}$ 以下とする。基板820を薄くすると、半導体装置を軽量化することができる。また、基板820を薄くすることで、ガラスのような素材であっても、伸縮性を有する場合や、折り曲げや引っ張りをやめると元の形状に戻る性質を有する場合がある。そのため、落下などによって基板820上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

20

30

40

50

【0168】

可撓性基板である基板820は、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などである。可撓性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板には、例えば、線膨張率が $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下、または $1 \times 10^{-5}/\text{K}$ 以下である材質を用いるとよい。樹脂としては、例えば、ポリエチレン、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン（P T F E）などがある。特に、アラミドは、線膨張率が低いため可撓性基板の材料として好適である。

【0169】

<<OSトランジスタの構成例2>>

導電層850をマスクにして、金属酸化物層843及び絶縁層824をエッチングしてもよい。そのような工程を経たOSトランジスタの構成例を図17Aに示す。図17AのOSトランジスタ801では、金属酸化物層843および絶縁層824の端部は導電層850の端部とほぼ一致することになる。導電層850の下部のみに金属酸化物層843および絶縁層824が存在する。

【0170】

<<OSトランジスタの構成例3>>

図17Bに示すOSトランジスタ802は、OSトランジスタ801に導電層855、導電層856を追加したデバイス構造を有する。ソース電極およびドレイン電極として機能する一対の電極は、導電層855と導電層851との積層、および導電層856と導電層852との積層で構成される。

【0171】

導電層855、856は、単層または積層の導電体で形成される。例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニアム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタンゲステンを一種以上含む導電体を用いることができる。導電体は合金膜や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0172】

導電層 855、856 は可視光線を透過する性質を有してもよい。または、導電層 855、856 は可視光線、紫外線、赤外線もしくは X 線を、反射もしくは吸収することで透過させない性質を有してもよい。このような性質を有することで、OSトランジスタ 802 の電気特性の迷光による変動を抑制できる場合がある。

【0173】

金属酸化物層 842 などとの間にショットキー障壁を形成しない層を、導電層 855、856 に用いるのが好ましい場合がある。こうすることで、OSトランジスタ 802 のオン特性を向上させることができる。

【0174】

導電層 855、856 は、導電層 851、852 よりも高抵抗の膜を用いると好ましい場合がある。また、導電層 855、856 は、OSトランジスタ 802 のチャネル（具体的には、金属酸化物層 842）よりも抵抗を低いことが好ましい場合がある。例えば、導電層 855、856 の抵抗率を、0.1 cm 以上かつ 100 cm 以下、または 0.5 cm 以上かつ 50 cm 以下、または 1 cm 以上かつ 10 cm 以下とすればよい。導電層 855、856 の抵抗率を上述の範囲とすることにより、チャネルとドレインとの境界部における電界集中を緩和することができる。そのため、OSトランジスタ 802 の電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルーハードウェアを低減することができる。そのため、チャネル長の短いトランジスタにおいても、飽和特性を良好にすることができます。なお、ソースとドレインとが入れ替わらない回路構成であれば、導電層 855 および導電層 856 のいずれか一方のみ（例えば、ドレン側）を配置するほうが好ましい場合がある。

【0175】

<< OSトランジスタの構成例 4 >>

図 15 に示す OSトランジスタ 800 は、導電層 851 及び導電層 852 が、金属酸化物層 841、842 の側面と接していてよい。そのような構成例を図 17C に示す。図 17C に示す OSトランジスタ 803 は、導電層 851 及び導電層 852 が金属酸化物層 841 の側面及び金属酸化物層 842 の側面と接している。

【0176】

<< OSトランジスタの構成例 5 >>

図 18 に、OSトランジスタの構成例を示す。図 18A は、OSトランジスタ 804 の上面図であり、図 18B は y5 - y6 線断面図であり、図 18C は x5 - x6 線断面図である。なお、図 18A では、図の明瞭化のために一部の要素が省略されている。

【0177】

OSトランジスタ 804 は、OSトランジスタ 803（図 17C）の変形例であり、s-channel 構造をとる。導電層 853 が絶縁層 826 に覆われ、金属酸化物層 841、842 および導電層 851、852 が絶縁層 827 に覆われている。絶縁層 826、827 は絶縁層 821 - 825 と同様に形成することができる。

【0178】

絶縁層 827 上に金属酸化物層 843、絶縁層 824 および導電層 850 が設けられている。OSトランジスタ 804 では、導電層 850 のゲート電極として機能する領域は、絶縁層 827 等の開口部を埋めるように自己整合的に形成される。そのため、導電層 850 と導電層 851 とが重なることによる寄生容量、および導電層 850 と導電層 852 とが重なることによる寄生容量を OSトランジスタ 803 よりも小さくすることができる。

【0179】

半導体装置の作製工程において、絶縁体、導電体、半導体の成膜は、スパッタリング法、化学気相堆積（CVD：Chemical Vapor Deposition）法、分子ビームエピタキシー（MBE；Molecular Beam Epitaxy）法、原子層堆積（ALD：Atomic Layer Deposition）法、またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法等で行えよい。CVD 法は、熱 CVD 法、有機金属 CVD（MOCVD：Metal Organic CVD）法等である。

10

20

20

30

40

50

anic CVD) 法、プラズマCVD (PECVD : Plasma Enhanced CVD) 法等を含む。例えば、絶縁膜をCVD法、好ましくはPECVD法によって成膜すると、被覆性を向上させることができるとため好ましい。また、CVD法で成膜する場合、また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。また、スパッタリング法で成膜する場合、例えば、対向ターゲット型のスパッタ装置、平行平板型のスパッタ装置等を用いればよい。例えば、半導体領域840の金属酸化物層842は、対向ターゲット型のスパッタ装置で成膜を行うことが好ましい。

【0180】

<<メモリセルのデバイス構成例>>

OSトランジスタは、Siトランジスタ等が作製された素子層に積層することが可能である。実施の形態1のメモリ104を、SiトランジスタとOSトランジスタとが積層されたデバイス構造とすることができます。ここでは、図19-図22を用いて、OSトランジスタを用いたメモリのデバイス構造を説明する。

【0181】

図19は、メモリセルのデバイス構造を模式的に示す回路図である。図19のメモリセル156はメモリセル154の変形例であり、トランジスタTW1に代えてトランジスタTW2が設けられている。

【0182】

図20は、メモリセル156のレイアウトの一例を示す分解平面図である。図20において、一部の構成要素は省略されている。図21は、図20のx11-x12線による断面図および、y11-y12線による断面図を示す。x11-x12線による断面図はトランジスタTW2のチャネル長方向の断面図であり、y11-y12線による断面図はトランジスタTW2のチャネル幅方向の断面図である。図21において、符号およびハッチングが付されていない領域は絶縁物で形成されている領域である。761、762は絶縁層である。

【0183】

メモリセル156は、単結晶シリコンウエハ700に形成されている。単結晶シリコンウエハ700には、素子層701-703が作製される。素子層701-703は、それぞれ、Siトランジスタ、OSトランジスタ、容量素子が形成される層である。

【0184】

単結晶シリコンウエハ700には、p型ウエル710が形成されている。p型ウエル710に、トランジスタTR1が形成される。トランジスタTR1は、p型不純物領域711、712、導電体713を有する。導電体713は、トランジスタTR1のゲート電極を構成する。配線SLはp型不純物領域711、712で構成されている。

【0185】

トランジスタTW2のデバイス構造はOSトランジスタ800(図15A 図15D)と同様である。導電体721はトランジスタTW2のゲート電極を構成し、かつ配線WLを構成する。導電体722はトランジスタTW2のバックゲート電極を構成し、かつ配線OBGを構成する。一対の導電体723は、トランジスタTW2のソース電極およびドレイン電極を構成する。容量素子CS1は導電体731および導電体732を有する。導電体731は配線RWLを構成する。導電体741は配線BLを構成する。

【0186】

導電体751-757により、トランジスタTR2、TW2、容量素子CS1、並びに配線WWL、RWL、BL、SLが電気的に接続され、メモリセル156が構成される。

【0187】

OSトランジスタと保持容量と同じ素子層に形成することも可能である。図22にそのような例を示す。図22に示すメモリセル157はメモリセル155(図3F)の変形例であり、トランジスタTW1に代えてトランジスタTW2を有する。図22において、符号およびハッチングが付されていない領域は絶縁体で形成されている。また、ハッチング

10

20

30

40

50

が付されているが、符号が付されていない領域は導電体でなり、配線や電極を構成している。これらの導電体により、メモリセル 157 は配線 WWL、RWL、BL、SL、CNL および OBG と電気的に接続されている。

【0188】

トランジスタ TW2 は OS トランジスタ 800 (図 15) と同様なデバイス構造を有する。容量素子 CS1 はトランジスタ TW2 と共に形成される。これにより、メモリチップの作製工程数の低減につながる。容量素子 CS1 の一対の電極の一方は導電体 723 で構成されている。他方は、トランジスタ TW2 のゲート電極と同じ層の導電体で形成されている。

【0189】

ここでは、トランジスタ TR1 - TR3 はプレナー型トランジスタであるが、これに限定されない。トランジスタ TR1 - TR3、例えば、立体構造を有するトランジスタ (フィン (FIN) 型、トライゲート型など) でもよい。図 23 にフィン型トランジスタの一例を示す。図 23A はトランジスタのチャネル長方向の断面図であり、図 23B は、e1 - e2 線で切断した図 23A の断面図である。

10

【0190】

図 23 に示すトランジスタ T70 は、活性層 (半導体領域とも呼ぶ。) 772 が凸形状を有し、その側面及び上面に沿ってゲート絶縁層 776 及びゲート電極 777 が設けられている。770 は素子分離層である。771 はウエルであり、773 は低濃度不純物領域であり、774 は高濃度不純物領域である。775 は導電性領域である。778、779 は側壁絶縁層である。図 23 には、単結晶シリコンウェハ 700 を加工して凸部を形成する場合を示したが、SOI 基板を加工して凸形状を有する半導体領域を形成してもよい。

20

【0191】

また、メモリセル 151 - 153 (図 3A - 図 3C) で、メモリセルアレイ 120 を構成する場合、メモリセルアレイ 120 のトランジスタは OS トランジスタとすることができます。そのため、単結晶シリコンウェハ 700 に形成される Si トランジスタで、行ドライバ 121 および列ドライバ 122 を構成し、これらドライバ 121、122 にメモリセルアレイ 120 を積層することができる。

【0192】

〔実施の形態 5〕

30

本実施の形態では、酸化物半導体について説明する。ここで説明される酸化物半導体は金属酸化物であり、実施の形態 4 の OS トランジスタの金属酸化物層 841 - 843 適用することが可能である。

【0193】

なお、本明細書等において、結晶が三方晶または菱面体晶である場合、その結晶を六方晶系として表す。また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、-5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

40

【0194】

<<酸化物半導体の構造>>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc - OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a - like OS : amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

50

【0195】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、C AAC - OS、多結晶酸化物半導体、n c - OSなどがある。

【0196】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a - like OSは、微小な領域において周期構造を有するものの、鬆（ボイドともいう。）を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。10

【0197】

< C AAC - OS >

C AAC - OSは、c 軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

【0198】

透過型電子顕微鏡（TEM: Transmission Electron Microscope）によって、C AAC - OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、C AAC - OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。20

【0199】

以下では、TEMによって観察したC AAC - OSについて説明する。試料面と略平行な方向から観察したC AAC - OSの断面の高分解能TEM像により、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、C AAC - OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、C AAC - OSの被形成面または上面と平行となる。30

【0200】

また、高分解能TEM像により、C AAC - OSは特徴的な原子配列を有することを確認することができる。ペレット一つの大きさは1 nm以上のものや、3 nm以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8 nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc: nanocrystal）と呼ぶこともできる。また、C AAC - OSを、CANC (C - Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0201】

また、試料面と略垂直な方向から観察したC AAC - OSの平面のCs補正高分解能TEM像では、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0202】

次に、X線回折（XRD: X - Ray Diffraction）によって解析したC AAC - OSについて説明する。例えば、InGaZnO₄の結晶を有するC AAC - OSに対し、out-of-plane法による構造解析を行うと、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、C AAC - OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。4050

【0203】

なお、 C AAC - OS の out - of - plane 法による構造解析では、 $2\theta = 31^\circ$ 近傍のピークの他に、 $2\theta = 36^\circ$ 近傍にもピークが現れる場合がある。 $2\theta = 36^\circ$ 近傍のピークは、 C AAC - OS 中の一部に、 c 軸配向性を有さない結晶が含まれることを示している。より好ましい C AAC - OS は、 out - of - plane 法による構造解析では、 $2\theta = 31^\circ$ 近傍にピークを示し、 $2\theta = 36^\circ$ 近傍にピークを示さない。

【0204】

一方、 C AAC - OS に対し、 c 軸に略垂直な方向から X 線を入射させる in - plane 法による構造解析を行うと、 $2\theta = 56^\circ$ 近傍にピークが現れる。このピークは、 InGaZnO₄ の結晶の (110) 面に帰属される。 C AAC - OS の場合は、 $2\theta = 56^\circ$ 10 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行っても、明瞭なピークは現れない。これに対し、 InGaZnO₄ の単結晶酸化物半導体であれば、 $2\theta = 56^\circ$ 近傍に固定してスキャンした場合、 (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、 XRD を用いた構造解析から、 C AAC - OS は、 a 軸および b 軸の配向が不規則であることが確認できる。

【0205】

次に、電子回折によって解析した C AAC - OS について説明する。例えば、 InGaZnO₄ の結晶を有する C AAC - OS に対し、試料面に平行にプローブ径が 300 nm の電子線を入射させると、回折パターン（制限視野透過電子回折パターンともいう。）が現れる場合がある。この回折パターンには、 InGaZnO₄ の結晶の (009) 面に起因するスポットが含まれる。したがって、電子回折によつても、 C AAC - OS に含まれるペレットが c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300 nm の電子線を入射させる場合、リング状の回折パターンが確認される。したがって、電子回折によつても、 C AAC - OS に含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。 20

【0206】

上述したように、 C AAC - OS は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C AAC - OS は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。 30

【0207】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0208】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。 40

【0209】

不純物および酸素欠損の少ない C AAC - OS は、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個 / cm³ 未満、好ましくは 1×10^{11} 個 / cm³ 未満、さらに好ましくは 1×10^{10} 個 / cm³ 未満であり、 1×10^{-9} 個 / cm³ 以上のキャリア密度の酸化物半導体とすることができます。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。 C AAC - OS は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。 50

【0210】

< n c - O S >

n c - O S は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の大きさであることが多い。なお、結晶部の大きさが 10 nm より大きく 100 nm 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。n c - O S は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C AAC - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

10

【0211】

n c - O S は、微小な領域（例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - like O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば 50 nm 以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

20

【0212】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O S を、R ANC (Random Aligned nanocrystals) を有する酸化物半導体、またはN ANC (Non-Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

30

【0213】

n c - O S は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、n c - O S は、a - like O S や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、n c - O S は、C AAC - O S と比べて欠陥準位密度が高くなる。

【0214】

< a - like O S >

a - like O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a - like O S は、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。鬆を有するため、a - like O S は、不安定な構造である。a - like O S は、電子照射によって結晶部の成長が見られる場合がある。一方、n c - O S およびC AAC - O S は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a - like O S は、n c - O S およびC AAC - O S と比べて、不安定な構造であることがわかる。

40

【0215】

また、鬆を有するため、a - like O S は、n c - O S およびC AAC - O S と比べて密度の低い構造である。具体的には、a - like O S の密度は、同じ組成の単結晶の密度の 78.6% 以上 92.3% 未満となる。また、n c - O S の密度およびC AAC - O S の密度は、同じ組成の単結晶の密度の 92.3% 以上 100% 未満となる。単結晶の密度の 78% 未満となる酸化物半導体は、成膜すること自体が困難である。

50

【0216】

例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は6.357 g / cm³となる。よって、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、a-like OSの密度は5.0 g / cm³以上5.9 g / cm³未満となる。また、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、nc-OSの密度およびCAC-OSの密度は5.9 g / cm³以上6.3 g / cm³未満となる。

【0217】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。

10

【0218】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAC-OSのうち、二種以上を有する積層膜であってもよい。

【符号の説明】

【0219】

20

100	メモリシステム
101	I / F
102	プロセッサ
103	メモリシステム
103	ワークメモリ
104	メモリ
105	ECC回路
110	ホスト装置
120	メモリセルアレイ
121	行ドライバ
122	列ドライバ
125	メモリセル
130	ユーザデータ領域
131	ファームウェア領域
132	ECC管理領域
135	ECC管理テーブル
151	メモリセル
152	メモリセル
153	メモリセル
154	メモリセル
155	メモリセル
156	メモリセル
157	メモリセル
700	単結晶シリコンウェハ
701	素子層
702	素子層
703	素子層
710	p型ウエル
711	p型不純物領域
712	p型不純物領域

30

40

50

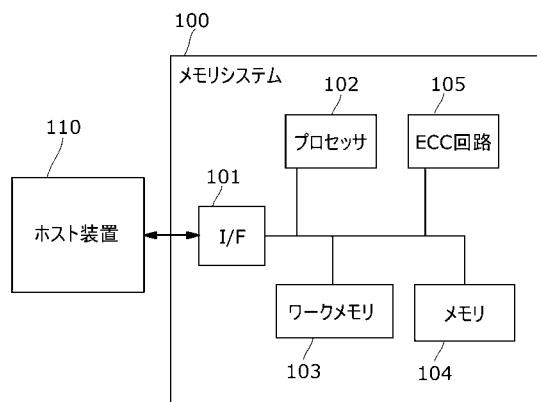
7 1 3	導電体	
7 2 1	導電体	
7 2 2	導電体	
7 2 3	導電体	
7 3 1	導電体	
7 3 2	導電体	
7 4 1	導電体	
7 5 1	導電体	
7 5 2	導電体	
7 5 3	導電体	10
7 5 4	導電体	
7 5 5	導電体	
7 5 6	導電体	
7 5 7	導電体	
7 7 0	素子分離層	
7 7 1	ウエル	
7 7 2	活性層	
7 7 3	低濃度不純物領域	
7 7 4	高濃度不純物領域	
7 7 5	導電性領域	20
7 7 6	ゲート絶縁層	
7 7 7	ゲート電極	
7 7 8	側壁絶縁層	
7 7 9	側壁絶縁層	
8 0 0	OSトランジスタ	
8 0 1	OSトランジスタ	
8 0 2	OSトランジスタ	
8 0 3	OSトランジスタ	
8 0 4	OSトランジスタ	
8 2 0	基板	30
8 2 1	絶縁層	
8 2 2	絶縁層	
8 2 3	絶縁層	
8 2 4	絶縁層	
8 2 5	絶縁層	
8 4 0	半導体領域	
8 4 1	金属酸化物層	
8 4 2	金属酸化物層	
8 4 3	金属酸化物層	
8 5 0	導電層	40
8 5 1	導電層	
8 5 2	導電層	
8 5 3	導電層	
8 5 5	導電層	
8 5 6	導電層	
1 1 0 0	USBメモリ	
1 1 0 1	筐体	
1 1 0 2	キヤップ	
1 1 0 3	USBコネクタ	
1 1 0 4	基板	50

1 1 0 5	メモリチップ	
1 1 0 6	コントローラチップ	
1 1 1 0	S D カード	
1 1 1 1	筐体	
1 1 1 2	コネクタ	
1 1 1 3	基板	
1 1 1 4	メモリチップ	
1 1 1 5	コントローラチップ	
1 1 5 0	S S D	
1 1 5 1	筐体	10
1 1 5 2	コネクタ	
1 1 5 3	基板	
1 1 5 4	メモリチップ	
1 1 5 5	メモリチップ	
1 1 5 6	コントローラチップ	
1 5 0 0	情報処理システム	
1 5 0 1	メモリシステム	
1 5 0 2	ホスト装置	
1 5 1 0	ロジック部	
1 5 1 1	プロセッサ	20
1 5 1 2	メモリ部	
1 5 1 3	I / F	
1 5 1 4	バス	
1 5 2 1	表示装置	
1 5 2 2	入力装置	
1 7 0 0	携帯型ゲーム機	
1 7 0 1	筐体	
1 7 0 2	筐体	
1 7 0 3	表示部	
1 7 0 4	表示部	30
1 7 0 5	マイクロフォン	
1 7 0 6	スピーカ	
1 7 1 0	ビデオカメラ	
1 7 1 1	筐体	
1 7 1 2	筐体	
1 7 1 3	表示部	
1 7 1 4	操作ボタン	
1 7 1 5	レンズ	
1 7 1 6	接続部	
1 7 2 0	タブレット型情報端末	40
1 7 2 1	筐体	
1 7 2 2	表示部	
1 7 2 3	操作ボタン	
1 7 2 4	スピーカ	
1 7 3 0	情報端末	
1 7 3 1	筐体	
1 7 3 2	筐体	
1 7 3 3	表示部	
1 7 3 4	表示部	
1 7 3 5	接続部	50

1 7 3 6	操作ボタン	
1 7 4 0	スマートフォン	
1 7 4 1	筐体	
1 7 4 2	操作ボタン	
1 7 4 3	マイクロフォン	
1 7 4 4	表示部	
1 7 4 5	スピーカ	
1 7 4 6	カメラ用レンズ	
1 7 5 0	ノート型PC	
1 7 5 1	筐体	10
1 7 5 2	表示部	
1 7 5 3	キーボード	
1 7 5 4	ポインティングデバイス	
1 8 0 0	情報端末	
1 8 0 1	表示部	
1 8 0 2	筐体	
1 8 1 0	情報端末	
1 8 1 1	表示部	
1 8 1 2	表示部	
1 8 1 3	筐体	20
1 8 2 0	情報端末	
1 8 2 1	表示部	
1 8 2 2	筐体	
1 8 2 3	筐体	
C S 1	容量素子	
S N 1	ノード	
T 7 0	トランジスタ	
T R 1	トランジスタ	
T R 2	トランジスタ	
T R 3	トランジスタ	30
T W 1	トランジスタ	
T W 2	トランジスタ	
T W 3	トランジスタ	

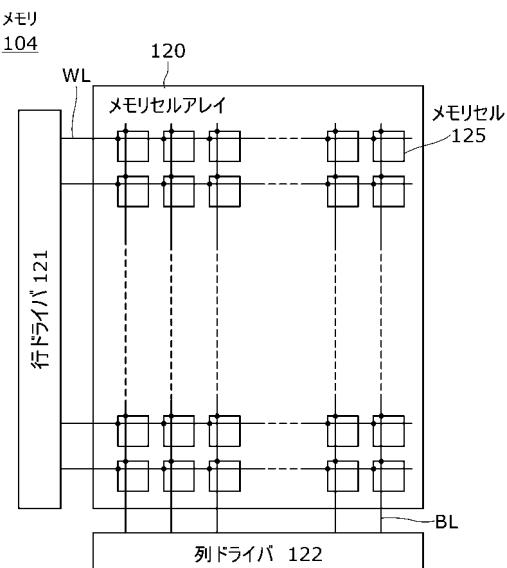
【図1】

FIG. 1



【図2】

FIG. 2



【図3】

FIG. 3A

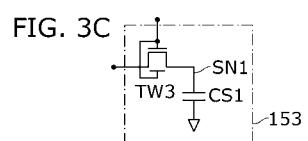
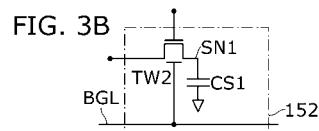
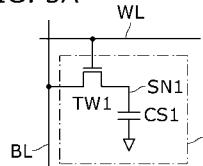


FIG. 3D

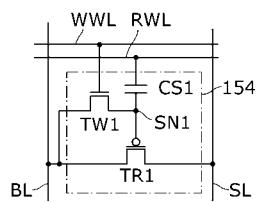


FIG. 3E

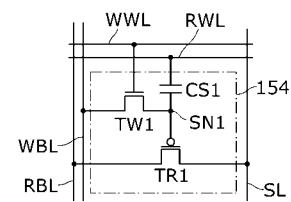


FIG. 3F

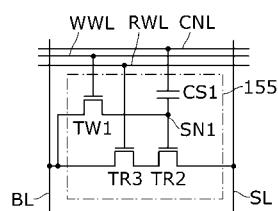
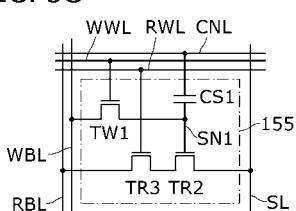


FIG. 3G



【図4】

FIG. 4

	P1	P2	P3	P4	P5
VDDH	Stdby				
WWL		selected			
VSSM		all unselected			
RWL			selected		
VDDM			all unselected		unselected
VSSM					
CNL	VDDM				
VSSM					
WBL	VDDM	"1"	"0"		
VSSM					
RBL	VDDM			"0"	"1"
VSSM					
SL	VDDM				
VSSM					
SN1	VDDM	"1"	"1"		
VSSM	"0"	X	"0"		

【図5】

FIG. 5A

104

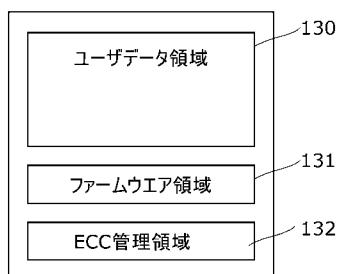


FIG. 5B

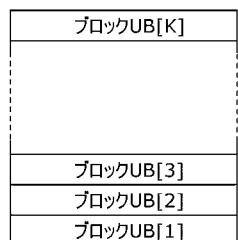
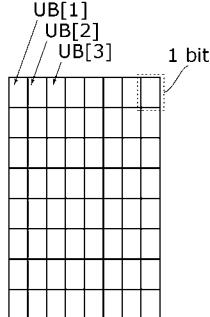
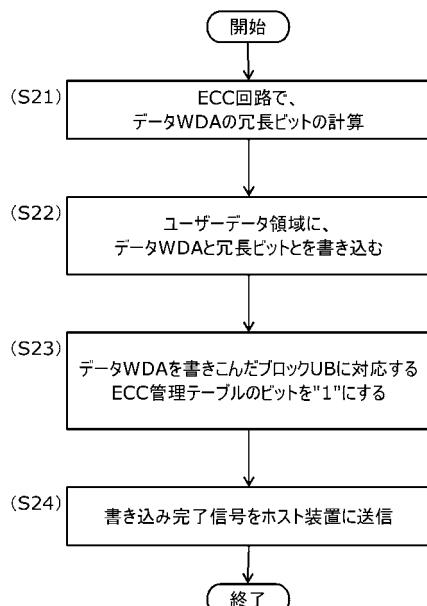
ユーザデータ領域
130

FIG. 5C

ECC管理テーブル
135

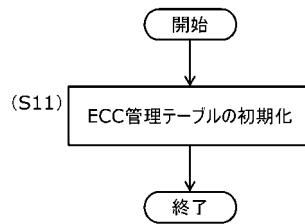
【図7】

FIG. 7



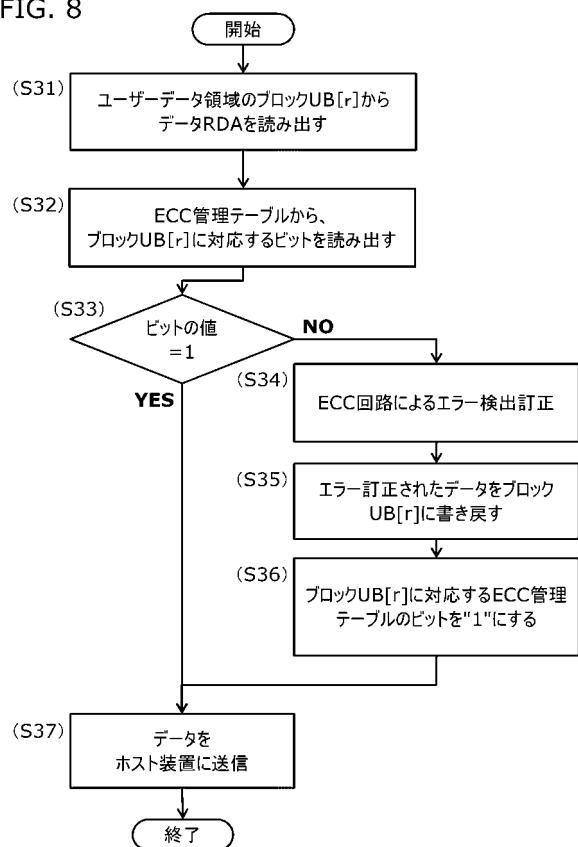
【図6】

FIG. 6



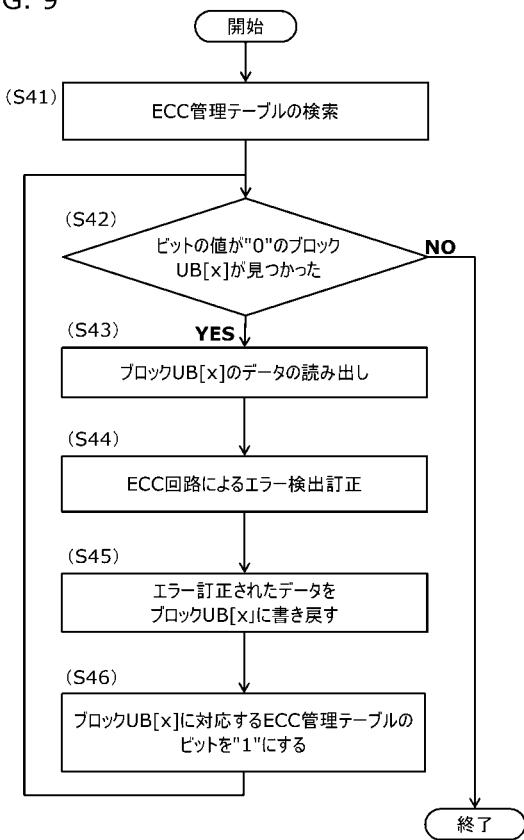
【図8】

FIG. 8

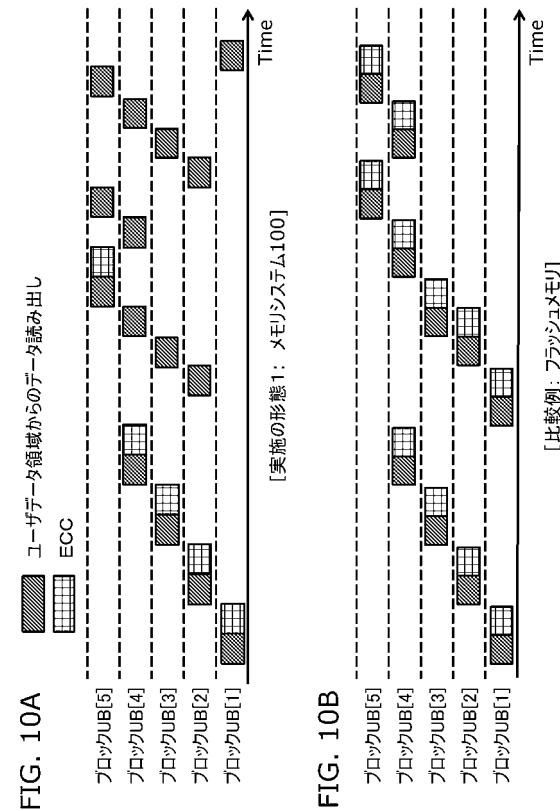


【図9】

FIG. 9



【図10】



【図11】

FIG. 11A

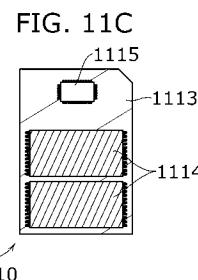
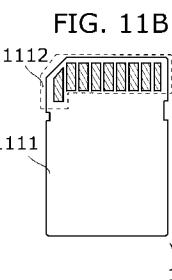
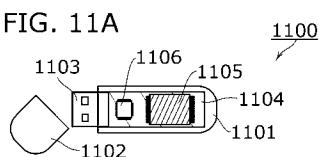


FIG. 11D

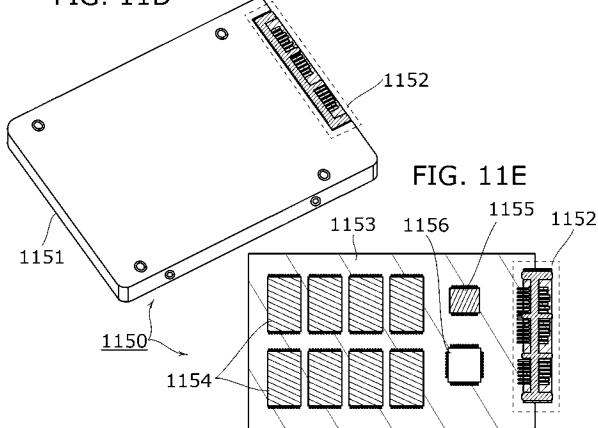
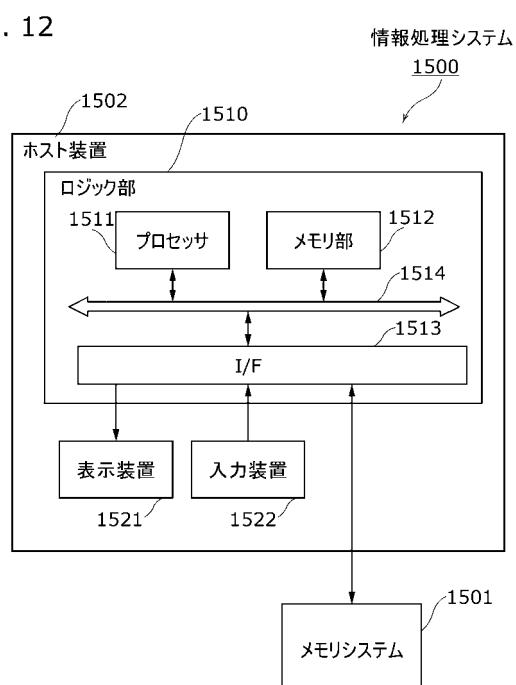


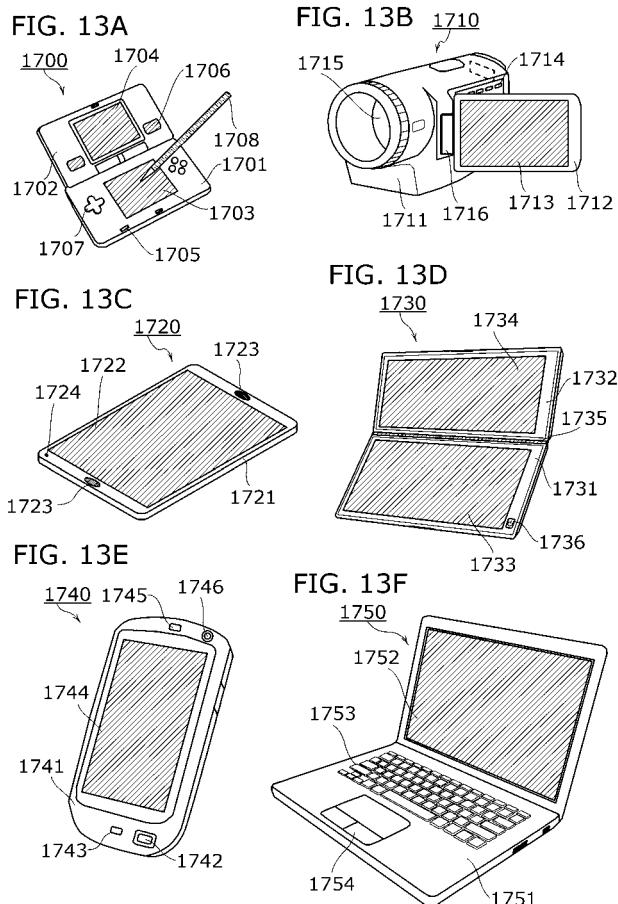
FIG. 11E

【図12】

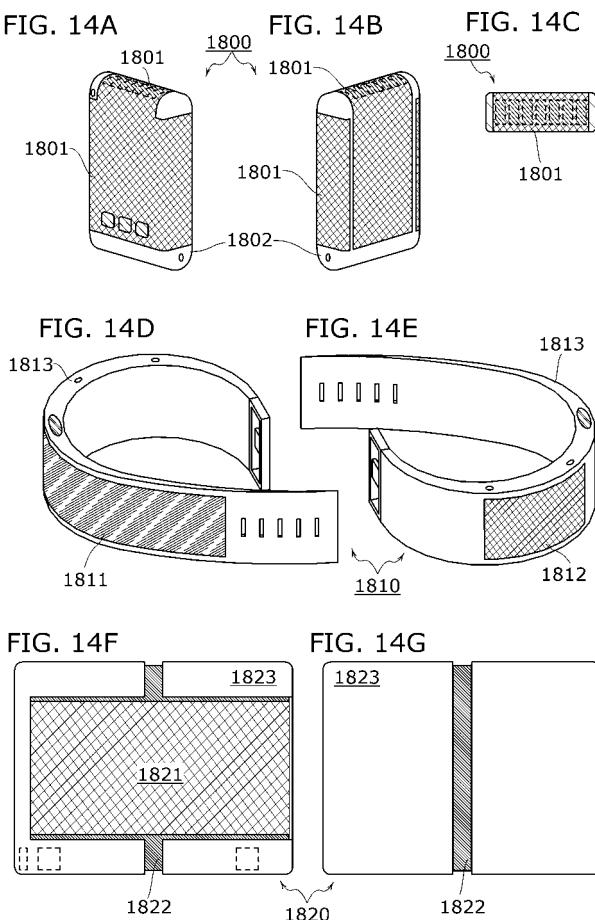
FIG. 12



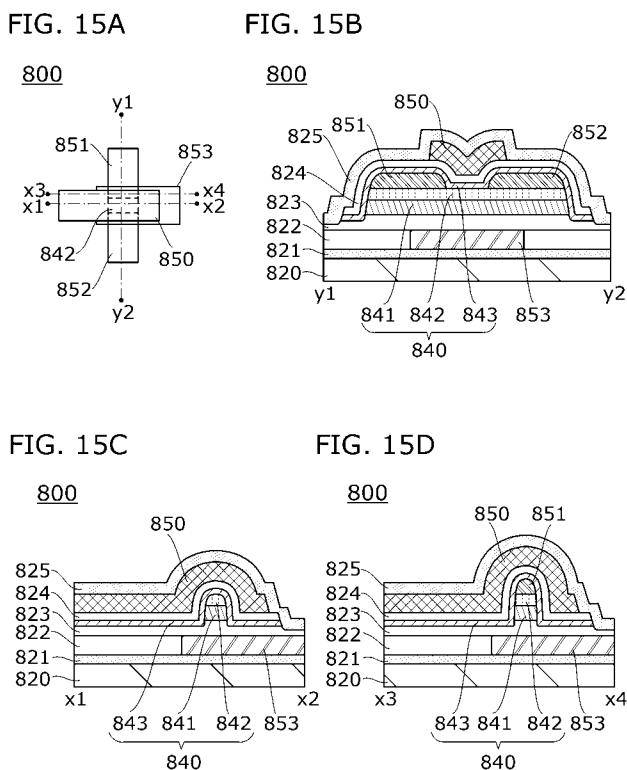
【図 13】



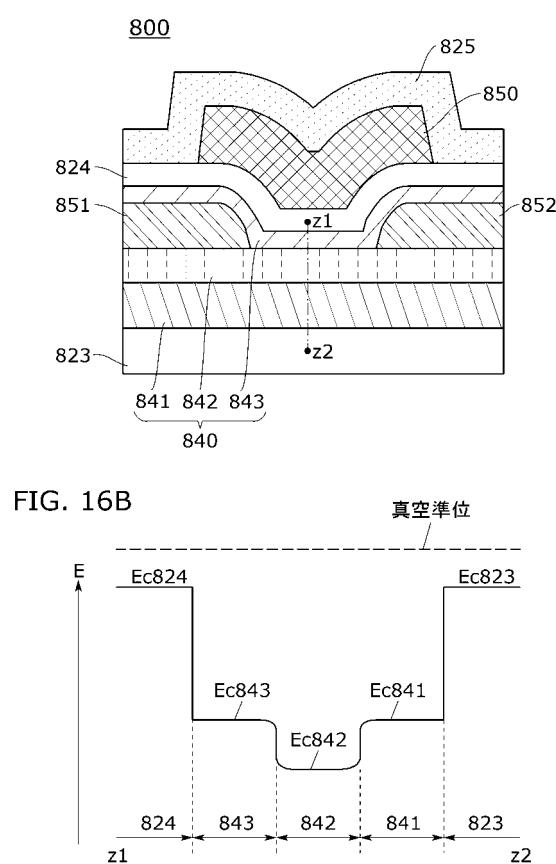
【図 14】



【図 15】



【図 16】



【図 17】

FIG. 17A

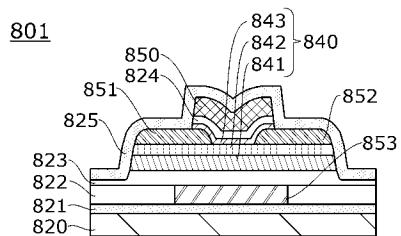


FIG. 17B

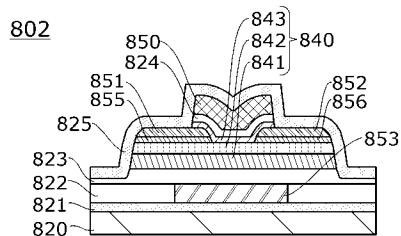
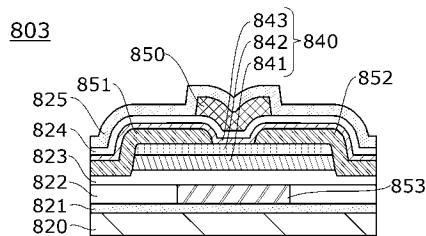


FIG. 17C



【図 18】

FIG. 18A

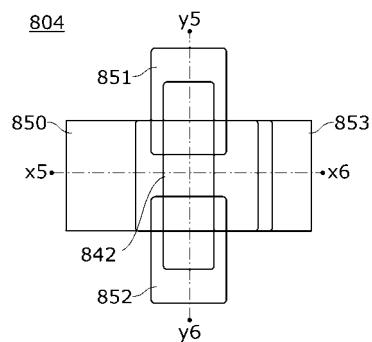


FIG. 18B

804

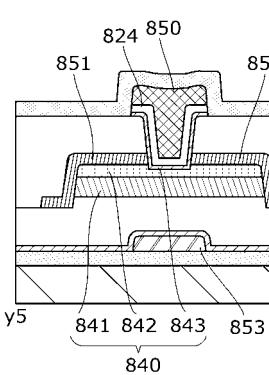
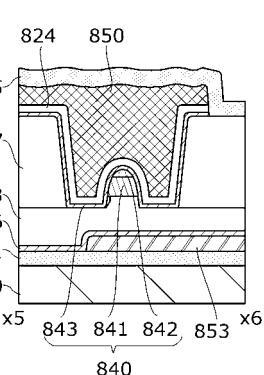


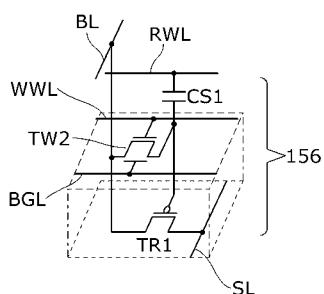
FIG. 18C

804



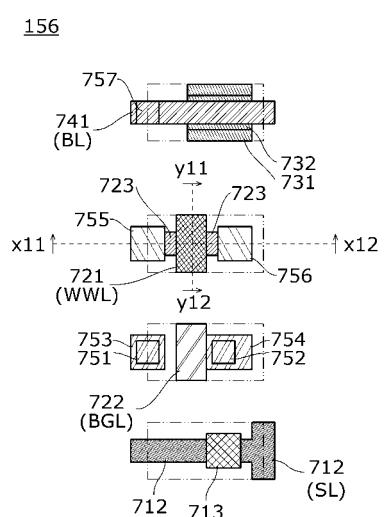
【図 19】

FIG. 19



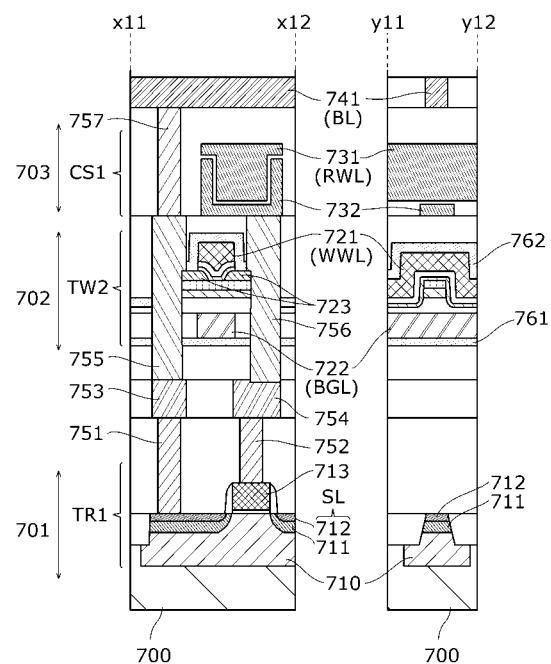
【図 20】

FIG. 20



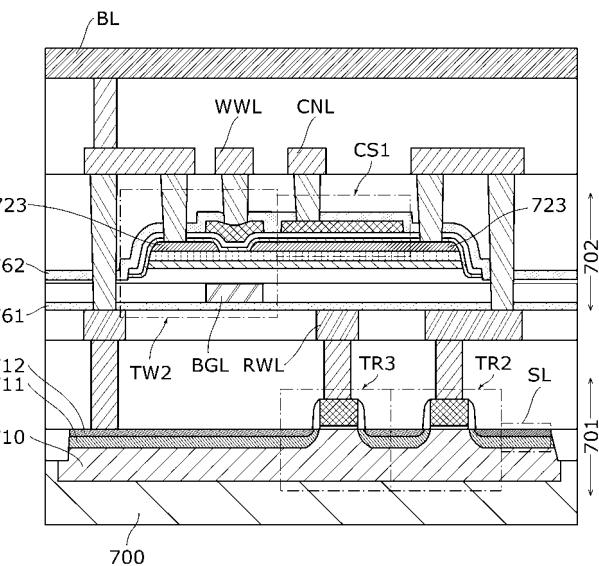
【図 2 1】

FIG. 21

156

【図 2 2】

FIG. 22

157

【図 2 3】

FIG. 23A

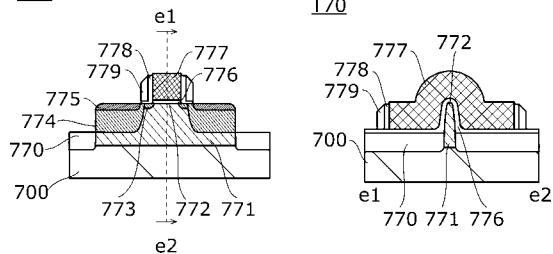
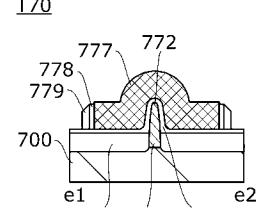
170

FIG. 23B

170

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 27/108 (2006.01)	H 01 L 27/10	3 2 1
H 01 L 27/10 (2006.01)	H 01 L 27/10	6 2 1 Z
	H 01 L 27/10	6 7 1 C
	H 01 L 27/10	6 7 1 Z
	H 01 L 27/10	6 2 1 C
	H 01 L 27/10	4 8 1
	H 01 L 27/10	6 8 1 F

F ターム(参考) 5L106 AA01 BB12 FF08
5M024 AA04 BB02 BB30 BB32 CC07 KK35