

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-331584

(P2005-331584A)

(43) 公開日 平成17年12月2日(2005.12.2)

(51) Int. Cl.⁷

F I

テーマコード (参考)

G09G 3/28

G09G 3/28

J

5C080

G09G 3/20

G09G 3/20

611E

5C580

G09G 3/288

G09G 3/20

611H

5J001

H03K 5/13

G09G 3/20

611J

5J055

H03K 17/00

G09G 3/20

621G

審査請求 未請求 請求項の数 5 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2004-147752 (P2004-147752)

(22) 出願日 平成16年5月18日 (2004.5.18)

(71) 出願人 599132708

富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号

(74) 代理人 100099759

弁理士 青木 篤

(74) 代理人 100092624

弁理士 鶴田 準一

(74) 代理人 100113826

弁理士 倉地 保幸

(74) 代理人 100082898

弁理士 西山 雅也

(72) 発明者 小野澤 誠

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会社
社内

最終頁に続く

(54) 【発明の名称】 容量性負荷駆動回路およびプラズマディスプレイ装置

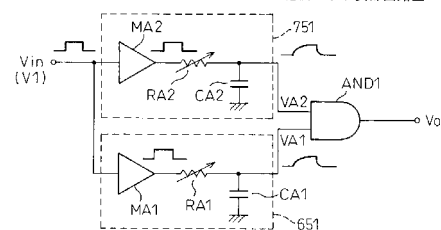
(57) 【要約】

【課題】 従来のプラズマディスプレイ装置は、表示画像に応じてPDPの負荷が高くなることがあるが、そのような高負荷時のPDPを有効に駆動するものとはいえなかった。

【解決手段】 入力端子Vinから入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路651と、該入力信号のバックエッジを遅延させるバックエッジ遅延回路751と、該フロントおよびバックエッジ遅延回路を介して得られる駆動制御信号を増幅する増幅回路と、該増幅回路によって駆動される出力スイッチ素子とを備え、該フロントエッジ遅延回路は第1の抵抗RA1および第1の容量CA1をから成る第1の時定数回路を備え、該バックエッジ遅延回路は第2の抵抗RA2および第2の容量CA2から成る第2の時定数回路を備え、該駆動制御信号は該第1の時定数回路の出力信号および該第2の時定数回路の出力信号を合成する信号合成回路AND1により生成されるように構成する。

【選択図】 図12

図12 本発明に係る容量性負荷駆動回路の第1実施例を示す要部回路図



【特許請求の範囲】

【請求項 1】

入力端子と、
該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路と、
前記入力信号のバックエッジを遅延させるバックエッジ遅延回路と、
前記フロントエッジ遅延回路および前記バックエッジ遅延回路を介して得られる駆動制御信号を増幅する増幅回路と、
該増幅回路によって駆動される出力スイッチ素子とを備える容量性負荷駆動回路であって、
前記フロントエッジ遅延回路は、第 1 の抵抗および第 1 の容量をから成る第 1 の時定数回路を備え、
前記バックエッジ遅延回路は、第 2 の抵抗および第 2 の容量から成る第 2 の時定数回路を備え、
前記駆動制御信号は、前記第 1 の時定数回路の出力信号および前記第 2 の時定数回路の出力信号を合成する信号合成回路により生成されることを特徴とする容量性負荷駆動回路。

10

【請求項 2】

請求項 1 に記載の容量性負荷駆動回路において、前記第 1 の時定数回路および前記第 2 の時定数回路のいずれか一方、または、両方の前段にバッファ回路を設けたことを特徴とする容量性負荷駆動回路。

20

【請求項 3】

請求項 1 に記載の容量性負荷駆動回路において、前記第 1 の時定数回路における前記第 1 の抵抗の値を調整することによってフロントエッジの遅延時間を調整し、且つ、前記第 2 の時定数回路における前記第 2 の抵抗の値を調整することによってバックエッジの遅延時間を調整することを特徴とする容量性負荷駆動回路。

【請求項 4】

表示手段となる容量性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動回路であって、

30

前記容量性負荷の一端に第 1 の電位を供給するための第 1 の信号ラインと、
該第 1 の信号ラインへ前記第 1 の電位を供給するための第 1 のスイッチ素子と、
該第 1 のスイッチ素子を駆動するための第 1 のドライブ回路と、
前記第 1 の信号ラインへ第 2 の電位を供給するための第 2 のスイッチ素子と、
該第 2 のスイッチ素子を駆動するための第 2 のドライブ回路と、
前記容量性負荷の一端に前記第 1 の電位とは異なる第 3 の電位を供給するための第 2 の信号ラインと、

前記第 1 の信号ラインと前記第 2 の信号ラインとの間に接続され、前記第 1 および第 2 の電位よりも低い電位を該第 1 の信号ラインに供給可能な第 1 のコンデンサと、

前記第 2 の信号ラインに前記第 2 の電位を供給するための第 3 のスイッチ素子と、

該第 3 のスイッチ素子を駆動するための第 3 のドライブ回路と、

40

前記第 1 の信号ラインを前記容量性負荷の一端に接続するための第 4 のスイッチ素子と、

該第 4 のスイッチ素子を駆動するための第 4 のドライブ回路と、

前記第 2 の信号ラインを前記容量性負荷の一端に接続するための第 5 のスイッチ素子と、

該第 5 のスイッチ素子を駆動するための第 5 のドライブ回路と、

前記第 1 の信号ラインおよび前記第 2 の信号ラインの少なくとも一方と前記第 2 の電位を供給する供給ラインとの間に接続されたコイル回路とを備え、さらに、

前記第 1 ～第 5 のドライブ回路のいずれかのドライブ回路の前段に対して、

入力端子と、

50

該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路と、

前記入力信号のバックエッジを遅延させるバックエッジ遅延回路とを設けたことを特徴とする容量性負荷駆動回路。

【請求項 5】

複数の X 電極と、

該複数の X 電極に略平行に配置され、該複数の X 電極との間に放電を発生させる複数の Y 電極と、

前記複数の X 電極に放電電圧を印加する X 電極駆動回路と、

前記複数の Y 電極に放電電圧を印加する Y 電極駆動回路とを備えるプラズマディスプレイ装置であって、 10

前記 X 電極駆動回路または前記 Y 電極駆動回路に対して、請求項 1～4 のいずれか 1 項に記載の容量性負荷駆動回路を適用したことを特徴とするプラズマディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、容量性負荷駆動回路およびプラズマディスプレイ装置に関し、特に、プラズマディスプレイパネル（PDP：Plasma Display Panel）の画素のような容量性負荷を駆動する容量性負荷駆動回路およびプラズマディスプレイ装置に関する。

【0002】

近年、薄型の表示装置としてプラズマディスプレイ装置が実用化されている。プラズマディスプレイパネルの各画素のような容量性負荷を駆動する容量性負荷駆動回路において、遅延回路によって遅延時間を調整すると、サステインパルスのパルス幅がばらつく可能性がある。例えば、サステインパルスのパルス幅が大きくなると、タイムマージンの減少や異常電流の発生等が生じる。一方、サステインパルスのパルス幅が小さくなると、サステイン電圧の立ち上がりおよび立ち下がり波形にノイズが重畳されて、プラズマディスプレイ装置における動作マージンが減少し、また、画面のチラツキが発生する。そこで、遅延回路によって遅延時間を調整した場合等に生じる出力パルス幅変動を低減し、適切な出力電圧を容量性負荷に供給することのできる容量性負荷駆動回路の提供が要望されている。さらに、タイムマージンの減少や、異常電流およびノイズ等の問題がない駆動電圧をプラズマディスプレイパネルへ供給することのできるプラズマディスプレイ装置の提供も要望されている。 20 30

【背景技術】

【0003】

近年、プラズマディスプレイパネルは、自己発光型であるため視認性がよく、薄型で大画面表示および高速表示が可能であることから、CRTに替わる表示パネルとして実用化されている。

【0004】

図 1 は本発明が適用されるプラズマディスプレイ装置の一例を概略的に示す全体構成図であり、一般的な三電極面放電交流駆動型のプラズマディスプレイ装置を示すものである。図 1 において、参照符号 10 は PDP、11 は第 1 の電極（X 電極）、12 は第 2 の電極（Y 電極）、13 はアドレス電極、そして、14 はスキンドライバを示している。 40

【0005】

図 1 に示されるように、一般的な PDP 10 は、n 本の X 電極 11 と Y 電極 12（Y1～Yn）とを隣接して交互に配置して、n 組の X 電極 11 と Y 電極 12 の組を形成し、各組の X 電極 11 と Y 電極 12 の間で表示のための発光を行う。Y 電極と X 電極は表示電極と呼ばれるが、維持電極またはサステイン電極とも呼ばれることもある。m 本のアドレス電極 13（A1～Am）は、表示電極と垂直な方向に設けら、各アドレス電極 13 と X 電極 11 および Y 電極 12 の各組との交点部分にそれぞれ表示セルが形成される。

【0006】

Y電極12は、スキヤンドライバ14に接続されている。スキヤンドライバ14にはY電極の本数分のスイッチ16が設けられており、アドレス期間には走査信号発生回路15からのスキヤンパルスが順に印加されるように切り換えられ、維持放電期間には、Yサステイン回路19からのサステインパルスが同時に印加されるように切り換えられる。X電極11はXサステイン回路18に共通に接続され、また、アドレス電極13はアドレスドライバ17に接続される。画像信号処理回路21は、画像信号をプラズマディスプレイ装置内部での動作に適した形式に変換した後、アドレス回路17に供給する。駆動制御回路20は、プラズマディスプレイ装置の各部を制御する信号を発生して供給する。

【0007】

図2は図1に示すプラズマディスプレイ装置の駆動波形を示す図である。

10

【0008】

プラズマディスプレイ装置は、1つの表示画面を所定の周期毎に書き換えながら表示しており、1表示周期を1フィールドと称する。階調表示を行う場合には、1フィールドをさらに複数のサブフィールドに分割し、表示セル毎に発光するサブフィールドを組み合わせて表示を行う。各サブフィールドは、全表示セルを初期化するリセット期間と、全表示セルを表示する画像に対応した状態に設定するアドレス期間と、設定された状態に応じて各表示セルを発光させる維持放電（サステイン）期間とで構成される。維持放電期間には、X電極とY電極に交互に維持（サステイン）パルスが印加され、アドレス期間に発光するように設定された表示セルで維持放電が行なわれ、これが表示のための発光になる。

【0009】

20

プラズマディスプレイ装置では、維持放電期間に、電極間に最大で200V程度の電圧を高周波数のパルスとして印加する必要がある、特に、サブフィールド表示で階調表示を行うものではパルス幅は数 μ sである。このような高電圧で且つ高周波の信号で駆動するため、一般にプラズマディスプレイ装置の消費電力は大きく、省電力化が要望されている。

【0010】

図3は本発明が適用されるプラズマディスプレイ装置の他の例を概略的に示す全体構成図であり、ALIS方式（Alternate Lighting of surface method）のプラズマディスプレイ装置を示すものである。

【0011】

30

図3に示されるように、ALIS方式のPDPでは、n本のY電極（第2の電極）12-Oおよび12-Eとn+1本のX電極（第1の電極）11-Oおよび11-Eを隣接して交互に配置し、全ての表示電極（Y電極とX電極）の間で表示発光を行う。従って、2n+1本の表示電極で、2n本の表示ラインが形成される。つまり、ALIS方式は、図1の構成と同等の表示電極数で2倍の精細度が実現できる。また、放電空間を無駄なく使用でき、さらに、電極などによる遮光が小さいため高い開口率が得られ、高輝度が実現できるという特徴を有する。なお、ALIS方式では、全ての表示電極間を表示のための放電に利用するが、それらの放電を同時に発生することはできない。そこで、表示を奇数ラインと偶数ラインで時間的に分割する、いわゆるインターレース走査を行う。奇数フィールドでは奇数番目の表示ラインで表示を行い、偶数フィールドでは偶数番目の表示ラインで表示を行って、全体として奇数フィールドと偶数フィールドの表示を合わせた表示を得るようになっている。

40

【0012】

Y電極はスキヤンドライバ14に接続されている。スキヤンドライバ14にはスイッチ16が設けられており、アドレス期間には順にスキヤンパルスが印加されるように切り換えられ、維持放電期間には、奇数のY電極12-Oは第1のYサステイン回路19-Oに、偶数のY電極12-Eは第2のYサステイン回路19-Eに接続されるように切り換えられる。このとき、奇数のX電極11-Oは第1のXサステイン回路18-Oに、偶数のX電極11-Eは第2のXサステイン回路18-Eに接続される。また、アドレス電極13は、アドレスドライバ17に接続される。画像信号処理回路21と駆動制御回路20は

50

、図 1 で説明したのと同様の動作を行う。

【0013】

図 4 は図 3 に示すプラズマディスプレイ装置における維持放電期間の駆動波形を示す図であり、図 4 (a) は奇数フィールドの波形を示し、また、図 4 (b) は偶数フィールドの波形を示す。奇数フィールドでは、電極 Y 1 と X 2 に電圧 V_s を印加し、電極 X 1 と Y 2 をグラウンドレベルとし、電極 X 1 と Y 1 間および電極 X 2 と Y 2 間で、すなわち、奇数表示ラインで放電を行なわせる。このとき、偶数表示ラインの電極 Y 1 と X 2 の間の電位差はゼロであり、放電は発生しない。同様に、偶数フィールドでは、電極 X 1 と Y 2 に電圧 V_s を印加し、電極 Y 1 と X 2 をグラウンドレベルとし、電極 Y 1 と X 2 間および電極 Y 2 と X 1 間で、すなわち、偶数表示ラインで放電を発生させる。リセット期間やアドレス期間の駆動波形についての説明は省略する。

10

【0014】

ところで、従来、サステインパルスの立ち上がり・立ち下がりタイミングのずれや形状のずれのないサステイン回路を有し、低消費電力で誤動作しないプラズマディスプレイ装置が提案されている（例えば、特許文献 1 参照）。

【0015】

図 5 は従来のプラズマディスプレイ装置におけるサステイン回路（容量性負荷駆動回路）の一例を示す回路図であり、電力を回収する回収経路と蓄積した電力を印加する印加経路を分離した電力回収回路を有するサステイン回路を示すものである。なお、信号 V 1 ~ V 4 を発生する回路も設けられているが、ここでは省略してある。参照符号 C p は PDP (10) の X 電極と Y 電極で形成される表示セルの駆動容量（容量性負荷）を示す。図 5 では、一方の電極のサステイン回路を示したが、他方の電極にも同様のサステイン回路が設けられている。

20

【0016】

まず、電力回収回路のないサステイン回路は、スイッチ素子（サステイン出力素子：n チャンネル型 MOS トランジスタ）31 および 33、増幅回路（ドライブ回路）32 および 34、並びに、遅延回路（フロントエッジ遅延回路）51 および 52 を備えて構成され、また、電力回収回路は、スイッチ素子 37 および 40、増幅回路 38 および 41、並びに、遅延回路（フロントエッジ遅延回路）54 および 53 を備えて構成される。

【0017】

入力信号 V 1 および V 2 は、それぞれ遅延回路 51 および 52 を介して増幅回路 32 および 34 に入力され、これら増幅回路 32 および 34 から出力される信号 V G 1 および V G 2 がスイッチ素子 31 および 33 のゲートに供給される。ここで、入力信号 V 1 が高レベル『H』の時にはスイッチ素子 31 がオンし、高レベル『H』の信号が電極（X 電極または Y 電極）に印加される。このとき、入力信号 V 2 は低レベル『L』となってスイッチ素子 33 はオフする。さらに、入力信号 V 1 が低レベル『L』になってスイッチ素子 31 がオフすると、同時に入力信号 V 2 が高レベル『H』になってスイッチ素子 33 がオンし、電極にはグラウンドレベルの電位が印加される。

30

【0018】

一方、電力回収回路を有するサステイン回路において、サステインパルスを印加する時には、入力信号 V 1 が高レベル『H』になる前に、入力信号 V 2 が低レベル『L』になりスイッチ素子 33 がオフした後、入力信号 V 3 が高レベル『H』になってスイッチ素子 40 がオンして容量 39、ダイオード 42、コイル（インダクタンス）43 および容量 C p で共振回路が形成され、容量 39 に蓄積された電力が電極に供給されて電極の電位が上昇する。この電位の上昇が終了する直前に入力信号 V 3 が低レベル『L』になってスイッチ素子 40 がオフし、さらに、入力信号 V 1 が高レベル『H』になってスイッチ素子 31 がオンして、電極の電位を V_s に固定する。

40

【0019】

また、サステインパルスの印加を終了する時には、まず、入力信号 V 1 が低レベル『L』になりスイッチ素子 31 がオフした後、入力信号 V 4 が高レベル『H』になってスイッ

50

チ素子 37 がオンし、容量 39、ダイオード 36、コイル 35 および容量 C_p で共振回路が形成され、容量 C_p に蓄積された電荷が容量 39 に供給されて容量 39 の電圧が上昇する。これにより、電極に印加されたサステインパルスにより容量 C_p に蓄積された電力が容量 39 に回収される。この電極の電位の低下が終了する直前に入力信号 V_4 が低レベル『L』になってスイッチ素子 37 がオフし、さらに、入力信号 V_2 が高レベル『H』になってスイッチ素子 33 がオンし、電極の電位がグランドに固定される。維持放電期間の間は、サステインパルス数だけ上記の動作を繰り返す。以上の構成により、維持放電に伴う消費電力を低減することが可能になる。

【0020】

図 6 は図 5 に示すサステイン回路における遅延回路の一例を示す回路図である。

10

【0021】

図 6 に示されるように、遅延回路 51 (52~54) は、入力端子から入力される入力信号 V_1 ($V_2 \sim V_4$) のフロントエッジを遅延させる回路であり、抵抗 (可変抵抗素子) R および容量 (容量素子) C を備え、抵抗 R の抵抗値を可変することにより各入力信号の遅延時間を制御するようになっている。すなわち、遅延回路 51, 52, 53, 54 により、後段に接続されている増幅回路 32, 34, 41, 38 の遅延時間のバラツキを補正して、スイッチ素子 31, 33, 40, 37 を適切なタイミングで駆動できるように、各スイッチ素子に供給するドライブパルスの位相を調整するようになっている。

【0022】

これにより、プラズマディスプレイパネルへ適切なタイミングのサステインパルスを供給すると共に、増幅回路の遅延時間のバラツキによって生じる電力増加を抑えることが可能になる。

20

【0023】

また、従来、駆動装置が備える各素子の耐圧を低くして、回路構成の簡素化および製造コストの削減を図るようにした駆動装置、駆動方法およびプラズマディスプレイパネルの駆動回路が提案されている (例えば、特許文献 2 参照)。

【0024】

さらに、従来、交流駆動型 PDP の駆動装置において、電力回収回路が正常に動作しなかった場合、駆動装置における出力ロスが大きくなって該駆動装置を構成する各素子の発熱量が増加するが、駆動装置の各素子を耐圧の大きい部品等で構成することなく、また、電力回収回路が正常に動作しなかった場合でも素子破壊等の発生を防止することができるプラズマディスプレイ装置が提案されている (例えば、特許文献 3 参照)。

30

【0025】

【特許文献 1】特開 2001-282181 号公報

【特許文献 2】特開 2002-062844 号公報

【特許文献 3】特開 2002-215087 号公報

【発明の開示】

【発明が解決しようとする課題】

【0026】

図 7 は従来のサステイン回路における増幅回路の閾値電圧と出力パルス幅との関係を説明するための図であり、上述した図 5 に示すサステイン回路における課題を説明するための図である。また、図 8 は従来のサステイン回路における遅延時間と出力パルス幅との関係を説明するための図であり、そして、図 9 は従来のサステイン回路における出力パルス幅が大きい場合の動作波形を示す図である。

40

【0027】

図 7 (a) は、前述した図 5 に示すサステイン回路において、遅延回路 (51) として図 6 の回路を適用し、1つのスイッチ素子 (31) を駆動する要部回路 (遅延回路 51 および増幅回路 32) を示している。ここで、図 7 (a) の回路において、入力信号を V_{in} (V_1)、遅延回路 51 における抵抗 R および容量 C の接続ノードの電圧を V_{rc} 、増幅回路 32 の閾値電圧を V_{th} 、そして、増幅回路の出力電圧を V_o とする。このとき、各電圧

50

V_{in} , V_{rc} , V_{th} および V_o の波形は図7(b)～図7(d)のようになる。なお、説明を簡潔にするために増幅回路32での遅延時間を零とする。また、他の遅延回路(52, 53, 54)および増幅回路(34, 41, 38)で構成される要部回路も同様である。

【0028】

まず、入力信号 V_{in} の高レベル『H』の電圧を V_{cc} とすると、増幅回路32の閾値電圧 V_{th} が、 $V_{th} = V_{th1} = V_{cc}/2$ の時、抵抗 R および容量 C によるフロントエッジ(立ち上がりエッジ)の遅延時間 T_1 は、バックエッジ(立ち下がりエッジ)の遅延時間 T_2 と等しくなる。従って、入力信号のパルス幅 T_{win} と増幅回路32の出力信号 V_o のパルス幅 T_{wo} は等しくなる。なお、遅延回路51における抵抗 R の抵抗値を大きくして遅延時間 T_1 を増加させた場合でも、パルス幅 T_{wo} は一定である(図8(a)を参照)。

10

【0029】

次に、閾値電圧 V_{th} が、 $V_{th} = V_{th2} < V_{cc}/2$ の時は、図7(d)の破線で示すような出力波形となり、 $T_1 < T_2$ 、従って、 $T_{win} < T_{wo}$ となる。このとき、 T_1 と T_{wo} の関係は、図8(b)に示されるように、遅延時間 T_1 が大きくなるほど出力信号 V_o のパルス幅 T_{wo} も大きくなる。そして、図5に示すサステイン回路における各部の波形は、図9の破線に示したようになる。なお、図9において、実線は、 $T_{win} = T_{wo}$ の時の波形を示している。

【0030】

その結果、図9に示されるように、信号 V_{G2} が立ち下ってから信号 V_{G1} が立ち上がるまでのタイムマージン T_{M1} 、および、信号 V_{G1} が立ち下ってから信号 V_{G2} が立ち上がるまでのタイムマージン T_{M2} が減少する。このタイムマージン T_{M1} および T_{M2} は、スイッチ素子31(スイッチ素子 C_U)および33(C_D)が同時にオンになって貫通電流が流れることがないようにするためのタイムマージンである。このようなタイムマージンの減少は、回路の信頼性低下につながることになる。

20

【0031】

また、図9に示されるように、信号 V_{G2} が立ち下ってから信号 V_{G3} が立ち上がるまでの時間 T_{M3} 、および、信号 V_{G1} が立ち下ってから信号 V_{G4} が立ち上がるまでの時間 T_{M4} も減少するため、場合によってはスイッチ素子33(C_D)および40(L_U)が同時にオンしたり、スイッチ素子31(C_U)および37(L_D)が同時にオンすることにより、これらのスイッチ素子に異常電流が流れる危険がある。

30

【0032】

さらに、閾値電圧 V_{th} が、 $V_{th} = V_{th3} > V_{cc}/2$ の時は、図7(d)の一点鎖線で示すような出力波形となり、 $T_1 > T_2$ 、従って、 $T_{win} > T_{wo}$ となる。このとき、 T_1 と T_{wo} の関係は、図8(c)に示したように、遅延時間 T_1 が大きくなるほど出力信号 V_o のパルス幅(出力パルス幅) T_{wo} は小さくなる。そして、図5に示すサステイン回路における各部の波形は、図9の破線に示したようになる。なお、図9における実線は、 $T_{win} = T_{wo}$ の時の波形を示している。

【0033】

図10は従来のサステイン回路における出力パルス幅が小さい場合の動作波形を示す図である。

40

【0034】

図10に示されるように、信号 V_{G1} および V_{G2} のパルス幅が小さくなると、スイッチ素子31および33がオンしている期間が短くなる。その結果、本来、サステイン電源電圧 V_s または接地電圧 GND にクランプしていなければならない期間においても、ハイインピーダンス状態となる。この結果、サステイン電圧(サステイン回路の出力信号) V_{out} の高レベル『H』期間や低レベル『L』期間において、ノイズが重畳される恐れがある。

【0035】

また、信号 V_{G3} および V_{G4} のパルス幅が小さくなった場合、スイッチ素子37および40に電流が流れている途中で信号 V_{G3} および V_{G4} が立ち下がると、上述したスイ

50

スイッチ素子 37 および 40 を強制的にオフ状態にする可能性がある。このように、スイッチ素子 37 および 40 を強制的にオフ状態にすると、スイッチ素子 37 および 40 の電力損失が増加したり、図 10 に示すサステイン電圧 V_{out} の立ち上がり波形および立ち下がり波形にノイズが重畳されることにもなる。

【0036】

このようなハイインピーダンス状態でのノイズや、サステイン電圧の立ち上がり波形および立ち下がり波形におけるノイズが重畳されると、プラズマディスプレイ装置における動作マージンが減少し、画面のチラツキが発生することになる。

【0037】

さらに、以上の説明では増幅回路における遅延時間を零としたが、実際には、増幅回路においても遅延時間が存在し、さらに、増幅回路内の部品バラツキ等により遅延時間にもバラツキが生じている。図 5 に示す 4 つの遅延回路 (51, 52, 53, 54) は、対応する各増幅回路 (32, 34, 41, 38) における遅延時間のバラツキを吸収するために、フロントエッジの遅延時間 T_1 をそれぞれ独立に調整するようになっており、そのため、出力信号 V_o のパルス幅 (出力パルス幅) T_{wo} も増幅回路毎に異なる特性となっている。従って、出力パルス幅が大きくなった場合に生じるタイムマージンの減少および異常電流の発生等の問題、或いは、出力パルス幅が小さくなった場合に生じるサステイン電圧 V_{out} に重畳されるノイズの問題等が、より一層発生し易いといった解決すべき課題がある。

【0038】

本発明の目的は、遅延回路によって遅延時間を調整した場合等に生じる出力信号のパルス幅の変動を低減し、適切な出力電圧を容量性負荷に供給することのできる容量性負荷駆動回路を提供することにある。さらに、本発明の他の目的は、タイムマージンの減少、異常電流の発生、および、ノイズ等の問題がない駆動電圧をプラズマディスプレイパネルへ供給することのできるプラズマディスプレイ装置を提供することにある。

【課題を解決するための手段】

【0039】

本発明の第 1 の形態によれば、入力端子と、該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路と、前記入力信号のバックエッジを遅延させるバックエッジ遅延回路と、前記フロントエッジ遅延回路および前記バックエッジ遅延回路を介して得られる駆動制御信号を増幅する増幅回路と、該増幅回路によって駆動される出力スイッチ素子とを備える容量性負荷駆動回路であって、前記フロントエッジ遅延回路は、第 1 の抵抗および第 1 の容量をから成る第 1 の時定数回路を備え、前記バックエッジ遅延回路は、第 2 の抵抗および第 2 の容量から成る第 2 の時定数回路を備え、前記駆動制御信号は、前記第 1 の時定数回路の出力信号および前記第 2 の時定数回路の出力信号を合成する信号合成回路により生成されることを特徴とする容量性負荷駆動回路が提供される。

【0040】

本発明の第 2 の形態によれば、表示手段となる容量性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動回路であって、前記容量性負荷の一端に第 1 の電位を供給するための第 1 の信号ラインと、該第 1 の信号ラインへ前記第 1 の電位を供給するための第 1 のスイッチ素子と、該第 1 のスイッチ素子を駆動するための第 1 のドライブ回路と、前記第 1 の信号ラインへ第 2 の電位を供給するための第 2 のスイッチ素子と、該第 2 のスイッチ素子を駆動するための第 2 のドライブ回路と、前記容量性負荷の一端に前記第 1 の電位とは異なる第 3 の電位を供給するための第 2 の信号ラインと、前記第 1 の信号ラインと前記第 2 の信号ラインとの間に接続され、前記第 1 および第 2 の電位よりも低い電位を該第 1 の信号ラインに供給可能な第 1 のコンデンサと、前記第 2 の信号ラインに前記第 2 の電位を供給するための第 3 のスイッチ素子と、該第 3 のスイッチ素子を駆動するための第 3 のドライブ回路と、前記第 1 の信号ラインを前記容量性負荷の一端に接続するための第 4 のスイッチ素子と、該第 4 のスイッチ素子を駆動するための第 4 のドライブ回路と

、前記第2の信号ラインを前記容量性負荷の一端に接続するための第5のスイッチ素子と、該第5のスイッチ素子を駆動するための第5のドライブ回路と、前記第1の信号ラインおよび前記第2の信号ラインの少なくとも一方と前記第2の電位を供給する供給ラインとの間に接続されたコイル回路とを備え、さらに、前記第1～第5のドライブ回路のいずれかのドライブ回路の前段に対して、入力端子と、該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路と、前記入力信号のバックエッジを遅延させるバックエッジ遅延回路とを設けたことを特徴とする容量性負荷駆動回路が提供される。

【0041】

本発明の第3の形態によれば、複数のX電極と、該複数のX電極に略平行に配置され、
該複数のX電極との間に放電を発生させる複数のY電極と、前記複数のX電極に放電電圧を印加するX電極駆動回路と、前記複数のY電極に放電電圧を印加するY電極駆動回路とを備えるプラズマディスプレイ装置であって、前記X電極駆動回路または前記Y電極駆動回路に対して容量性負荷駆動回路を適用し、該容量性負荷駆動回路は、入力端子と、該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路と、前記入力信号のバックエッジを遅延させるバックエッジ遅延回路と、前記フロントエッジ遅延回路および前記バックエッジ遅延回路を介して得られる駆動制御信号を増幅する増幅回路と、該増幅回路によって駆動される出力スイッチ素子とを備え、前記フロントエッジ遅延回路は、第1の抵抗および第1の容量をから成る第1の時定数回路を備え、前記バックエッジ遅延回路は、第2の抵抗および第2の容量から成る第2の時定数回路を備え、
前記駆動制御信号は、前記第1の時定数回路の出力信号および前記第2の時定数回路の出力信号を合成する信号合成回路により生成されることを特徴とするプラズマディスプレイ装置が提供される。

【0042】

本発明の第4の形態によれば、複数のX電極と、該複数のX電極に略平行に配置され、
該複数のX電極との間に放電を発生させる複数のY電極と、前記複数のX電極に放電電圧を印加するX電極駆動回路と、前記複数のY電極に放電電圧を印加するY電極駆動回路とを備えるプラズマディスプレイ装置であって、前記X電極駆動回路または前記Y電極駆動回路に対して容量性負荷駆動回路を適用し、該容量性負荷駆動回路は、表示手段となる容量性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動回路であって、前
記容量性負荷の一端に第1の電位を供給するための第1の信号ラインと、該第1の信号ラインへ前記第1の電位を供給するための第1のスイッチ素子と、該第1のスイッチ素子を駆動するための第1のドライブ回路と、前記第1の信号ラインへ第2の電位を供給するための第2のスイッチ素子と、該第2のスイッチ素子を駆動するための第2のドライブ回路と、前記容量性負荷の一端に前記第1の電位とは異なる第3の電位を供給するための第2の信号ラインと、前記第1の信号ラインと前記第2の信号ラインとの間に接続され、前記第1および第2の電位よりも低い電位を該第1の信号ラインに供給可能な第1のコンデンサと、前記第2の信号ラインに前記第2の電位を供給するための第3のスイッチ素子と、
該第3のスイッチ素子を駆動するための第3のドライブ回路と、前記第1の信号ラインを前記容量性負荷の一端に接続するための第4のスイッチ素子と、該第4のスイッチ素子を
駆動するための第4のドライブ回路と、前記第2の信号ラインを前記容量性負荷の一端に接続するための第5のスイッチ素子と、該第5のスイッチ素子を駆動するための第5のドライブ回路と、前記第1の信号ラインおよび前記第2の信号ラインの少なくとも一方と前記第2の電位を供給する供給ラインとの間に接続されたコイル回路とを備え、さらに、前記第1～第5のドライブ回路のいずれかのドライブ回路の前段に対して、入力端子と、該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路と、前記入力信号のバックエッジを遅延させるバックエッジ遅延回路とを設けたことを特徴とするプラズマディスプレイ装置が提供される。

【発明の効果】

【0043】

10

20

30

40

50

本発明によれば、遅延回路によって遅延時間を調整した場合等に生じる出力信号のパルス幅の変動を低減し、適切な出力電圧を容量性負荷に供給するようにした容量性負荷駆動回路を提供することができる。また、本発明によれば、タイムマージンの減少、異常電流の発生、および、ノイズ等の問題がない駆動電圧をプラズマディスプレイパネルへ供給することのできるプラズマディスプレイ装置を適用することができる。

【発明を実施するための最良の形態】

【0044】

以下、本発明に係る容量性負荷駆動回路およびプラズマディスプレイ装置の実施例を、図面を参照して詳述する。なお、本発明に係る表示装置およびその駆動方法は、例えば、ALIS方式のプラズマディスプレイ装置に限定されるものでなく、様々な方式のプラズマディスプレイ装置に対して幅広く適用することができる。

【実施例】

【0045】

図11は本発明に係る容量性負荷駆動回路の一例の全体構成を示すブロック回路図である。

【0046】

図11と図5との比較から明らかなように、図11に示す本発明に係る容量性負荷駆動回路の一例は、図5に示す従来のサステイン回路（容量性負荷駆動回路）における遅延回路51～54を、それぞれフロントエッジ遅延回路651～654およびバックエッジ遅延回路751～754で構成したものに相当する。従って、スイッチ素子（サステイン出力素子：nチャネル型MOSトランジスタ）31、33および増幅回路（ドライブ回路）32、34による駆動容量Cpの駆動動作、並びに、スイッチ素子37、40、増幅回路38、41、ダイオード36、42、コイル35、43および容量39（Cp）による電力回収回路の動作等は、図5を参照して詳述したのと同様であり、その説明は省略する。

【0047】

すなわち、図11に示されるように、本発明に係る容量性負荷駆動回路の一例は、入力信号V1およびV2のフロントエッジを遅延させるフロントエッジ遅延回路651および652と、入力信号V1およびV2のバックエッジを遅延させるバックエッジ遅延回路751および752と、フロントエッジ遅延回路651および652並びにバックエッジ遅延回路751および752を介して得られる駆動制御信号を増幅する増幅回路32および34と、増幅回路32および34によって駆動されるスイッチ素子31および33と、を備える。ここで、フロントエッジ遅延回路（651、652）およびバックエッジ遅延回路（751、752）は並列に設けられるようになっている。

【0048】

さらに、本発明に係る容量性負荷駆動回路の一例は、入力信号V3およびV4のフロントエッジを遅延させるフロントエッジ遅延回路653および654と、入力信号V3およびV4のバックエッジを遅延させるバックエッジ遅延回路753および754と、フロントエッジ遅延回路653および654並びにバックエッジ遅延回路753および754を介して得られる駆動制御信号を増幅する増幅回路41および38と、図5を参照して説明した増幅回路41および38によって駆動されるスイッチ素子40および37、ダイオード36、42、コイル35、43、並びに、容量39を有する電力回収回路と、を備える。ここで、フロントエッジ遅延回路（653、654）およびバックエッジ遅延回路（753、754）は並列に設けられるようになっている。

【0049】

図12は本発明に係る容量性負荷駆動回路の第1実施例を示す要部回路図であり、図13は図12に示す容量性負荷駆動回路の動作を説明するための図である。

【0050】

図12に示されるように、本第1実施例の容量性負荷駆動回路において、フロントエッジ遅延回路651は、非反転のバッファ回路MA1、抵抗RA1および容量（コンデンサ）CA1から成る時定数回路によって構成され、バックエッジ遅延回路751は、非反転

のバッファ回路MA2、抵抗RA2および容量CA2から成る時定数回路によって構成される。そして、抵抗RA1およびRA2の値を調整することにより、フロントエッジの遅延時間およびバックエッジの遅延時間を調整するようになっている。

【0051】

さらに、フロントエッジ遅延回路651の出力信号およびバックエッジ遅延回路751の出力信号は、後段のANDゲートAND1によって合成され、図13に示されるような出力信号（出力電圧）Voが得られることになる。

【0052】

このように、図12に示す回路を用いることにより、フロントエッジの遅延時間とバックエッジの遅延時間を独立に調整することができる。なお、図12に示す回路では、フロントエッジ遅延回路651およびバックエッジ遅延回路751において、それぞれ時定数回路の前段にバッファ回路MA1およびMA2を設けるようになっているため、フロントエッジの遅延時間調整を行った場合の干渉によってバックエッジの遅延時間が変化しないように、且つ、バックエッジの遅延時間調整を行った場合の干渉によってフロントエッジの遅延時間が変化しないようになっている。すなわち、本第1実施例の容量性負荷駆動回路は、バッファ回路MA1、MA2を用いることにより、より正確に出力信号Voのパルス幅を設定することができる。

【0053】

図14は本発明に係る容量性負荷駆動回路の第2実施例を示す要部回路図である。

【0054】

図14と図12との比較から明らかなように、本第2実施例の容量性負荷駆動回路では、図12に示す第1実施例の容量性負荷駆動回路におけるフロントエッジ遅延回路651のバッファ回路MA1が除かれ、バックエッジ遅延回路751の時定数回路の前段に設けたバッファ回路MA2により、バックエッジの遅延時間調整を行った場合の干渉によってフロントエッジの遅延時間が変化しないようになっている。すなわち、本第2実施例の容量性負荷駆動回路では、最初に抵抗RA1を変化させてフロントエッジの遅延時間を調整した後に、抵抗RA2を変化させてバックエッジの遅延時間を調整することにより、出力信号のパルス幅を正確に設定することが可能になる。そして、本第2実施例の容量性負荷駆動回路によれば、フロントエッジ遅延回路651のバッファ回路MA1が不要となった分、回路構成をより簡略化することができる。

【0055】

図15は本発明に係る容量性負荷駆動回路の第3実施例を示す要部回路図である。

【0056】

図15と図12との比較から明らかなように、本第3実施例の容量性負荷駆動回路では、図12に示す第1実施例の容量性負荷駆動回路におけるフロントエッジ遅延回路651のバッファ回路MA1およびバックエッジ遅延回路751のバッファ回路MA2を共に削除するようになっている。この場合、抵抗RA1を変化させて行うフロントエッジの遅延時間調整と、抵抗RA2を変化させて行うバックエッジの遅延時間調整は、相互に干渉することになるが、例えば、抵抗RA1およびRA2の調整を繰り返すことで出力信号Voのパルス幅の設定を行うことができ、バッファ回路MA1、MA2を不要としてより一層の回路の簡略化が必要な場合に適したものである。

【0057】

図16は本発明に係る容量性負荷駆動回路の第4実施例を示す要部回路図である。

【0058】

図16と図12との比較から明らかなように、本第4実施例の容量性負荷駆動回路では、図12に示す第1実施例の容量性負荷駆動回路における抵抗RA1およびRA2を固定の抵抗とし、その代わりに、容量CA1およびCA2を可変容量として構成し、この容量CA1およびCA2を変化させることによりフロントエッジの遅延時間調整およびバックエッジの遅延時間調整を行うようになっている。なお、容量CA1およびCA2を可変容量とした場合にも、時定数回路の前段に設けたバッファ回路MA1、MA2を削除するこ

10

20

30

40

50

とが可能なのは前述した第2および第3実施例と同様である。

【0059】

図17は本発明に係る容量性負荷駆動回路の他の例の全体構成を概略的に示す回路図であり、図18は図17に示す容量性負荷駆動回路の動作を説明するための図である。なお、この図17に示す回路自体は、例えば、特願2003-425666号に開示したものと同様である。

【0060】

図17に示す容量性負荷駆動回路の動作を、図18を参照して説明する。

【0061】

図18において、SW1～SW5の波形は、図17におけるスイッチSW1～SW5を駆動する信号波形であり、高レベル『H』の時にスイッチSW1～SW5がオンする。すなわち、図18に示されるように、図17に示す容量性負荷駆動回路は、時刻t11において、スイッチSW4がオンし、コイル（インダクタンス）LA、ダイオードDAおよびスイッチSW4を介して電力回収電流が流れる。さらに、時刻t12において、スイッチSW1がオンし、1/2Vs電源からスイッチSW1およびSW4を介して容量性負荷（駆動容量）Cpへ充電電流が流れる。この時、スイッチSW3もオンし、スイッチSW3および容量C1を介して容量性負荷Cpへ充電電流が流れる。

【0062】

次に、時刻t13において、スイッチSW1、SW3およびSW4がオフし、また、時刻t14において、スイッチSW5がオンする。ここで、スイッチSW5がオンすると、容量性負荷CpからスイッチSW5、ダイオードDBおよびコイルLBを介して電力回収電流が流れる。さらに、時刻t15において、スイッチSW2がオンし、容量性負荷Cpから、スイッチSW5、容量C1およびスイッチSW2を介して放電電流が流れる。

【0063】

以上の動作によって、図18のOUTCに示される波形が容量性負荷Cpへ供給される。また、この動作において、図17の回路図におけるOUTAおよびOUTBの波形は、図18の実線および点線で示した波形のようになる。

【0064】

図17に示す容量性負荷駆動回路では、容量性負荷Cpへ駆動パルスを供給する際、パルスの立ち上がり時にコイルLAを介して電力回収電流を流し、パルスの立ち下り時にコイルLBを介して電力回収電流を流すことにより、スイッチSW1およびSW2のスイッチング損失を低減するようになっている。なお、図17に示す容量性負荷駆動回路を用いてプラズマディスプレイ装置を駆動することにより、簡単な回路構成で駆動回路の消費電力を小さくすることが可能になる。

【0065】

図19～図22は本発明に係る容量性負荷駆動回路の第5～第8実施例を示す回路図であり、図17の回路の具体的な構成例を示すものである。

【0066】

図19～図22と図17との比較から明らかなように、本第5～第8実施例の容量性負荷駆動回路において、スイッチSW1～SW5としてパワーMOSFETを使用するようになっている。ここで、スイッチSW1、SW2、SW4およびSW5はnチャネル型MOSトランジスタにより構成されている。なお、スイッチSW3は、pチャネル型MOSトランジスタSW3Pおよびnチャネル型MOSトランジスタSW3Nで構成され、さらに、ダイオードDSW3P、DSW3NおよびD3P、抵抗R3P、並びに、容量C3Pが設けられている。また、スイッチSW3P（pチャネル型MOSトランジスタ）は、ロウアクティブの素子であるため、スイッチSW3Pを駆動する増幅回路（173P）の前段にインバータIN3Pが設けられている。さらに、図19～図22に示す第5～第8実施例の容量性負荷駆動回路の動作は、実質的に図17および図18を参照して説明したものと同様である。

【0067】

図19に示されるように、本第5実施例の容量性負荷駆動回路においては、スイッチ（パワーMOSFET）SW1，SW4およびSW5を駆動するためにゲートカプラ161，164および165を使用し、スイッチSW2，SW3PおよびSW3Nを駆動するために増幅回路172，173Pおよび173Nを使用するようになっている。さらに、本第5実施例の容量性負荷駆動回路においては、各ゲートカプラ161，164，165および増幅回路172，173P，173Nの前段に対してそれぞれ遅延回路151，154，155および152，153P，153Nを設けるようになっている。

【0068】

ここで、各遅延回路151，152，153P，153N，154および155は、例えば、前述した図14に示す回路構成となっており、それぞれ独立して入力信号Vin1，Vin2，Vin3P，Vin3N，Vin4およびVin5におけるフロントエッジの遅延時間調整およびバックエッジの遅延時間調整を行って対応するスイッチSW1，SW2，SW3P，SW3N，SW4およびSW5のスイッチングを適切に制御するようになっている。なお、各遅延回路としては、図14の回路に限定されず、図12，図15或いは図16の回路を適用することもでき、さらに、後述する図23のようなフロントエッジ遅延回路611およびバックエッジ遅延回路711を直列に接続した回路等の様々な回路も適用することができる。また、各ゲートカプラ161，164および165は、光発光素子，光受光素子および増幅回路を用いて形成されており、入力部と出力部で基準電圧が異なる場合でも、信号を正確に伝送することができるようになっている。さらに、各ゲートカプラ161，164および165には、抵抗R161，R164およびR165も設けられている。

【0069】

このように、本第5実施例の容量性負荷駆動回路によれば、全てのスイッチSW1，SW2，SW3P，SW3N，SW4およびSW5に対して遅延回路151，152，153P，153N，154および155を設けて入力信号Vin1，Vin2，Vin3P，Vin3N，Vin4およびVin5のフロントエッジの遅延時間およびバックエッジの遅延時間をそれぞれ独立に調整することでドライブパルスの位相およびパルス幅を正確に設定することができる。

【0070】

図20は本発明に係る容量性負荷駆動回路の第6実施例を示す回路図である。

【0071】

図20に示されるように、本第6実施例の容量性負荷駆動回路においては、スイッチSW2およびSW4の遅延回路152および154を可変抵抗および容量より成るフロントエッジ遅延回路で構成するようになっている。すなわち、フロントエッジの遅延時間とパルス幅を高精度に設定する必要があるスイッチSW1およびSW5のドライブパルスを供給するゲートカプラ161および165の前段に、例えば、前述した図14に示す回路構成を有する遅延回路151および155を設け、また、フロントエッジの遅延時間を高精度に設定する必要があるスイッチSW2およびSW4のドライブパルスを供給する増幅回路172およびゲートカプラ164の前段に、フロントエッジ遅延回路152aおよび154aを設けるようになっている。なお、図19に示す第5実施例におけるスイッチSW3PおよびSW3Nに対する遅延回路153Pおよび153Nは省略されている。

【0072】

すなわち、本第6実施例の容量性負荷駆動回路は、図19に示す第5実施例の容量性負荷駆動回路において、高精度が要求される個所を限定して、フロントエッジの遅延時間とパルス幅を高精度に設定する遅延回路151，155と、フロントエッジの遅延時間を高精度に設定するフロントエッジ遅延回路152a，154aとを設け、第5実施例に比べて回路の簡略化を図るようになっている。なお、遅延回路151，155は図14に示す回路に限定されず、また、フロントエッジ遅延回路152a，154aも図20に示すものに限定されないのはもちろんである。

【0073】

図 2 1 は本発明に係る容量性負荷駆動回路の第 7 実施例を示す回路図である。

【0074】

図 2 1 と図 2 0 との比較から明らかなように、本第 7 実施例の容量性負荷駆動回路は、上述した第 6 実施例の容量性負荷駆動回路において、増幅回路（バッファ）172 としてゲートカプラ 162 を設け、さらに、スイッチ SW1 に対する遅延回路 151 としてフロントエッジ遅延回路 151a を設けたものである。ここで、スイッチ SW2 を駆動するドライブ回路としてゲートカプラ 162 を用いる場合、スイッチ SW1 および SW2 のドライブ回路を同一の回路構成にできるため、例えば、周囲温度が変化した場合のドライブ回路における入出力遅延時間の変化をより小さくすることができる。

【0075】

10

図 2 2 は本発明に係る容量性負荷駆動回路の第 8 実施例を示す回路図である。

【0076】

図 2 2 と図 2 0 との比較から明らかなように、本第 8 実施例の容量性負荷駆動回路は、上述した第 6 実施例の容量性負荷駆動回路において、スイッチ SW4 に対するフロントエッジ遅延回路 154a およびスイッチ SW5 に対する遅延回路 155 を削除したものである。

【0077】

すなわち、本第 8 実施例の容量性負荷駆動回路は、図 2 0 に示す第 6 実施例の容量性負荷駆動回路において、高精度が要求される個所をさらに限定して、スイッチ SW1 ～ SW5 の中で、フロントエッジ遅延時間とパルス幅の設定に最も高精度が要求されるスイッチ SW1 をドライブするゲートカプラ 161 の前段にフロントエッジの遅延時間とパルス幅を高精度に設定する遅延回路 151 を設け、さらに、フロントエッジ遅延時間の設定に高精度が要求されるスイッチ SW2 を駆動する増幅回路 172 の前段にフロントエッジ遅延回路 152a を設けるようになっている。

20

【0078】

本第 8 実施例の容量性負荷駆動回路は、例えば、プラズマディスプレイ装置の駆動回路として使用されるが、スイッチ SW1 をオンにすることによって容量性負荷であるプラズマディスプレイパネルに正方向のサステイン電圧を供給し、ガス放電電流を流し、また、スイッチ SW2 をオンにすることによって、プラズマディスプレイパネルへ負方向のサステイン電圧を供給するようになっている。

30

【0079】

このように、図 2 2 に示す第 8 実施例の容量性負荷駆動回路は、前述した図 2 0 に示す第 6 実施例の容量性負荷駆動回路よりも一層回路の簡略化を図ることができる。

【0080】

上述した図 1 9 ～図 2 2 の各実施例に示すように、図 1 9 における遅延回路 151, 152, 153P, 153N, 154, 155 は、例えば、プラズマディスプレイ装置の駆動回路として使用する場合に要求される駆動信号のタイミング精度や許容される回路規模等により、フロントエッジ遅延回路とバックエッジ遅延回路を組み合わせた遅延回路や、フロントエッジ遅延回路とパルス幅調整回路を組合せた回路、或いは、フロントエッジ遅延回路等を様々に組み合わせて使用することができる。

40

【0081】

図 2 3 は本発明に係る容量性負荷駆動回路の遅延回路の変形例を示す回路図であり、フロントエッジ遅延回路 611 およびバックエッジ遅延回路 711 を直列に接続したものである。

【0082】

図 2 3 に示されるように、フロントエッジ遅延回路 611 は、可変抵抗（可変抵抗素子）101、容量（容量素子）102 およびダイオード 103 を備え、また、バックエッジ遅延回路 711 は、可変抵抗 201、容量 202 およびダイオード 203 を備えている。ここで、フロントエッジ遅延回路 611 において、可変抵抗 101 は、入力信号 Vin (V1) に対して逆方向のダイオード 103 と並列に接続され、可変抵抗 101 およびダイオ

50

ード103の出力側の接続ノードには、一端が接地GNDに接続された容量102の他端が接続されている。また、バックエッジ遅延回路711において、可変抵抗201は、入力信号 V_{in} に対して順方向のダイオード203と並列に接続され、可変抵抗201およびダイオード203の出力側の接続ノードには、一端が接地GNDに接続された容量202の他端が接続されている。なお、入力信号 V_{in} としては、正極性パルス信号が使用される。

【0083】

このように、図19～図22に示す本発明の第5～第8実施例の容量性負荷駆動回路における遅延回路としては、図12および図14～図16に示すようなフロントエッジ遅延回路およびバックエッジ遅延回路を並列に接続した回路以外に、フロントエッジ遅延回路およびバックエッジ遅延回路を直列に接続した回路を適用することができる。

【0084】

以上、詳述した容量性負荷駆動回路の各実施例は、図1～図4を参照して説明したようなプラズマディスプレイ装置におけるサステイン回路として適用することにより、サステイン回路における遅延時間を調整した際に生じる可能性のあるタイムマージンを減少すると共に、異常電流およびノイズ等の課題を解決することができる。

【0085】

(付記1) 入力端子と、

該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延回路と、

前記入力信号のバックエッジを遅延させるバックエッジ遅延回路と、

前記フロントエッジ遅延回路および前記バックエッジ遅延回路を介して得られる駆動制御信号を増幅する増幅回路と、

該増幅回路によって駆動される出力スイッチ素子とを備える容量性負荷駆動回路であって、

前記フロントエッジ遅延回路は、第1の抵抗および第1の容量をから成る第1の時定数回路を備え、

前記バックエッジ遅延回路は、第2の抵抗および第2の容量から成る第2の時定数回路を備え、

前記駆動制御信号は、前記第1の時定数回路の出力信号および前記第2の時定数回路の出力信号を合成する信号合成回路により生成されることを特徴とする容量性負荷駆動回路。

(付記2) 請求項1に記載の容量性負荷駆動回路において、前記第1の時定数回路および前記第2の時定数回路のいずれか一方、または、両方の前段にバッファ回路を設けたことを特徴とする容量性負荷駆動回路。

(付記3) 請求項1に記載の容量性負荷駆動回路において、前記信号合成回路はANDゲートであることを特徴とする容量性負荷駆動回路。

【0086】

(付記4) 請求項1に記載の容量性負荷駆動回路において、前記第1の時定数回路における前記第1の抵抗の値を調整することによってフロントエッジの遅延時間を調整し、且つ、前記第2の時定数回路における前記第2の抵抗の値を調整することによってバックエッジの遅延時間を調整することを特徴とする容量性負荷駆動回路。

(付記5) 請求項1に記載の容量性負荷駆動回路において、前記第1の時定数回路における前記第1の容量の値を調整することによってフロントエッジの遅延時間を調整し、且つ、前記第2の時定数回路における前記第2の容量の値を調整することによってバックエッジの遅延時間を調整することを特徴とする容量性負荷駆動回路。

【0087】

(付記6) 表示手段となる容量性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動回路であって、

前記容量性負荷の一端に第1の電位を供給するための第1の信号ラインと、

10

20

30

40

50

該第 1 の信号ラインへ前記第 1 の電位を供給するための第 1 のスイッチ素子と、
該第 1 のスイッチ素子を駆動するための第 1 のドライブ回路と、
前記第 1 の信号ラインへ第 2 の電位を供給するための第 2 のスイッチ素子と
該第 2 のスイッチ素子を駆動するための第 2 のドライブ回路と、
前記容量性負荷の一端に前記第 1 の電位とは異なる第 3 の電位を供給するための第 2 の
信号ラインと、
前記第 1 の信号ラインと前記第 2 の信号ラインとの間に接続され、前記第 1 および第 2
の電位よりも低い電位を該第 1 の信号ラインに供給可能な第 1 のコンデンサと、
前記第 2 の信号ラインに前記第 2 の電位を供給するための第 3 のスイッチ素子と、
該第 3 のスイッチ素子を駆動するための第 3 のドライブ回路と、 10
前記第 1 の信号ラインを前記容量性負荷の一端に接続するための第 4 のスイッチ素子と
、
該第 4 のスイッチ素子を駆動するための第 4 のドライブ回路と、
前記第 2 の信号ラインを前記容量性負荷の一端に接続するための第 5 のスイッチ素子と
、
該第 5 のスイッチ素子を駆動するための第 5 のドライブ回路と、
前記第 1 の信号ラインおよび前記第 2 の信号ラインの少なくとも一方と前記第 2 の電位
を供給する供給ラインとの間に接続されたコイル回路とを備え、さらに、
前記第 1 ～第 5 のドライブ回路のいずれかのドライブ回路の前段に対して、 20
入力端子と、
該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延
回路と、
前記入力信号のバックエッジを遅延させるバックエッジ遅延回路とを設けたことを特徴
とする容量性負荷駆動回路。
（付記 7） 請求項 6 に記載の容量性負荷駆動回路において、前記第 1 のドライブ回路
の前段に対して、
入力端子と、
該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延
回路と、
前記入力信号のバックエッジを遅延させるバックエッジ遅延回路とを設けたことを特徴 30
とする容量性負荷駆動回路。
【0088】
（付記 8） 請求項 7 に記載の容量性負荷駆動回路において、さらに、前記第 2 のドラ
イブ回路の前段に対して、
入力端子と、
該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延
回路とを設けたことを特徴とする容量性負荷駆動回路。
【0089】
（付記 9） 請求項 7 に記載の容量性負荷駆動回路において、さらに、前記第 5 のドラ
イブ回路の前段に対して、 40
入力端子と、
該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延
回路とを設け、且つ、
前記第 2 および第 4 のドライブ回路の前段に対して、
入力端子と、
該入力端子から入力された入力信号のフロントエッジを遅延させるフロントエッジ遅延
回路とを設けたことを特徴とする容量性負荷駆動回路。
【0090】
（付記 10） 請求項 6 に記載の容量性負荷駆動回路において、前記第 3 のスイッチ素
子は、電流出力素子および電流入力素子を備え、且つ、前記第 3 のドライブ回路は、前記 50

電流出力素子をドライブする電流出力素子ドライブ回路および前記電流入力素子をドライブする電流入力素子ドライブ回路を備えることを特徴とする容量性負荷駆動回路。

【0091】

(付記11) 請求項10に記載の容量性負荷駆動回路において、前記電流出力素子はPチャンネルのパワーMOSFETであり、且つ、前記電流入力素子はNチャンネルのパワーMOSFETまたはIGBTであることを特徴とする容量性負荷駆動回路。

【0092】

(付記12) 請求項11に記載の容量性負荷駆動回路において、前記電流出力素子ドライブ回路の前段に対して、該電流出力素子ドライブ回路へ供給する駆動信号のフロントエッジを遅延させるフロントエッジ遅延回路と、前記電流出力素子ドライブ回路へ供給する駆動信号のバックエッジを遅延させるバックエッジ遅延回路とを設けたことを特徴とする容量性負荷駆動回路。 10

【0093】

(付記13) 請求項11に記載の容量性負荷駆動回路において、前記第1のドライブ回路、前記第2のドライブ回路、前記第4のドライブ回路、前記第5のドライブ回路、前記電流出力素子ドライブ回路および前記電流入力素子ドライブ回路の前段に対して、該各ドライブ回路へ供給する駆動信号のフロントエッジを遅延させるフロントエッジ遅延回路と、各ドライブ回路へ供給する駆動信号のバックエッジを遅延させるバックエッジ遅延回路とを設けたことを特徴とする容量性負荷駆動回路。

【0094】

20

(付記14) 請求項6に記載の容量性負荷駆動回路において、
前記フロントエッジ遅延回路は、第1の抵抗および第1の容量をから成る第1の時定数回路を備え、
前記バックエッジ遅延回路は、第2の抵抗および第2の容量から成る第2の時定数回路を備え、
前記第1～第5のドライブ回路へ供給する駆動制御信号は、前記第1の時定数回路の出力信号および前記第2の時定数回路の出力信号を合成する信号合成回路によって生成されることを特徴とする容量性負荷駆動回路。

(付記15) 請求項14項に記載の容量性負荷駆動回路において、前記第1の時定数回路および前記第2の時定数回路のいずれか一方、または、両方の前段にバッファ回路を設けたことを特徴とする容量性負荷駆動回路。 30

【0095】

(付記16) 請求項14に記載の容量性負荷駆動回路において、前記信号合成回路はANDゲートであることを特徴とする容量性負荷駆動回路。

【0096】

(付記17) 請求項14に記載の容量性負荷駆動回路において、前記第1の時定数回路における前記第1の抵抗の値を調整することによってフロントエッジの遅延時間を調整し、且つ、前記第2の時定数回路における前記第2の抵抗の値を調整することによってバックエッジの遅延時間を調整することを特徴とする容量性負荷駆動回路。

【0097】

40

(付記18) 請求項14に記載の容量性負荷駆動回路において、前記第1の時定数回路における前記第1の容量の値を調整することによってフロントエッジの遅延時間を調整し、且つ、前記第2の時定数回路における前記第2の容量の値を調整することによってバックエッジの遅延時間を調整することを特徴とする容量性負荷駆動回路。

【0098】

(付記19) 請求項6に記載の容量性負荷駆動回路において、前記第1～第5のドライブ回路の少なくとも1つに、光発光素子、光受光素子および増幅回路を用いて構成されたゲートカプラを適用したことを特徴とする容量性負荷駆動回路。

【0099】

(付記20) 請求項19に記載の容量性負荷駆動回路において、前記第4および第5 50

のドライブ回路に、前記ゲートカプラを適用したことを特徴とする容量性負荷駆動回路。

【0100】

(付記21) 請求項19に記載の容量性負荷駆動回路において、前記第1、第2、第4および第5のドライブ回路に、前記ゲートカプラを適用したことを特徴とする容量性負荷駆動回路。

【0101】

(付記22) 複数のX電極と、

該複数のX電極に略平行に配置され、該複数のX電極との間に放電を発生させる複数のY電極と、

前記複数のX電極に放電電圧を印加するX電極駆動回路と、

前記複数のY電極に放電電圧を印加するY電極駆動回路とを備えるプラズマディスプレイ装置であって、

前記X電極駆動回路または前記Y電極駆動回路に対して、請求項1～21のいずれか1項に記載の容量性負荷駆動回路を適用したことを特徴とするプラズマディスプレイ装置。

(付記23) 請求項22に記載のプラズマディスプレイ装置において、前記容量性負荷駆動回路は、サステイン期間においてサステインパルスプラズマディスプレイパネルへ供給するサステイン回路であることを特徴とするプラズマディスプレイ装置。

【0102】

(付記24) 請求項22に記載のプラズマディスプレイ装置において、前記容量性負荷駆動回路は、スキャン期間においてスキャンパルスプラズマディスプレイパネルへ供給するスキャン回路であることを特徴とするプラズマディスプレイ装置。

【0103】

(付記25) 請求項22に記載のプラズマディスプレイ装置において、前記容量性負荷駆動回路は、サステイン期間におけるサステインパルスおよびスキャン期間におけるスキャンパルスの両方をプラズマディスプレイパネルへ供給するサステイン・スキャン共通回路であることを特徴とするプラズマディスプレイ装置。

【産業上の利用可能性】

【0104】

本発明は、プラズマディスプレイ装置に幅広く適用することができ、例えば、パーソナルコンピュータやワークステーション等のディスプレイ装置、平面型の壁掛けテレビジョン、或いは、広告や情報等を表示するための装置として利用されるプラズマディスプレイ装置に対して適用することができる。

【図面の簡単な説明】

【0105】

【図1】本発明が適用されるプラズマディスプレイ装置の一例を概略的に示す全体構成図である。

【図2】図1に示すプラズマディスプレイ装置の駆動波形を示す図である。

【図3】本発明が適用されるプラズマディスプレイ装置の他の例を概略的に示す全体構成図である。

【図4】図3に示すプラズマディスプレイ装置における維持放電期間の駆動波形を示す図である。

【図5】従来のプラズマディスプレイ装置におけるサステイン回路の一例を示す回路図である。

【図6】図5に示すサステイン回路における遅延回路の一例を示す回路図である。

【図7】従来のサステイン回路における増幅回路の閾値電圧と出力パルス幅との関係を説明するための図である。

【図8】従来のサステイン回路における遅延時間と出力パルス幅との関係を説明するための図である。

【図9】従来のサステイン回路における出力パルス幅が大きい場合の動作波形を示す図である。

10

20

30

40

50

【図 1 0】従来のサステイン回路における出力パルス幅が小さい場合の動作波形を示す図である。

【図 1 1】本発明に係る容量性負荷駆動回路の一例の全体構成を示すブロック回路図である。

【図 1 2】本発明に係る容量性負荷駆動回路の第 1 実施例を示す要部回路図である。

【図 1 3】図 1 2 に示す容量性負荷駆動回路の動作を説明するための図である。

【図 1 4】本発明に係る容量性負荷駆動回路の第 2 実施例を示す要部回路図である。

【図 1 5】本発明に係る容量性負荷駆動回路の第 3 実施例を示す要部回路図である。

【図 1 6】本発明に係る容量性負荷駆動回路の第 4 実施例を示す要部回路図である。

【図 1 7】本発明に係る容量性負荷駆動回路の他の例の全体構成を概略的に示す回路図である。 10

【図 1 8】図 1 7 に示す容量性負荷駆動回路の動作を説明するための図である。

【図 1 9】本発明に係る容量性負荷駆動回路の第 5 実施例を示す回路図である。

【図 2 0】本発明に係る容量性負荷駆動回路の第 6 実施例を示す回路図である。

【図 2 1】本発明に係る容量性負荷駆動回路の第 7 実施例を示す回路図である。

【図 2 2】本発明に係る容量性負荷駆動回路の第 8 実施例を示す回路図である。

【図 2 3】本発明に係る容量性負荷駆動回路の遅延回路の変形例を示す回路図である。

【符号の説明】

【0 1 0 6】

1 0 … P D P (プラズマディスプレイパネル) 20

1 1 … 第 1 の電極 (X 電極)

1 1 - O … 奇数 X 電極

1 1 - E … 偶数 X 電極

1 2 … 第 2 の電極 (Y 電極)

1 2 - O … 奇数 Y 電極

1 2 - E … 偶数 Y 電極

1 3 … アドレス電極

1 8 - O … 第 1 X サステインパルス発生回路

1 8 - E … 第 2 X サステインパルス発生回路

1 9 - O … 第 1 Y サステインパルス発生回路 30

1 9 - E … 第 2 Y サステインパルス発生回路

3 1, 3 3, 3 7, 4 0 ; S W 1, S W 2, S W 3 N, S W 3 P, S W 4, S W 5 … スイッチ素子 (サステイン出力素子)

3 2, 3 4, 3 8, 4 1 … 増幅回路 (ドライブ回路)

3 5, 4 3 ; L A, L B … コイル

3 6, 4 2, 1 0 3, 2 0 3 ; D a, D B … ダイオード

3 9, 1 0 2, 2 0 2 ; C 1 … 容量 (容量素子)

5 1 ~ 5 4, 1 5 1, 1 5 2, 1 5 3 N, 1 5 3 P, 1 5 4, 1 5 5 … 遅延回路

1 5 1 a, 1 5 2 a, 1 5 4 a ; 6 5 1 ~ 6 5 4, 6 1 1 … フロントエッジ遅延回路

1 6 1, 1 6 2, 1 6 4, 1 6 5 … ゲートカプラ 40

1 7 2, 1 7 3 N, 1 7 3 P … 増幅回路 (バッファ)

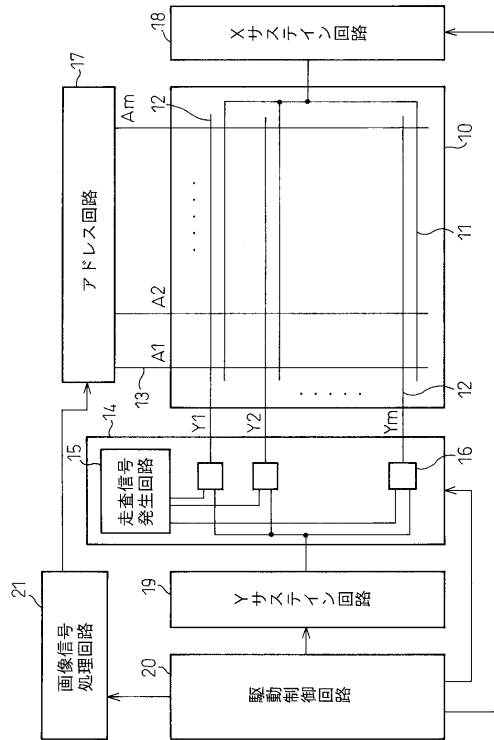
7 5 1 ~ 7 5 4, 7 1 1 … バックエッジ遅延回路

1 0 1, 2 0 1 … 抵抗 (可変抵抗素子)

C p … P D P の X 電極と Y 電極で形成される表示セルの駆動容量 (容量性負荷)

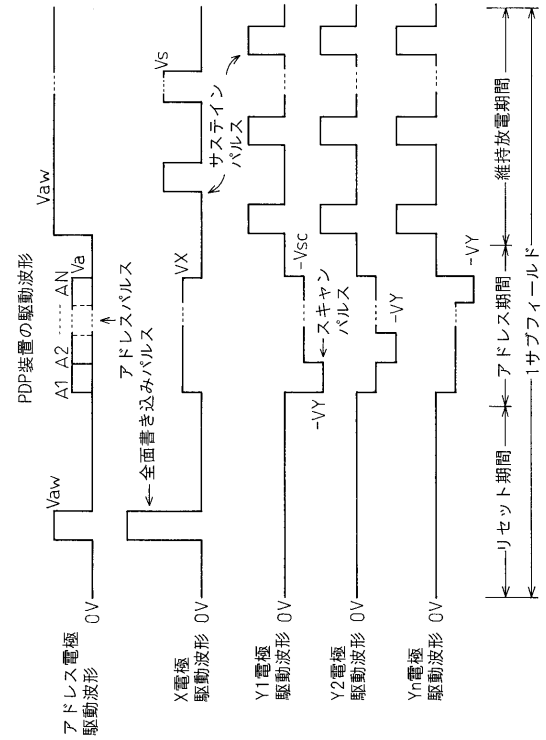
【図 1】

図1 本発明が適用されるプラズマディスプレイ装置の一例を概略的に示す全体構成図



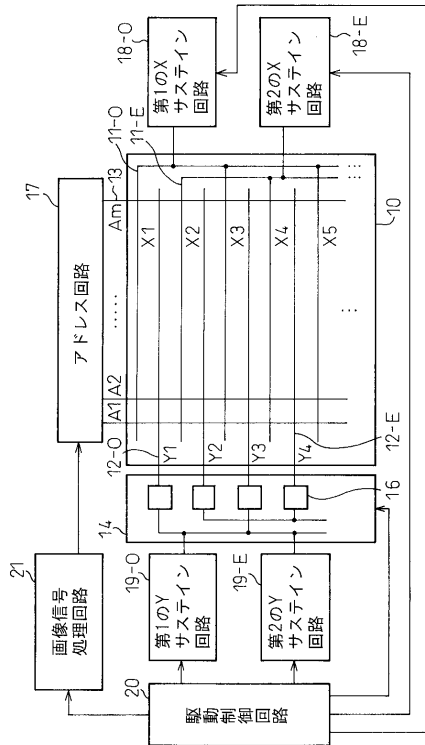
【図 2】

図2 図1に示すプラズマディスプレイ装置の駆動波形を示す図



【図 3】

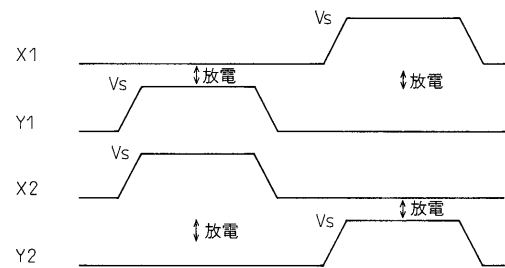
図3 本発明が適用されるプラズマディスプレイ装置の他の例を概略的に示す全体構成図



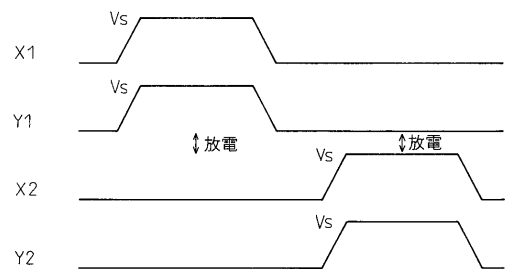
【図 4】

図4 図3に示すプラズマディスプレイ装置における維持放電期間の駆動波形を示す図

(a) 奇数フィールド

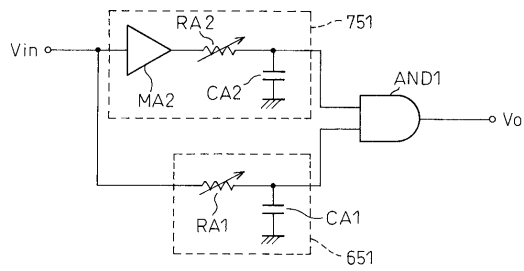


(b) 偶数フィールド



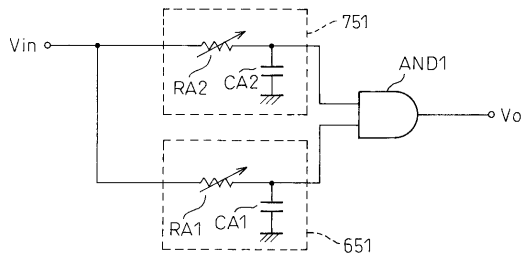
【図 1 4】

図14 本発明に係る容量性負荷駆動回路の第2実施例を示す要部回路図



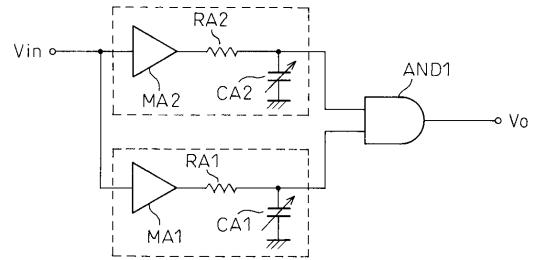
【図 1 5】

図15 本発明に係る容量性負荷駆動回路の第3実施例を示す要部回路図



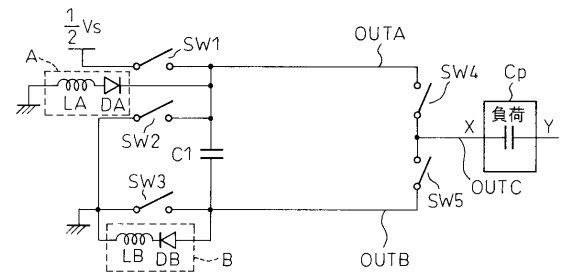
【図 1 6】

図16 本発明に係る容量性負荷駆動回路の第4実施例を示す要部回路図



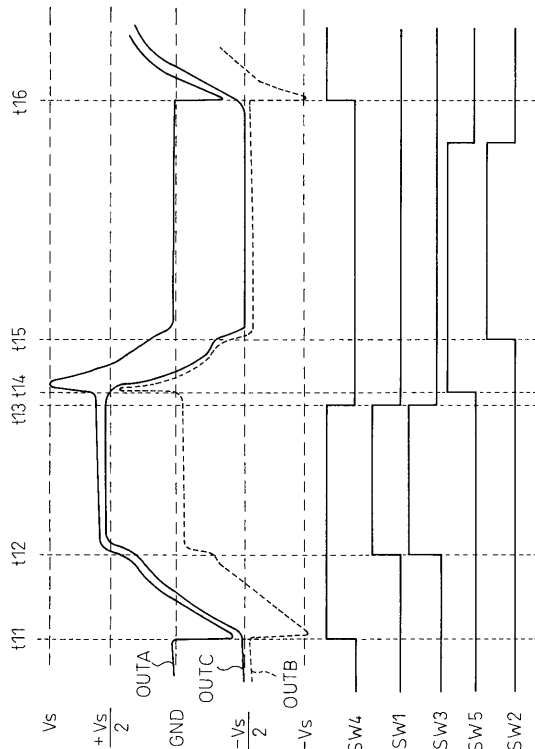
【図 1 7】

図17 本発明に係る容量性負荷駆動回路の他の例の全体構成を概略的に示す回路図



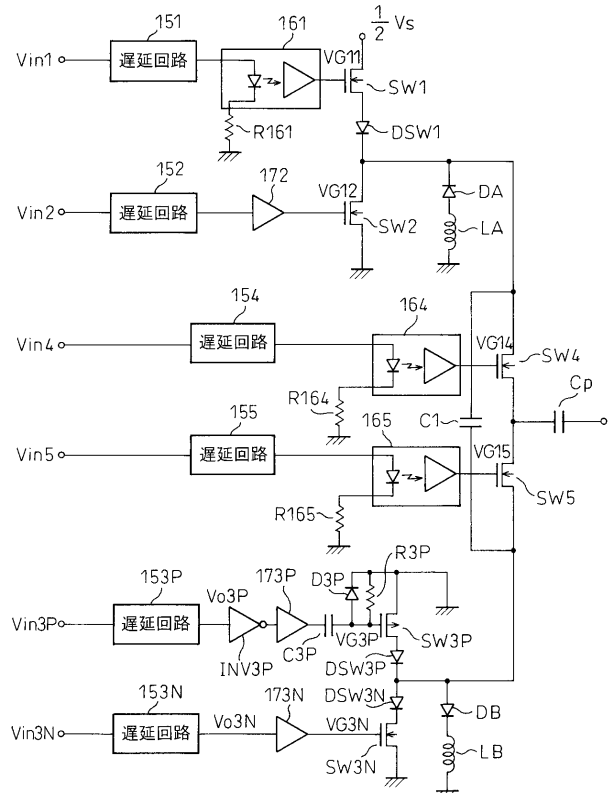
【図 1 8】

図18 図17に示す容量性負荷駆動回路の動作を説明するための図



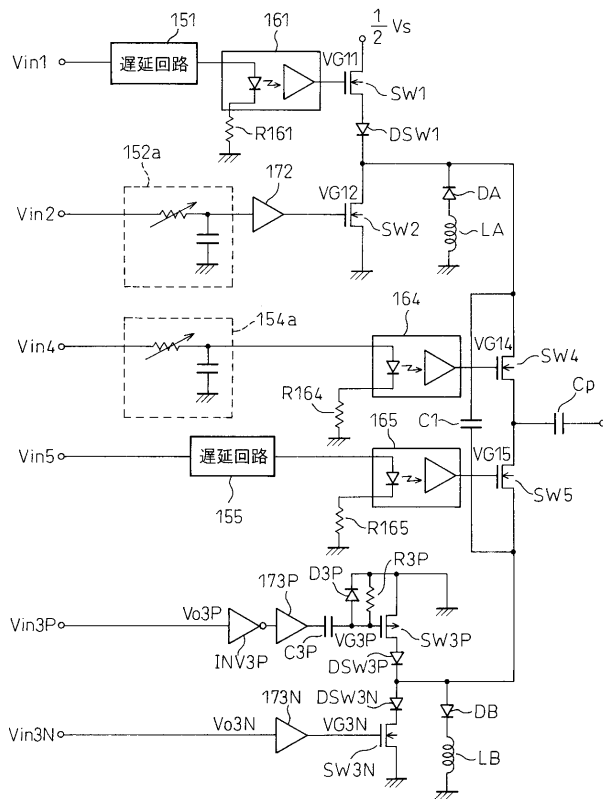
【図 1 9】

図19 本発明に係る容量性負荷駆動回路の第5実施例を示す回路図



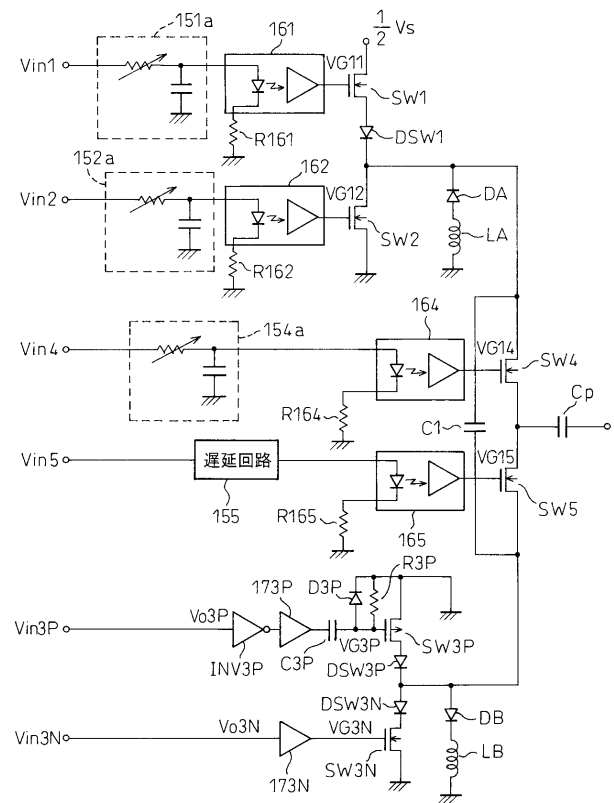
【図 20】

図20 本発明に係る容量性負荷駆動回路の第6実施例を示す回路図



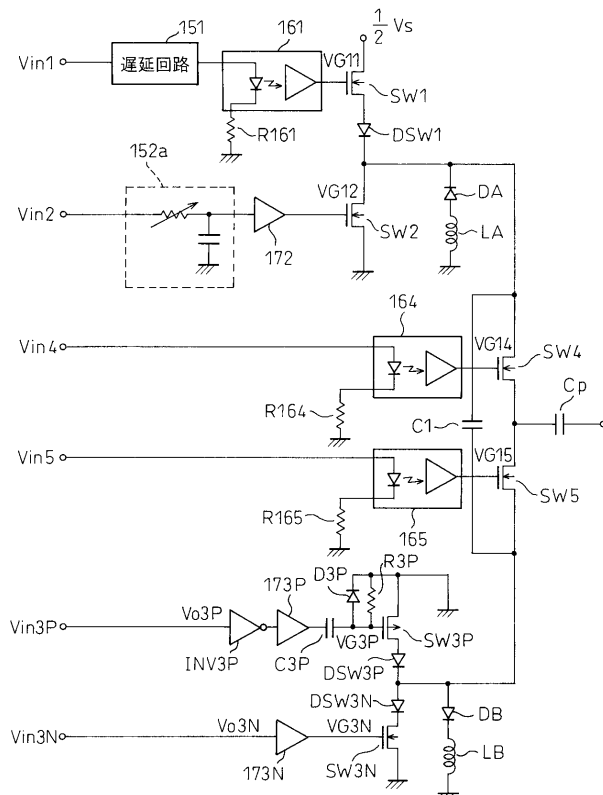
【図 21】

図21 本発明に係る容量性負荷駆動回路の第7実施例を示す回路図



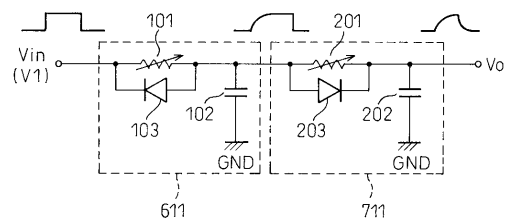
【図 22】

図22 本発明に係る容量性負荷駆動回路の第8実施例を示す回路図



【図 23】

図23 本発明に係る容量性負荷駆動回路の遅延回路の変形例を示す回路図



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 P
	G 0 9 G 3/20	6 7 0 E
	G 0 9 G 3/20	6 7 0 M
	H 0 3 K 5/13	
	H 0 3 K 17/00	M
	G 0 9 G 3/28	B

(72)発明者 富尾 重寿

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立プラズマディスプレイ株式会社内

F ターム(参考) 5C080 AA05 BB05 DD06 DD09 DD12 DD19 DD26 FF12 HH02 HH05
 JJ02 JJ03 JJ05 KK34 KK43
 5C580 AA01 BA03 BA09 BB01 BB05 BB28 BC01 BC15 BC17 CA07
 FA01 FA06
 5J001 AA11 BB08 CC03 DD05 DD09
 5J055 AX22 BX16 CX29 DX22 DX56 DX83 EX07 EY02 EY10 EY21
 EZ01 EZ50 FX05 FX28 FX32 GX02