

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/04
G11C 11/34

(45) 공고일자 1990년01월23일
(11) 공고번호 90-000178

(21) 출원번호	특1985-0004739	(65) 공개번호	특1986-0001485
(22) 출원일자	1985년07월02일	(43) 공개일자	1986년02월26일
(30) 우선권주장	59-135210 1984년07월02일	일본(JP)	
(71) 출원인	후지쓰 가부시끼가이샤	야마모토 다쿠마(山本卓黄)	
	일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		

(72) 발명자 다나베 도모아끼
일본국 가나가와켄 요코하마시 미도리구 시라도리다이 59-8
후지이 시게루
일본국 가나가와켄 요코하마시 미도리구 기리가오카 5쵸오메 27-6-403
다카야마 요시히사
일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1292 사사모토
소오 에이-2
(74) 대리인 장용식

심사관 : 유환열 (책자공보 제1727호)

(54) 마스터 슬라이스형 반도체 회로장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

마스터 슬라이스형 반도체 회로장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 의한 게이트 어레이(LSI)의 개략도.

제2a도는 입력단자 및 전원선의 확대도, 제2b도는 제2a도에서의 선(A-A')을 따라 취해진 입력단자의 단면도, 제2c도는 제2a도에서의 선(B-B')을 따라 취해진 입력단자의 단면도, 제2d도는 제2a도에 표시된 전원선의 개략적인 단면 평면도.

제3도는 제1도에 표시된 메모리 회로의 상세한 부분도.

제4도는 사용 및 비사용 메모리 영역을 설명하기 위한 개략도.

제5도는 본 발명의 다른 실시예에 의한 게이트 어레이(LSI)의 개략도.

제6도는 제5도에 표시된 메모리 회로의 상세한 부분도.

제7a도는 기본셀 구조의 개략적인 평면도, 제7b도에서의 선(D-D')을 따라 취해진 기본셀의 단면도, 제7c도는 제7a도에 표시된 기본셀의 회로도, 제7d도는 제7a도에 표시된 선(C-C')을 따라 취해진 N⁺형 기판 접촉영역 및 게이트 도전층의 단면도.

제8도는 제5 및 제6도에 표시된 기본셀 행의 개략 배선도.

제9도는 본 발명의 또 다른 실시예에 의한 게이트 어레이(LSI)의 개략도.

제10a도는 제9도에 표시된 적중(積重) 게이트의 구조에 대한 개략 평면도, 제10b도는 제10a도에서의 선(E-E')을 따라 취해진 적중게이트의 단면도.

제11도는 제3, 4 및 제6도에 표시된 워드 어드레스 레지스터의 개략적인 블록도.

제12도는 입력단자의 클리핑을 설명하기 위한 전형적인 인버터의 회로도.

★ 도면의 주요부분에 대한 부호의 설명

- | | |
|-----------------------|---------------------------|
| 1, 2 : 메모리 회로 | 5 : 기본셀 |
| 6 : 입력/출력 버퍼 | 7, 8, 9, 10, 11, 12 : 전원선 |
| 13a, 14a, 14a' : 접속호울 | 16 : 센스증폭기군 |
| 17 : 기입증폭기군 | 18 : 워드 어드레스군 |
| 19 : 워드 디코더군 | 20 : 제어회로 |

[발명의 상세한 설명]

본 발명은 마스터 슬라이스형 반도체 회로 장치에 관한 것이다. 특히, 마스터 슬라이스형 반도체 메모리 장치로 이루어진 게이트 어레이형 대규모 집적회로 장치(게이트 어레이 LSI)에 관한 것이다.

본 발명에 의한 게이트 어레이(LSI)는 각각이 다수의 메모리 셀로 구성된 메모리 회로 및 다수의 기본 게이트 회로 셀로 구성된 논리블록을 포함한다.

마스터 슬라이스형 반도체 회로장치는 다양한 고객요구를 충족시키는 단기 제작을 용이하게 하도록 설계 되었으며 예를 들어 게이트 어레이(LSI)용으로 이용된다.

마스터 슬라이스 방법에서, 확산까지의 공통처리 설정이 나중에 다양한 반도체 장치를 형성하기 위해 사용되는 마스터 기판을 제작하는데 사용된다. 마스터 기판은 기본적으로 각각이 트랜지스터로 구성되는 다수의 기본셀로 구성된다. 트랜지스터의 게이트 전극, 소오스 및 드레인의 마스터 기판상에 균일하게 형성된다. 기본셀 간의 어떤 배선도 아직 수행되지 않았다.

계속된 슬라이스 처리에서, 배선은 배선 마스크 패턴을 사용해서 마스크 기판상에서 수행된다. 배선 마스크 패턴은 고객요구를 충족시키는 CAD(computer aided design)시스템에 의해 설계된다.

게이트 어레이(LSI)에서, 각각이 기본회로로 구성된 기본셀은 격자로 배열된다. 기본셀간의 배선은 또한 고객에 의해 요구된 논리회로에 의한 컴퓨터에 의해 설계된다. 그러나, 최근에 논리블록 외에도 특별한 메모리 블록을 게이트 어레이(LSI)에 제공하는 것이 제안되었다. 이러한 게이트 어레이(LSI)에는 많은 문제가 있다. 첫째, 이러한 메모리 회로의 용량 및 회로 배열이 미리 설정되어 고객의 요구를 충족시키도록 변경될 수 없기 때문에 제한된 설계 호환성을 갖는다는 것이다. 둘째, 소형화 때문에 배선영역이 효과적으로 이용되지 못한다. 높은 집적 게이트 어레이를 얻기 위해, 배선영역을 작게 하고 배선 길이를 줄이는 것이 중요하다.

본 발명의 주목적은 고객 요구에 대한 설계를 용이하게 하는 마스터 슬라이스형 반도체 회로장치에 관한 것이다. 본 발명의 다른 목적은 각각이 다수의 메모리 셀로 구성된 메모리 회로 및 다수의 기본 게이트 회로 셀로 구성된 논리블록을 갖는 마스터 슬라이스형 반도체 회로장치를 사용한 개량된 게이트 어레이(LSI)를 제공하는 것이다.

본 발명의 또 다른 목적은 고객요구에 따라 게이트 어레이(LSI)내의 메모리 회로의 입력단자를 클리핑하기 위한 방법을 제공하는 것이다.

본 발명에 의해, 다수의 입력회로를 갖는 적어도 하나의 메모리 회로 블록, 상기 메모리 회로 블록의 주변 부분에 마련되어 있고 입력신호를 수신하기 위해 각각 입력회로에 연결되며 제1도전층에 의해 형성된 다수의 입력선, 제1논리레벨을 공급하기 위해 메모리 회로 블록의 주변부분에 제공된 제1도전선, 제1및 제2도전선이 제1도전층과 다른 제2도전층에 의해 형성되고 제2논리레벨을 공급하기 위한 메모리 회로 블록의 주변부분에 제공된 상기 제2도전선, 상기 제1또는 제2도전선을 상기 입력선중 적어도 하나에 연결하기 위한 접속수단을 포함하며 상기 입력신호중 적어도 하나의 전위가 상기 접속수단에 의해 제1또는 제2논리레벨에 클립되고 이것에 의해 메모리 용량 또는 메모리 회로 블록 기능의 변화를 가능하게 한 것을 특징으로 한 마스터 슬라이스형 반도체 회로가 제공된다.

본 발명에 의한 마스터 슬라이스형 반도체 회로장치에서 클리핑용 전원선을 트랜지스터의 게이트 전극과 동일한 절차로 형성된다. 즉, 그것은 마스터 기판 상에 균일하게 그리고 미리 형성된다. 따라서, 이후에 상세히 설명된 바와 같이, 접속호울의 위치를 바로 결정함으로써 고객에 필요한 메모리 용량 또는 기능 및 배선 패턴을 용이하게 얻는 것이 가능하다.

본 발명에 의한 마스터 슬라이스 방법에 의해 형성된 게이트 어레이(LSI)를 이후에 상세히 설명할 것이다.

제1도는 본 발명의 실시예에 의한 반도체 칩상의 게이트 어레이(LSI)장치에 대한 개략도이다. 제1도에서, 참조번호(1과 2)는 각각이 랜덤 액세스 메모리(RAM) 또는 리드온리 메모리(ROM)로 구성된 메모리 회로를 나타낸다. 이러한 메모리 회로(1과 2)는 메모리 블록으로 구성된다. 참조번호(5)는 기본셀을 나타낸다. 격자로 배열된 다수의 이러한 기본셀은 논리블록으로 구성된다. 입력/출력 버퍼 회로(6)는 이러한 논리 및 메모리 블록의 주변부분에 마련된다. 전원선(V_{DD} 및 V_{SS})은 버퍼회로(6)에 마련된다. 이 선은 소오스 공급패드에 연결된다.

참조번호(7,8,9 및 10)는 논리블록내의 각각의 기본셀에 마련된 전원선이다. 이러한 전원선은 전원선(V_{DD} 및 V_{SS})을 통해 소오스 공급패드에 연결된다. 전원선(7과 10)은 예를 들어 0(V)의 소오스 전압(V_{SS})을 공급하는데 사용된다. 전원선(8과 9)은 예를 들어 5(V)의 소오스 전압(V_{DD})을 공급하는데 사

용된다. 길이방향에서 선(7과 8)은 알루미늄 배선의 제1도전층에 의해 형성되며 가로방향의 선(9와 10)은 절연층을 통해 제1도전층상에 배열된 알루미늄 배선의 제2도전층에 의해 형성된다. 기본셀의 회로는 절연층을 통해 제1도전층 하부에 형성된다. 이 구조는 이 이후에 단면도로 상세히 표시된다.

참조번호(11과 12)는 또한 전원선이다. 그러나, 이 선은 제1도전층 하부에 배치된 게이트 도전층에 의해 형성된다. 게이트 도전층은 또한 기본셀의 트랜지스터의 게이트 전극을 형성하는 데 사용된다. 이 선(11과 12)은 절연층을 통해 제1도전층의 하부에 배치되며 접촉점(P_0)을 통해 전원선(V_{DD} 및 V_{SS})에 연결된다.

상기 언급한 구조에서, 논리블록내의 기본셀 사이 및 논리블록과 메모리 블록 사이에 배선은 고객에 필요한 논리레벨에 의존한 CAD시스템에 의해 결정된다. 이 경우에, 각 메모리 회로의 입력부의 선택된 입력단자는 필요한 메모리 용량에 따라 소정의 제1또는 제2논리레벨로 클립된다. 즉, 선택된 입력단자의 전위는 소정의 제1또는 제2논리레벨과 같다. "클립"은 이 이후에 상세히 설명한 바와 같이 접촉호울을 접촉수단으로서 이용함으로써 메모리 회로의 선택된 입력단자를 소정의 제1또는 제2 논리레벨로 세트시키는 것을 의미한다. 따라서, 클립된 입력단자는 메모리 회로내의 입력부의 입력단자로서 더 이상 사용되지 않으며, 클립된 입력단자에 연결된 메모리 영역은 메모리 영역으로서 더 이상 사용되지 않는다.

제1도에는 메모리(1)의 선(12)상의 4개를 클립점(CP) 및 메모리(2)의 선(12)상의 4개를 클립점이 나타나 있다. 이 경우에 이러한 8개의 선택된 입력단자는 제2논리레벨로서 소오스 전압(V_{SS})에 클립된다.

제2a도는 입력단자 및 전원선의 확대도이다. 제2a도에서, 참조번호(13, 14 및 14')는 메모리 회로(1 또는 2)에 제공된 입력단자를 나타낸다. 입력단자(13)는 접촉호울(13a)에서 전원선(12)에 클립되며, 입력단자(14)는 접촉호울(14a)에서 전원선(11)에 클립된다. 입력단자(14')는 클립되지 않으며, 접촉호울(14a')을 통해 배선(14")에 연결된다. 이러한 배선(14")은 논리블록의 기본셀에 연결된다.

상기에서 설명했듯이, 입력단자(13, 14 및 14')는 알루미늄 배선의 제1도전층에 의해 형성되고, 배선(14")은 알루미늄 배선의 제2도전층에 의해 형성된다. 전원선(11과 12)은 게이트 도전층에 의해 형성된다. 따라서, 접촉호울(13a 및 14a)은 제1도전층과 게이트 도전층을 연결하는데 사용되고, 접촉호울(14a')은 제1도전층과 제2도전층을 연결하는데 사용된다.

제2b도는 제2a도의 선(A-A')을 따라 취해진 입력단자의 단면도이다. 도면에서 명백하듯이, 입력단자(14)는 접촉호울(14a)을 통해 전원선에 연결(클립)된다. 입력단자(13)는 입력단자(14)와 동일한 단면도를 갖는다.

제2c도는 제2a도의 선(B-B')을 따라 취해진 입력단자(14')의 단면도이다. 이 경우에, 입력단자(14')는 전원선(11 또는 12)에 연결되지 않는다. 입력단자(14')는 접촉호울(14a')을 통해 배선(14')에 연결된다.

제2d도는 제2a도에 표시된 게이트 도전층에 의해 형성된 전원선(11과 12)의 개략적인 단면평도이다. 이러한 전원선(11과 12)은 마스터 슬라이스 방법으로 미리 형성된다. 즉, 그것은 트랜지스터의 게이트 전극의 게이트 도전층과 동일한 절차에 의해 형성된다.

제3도는 제1도에 표시된 메모리 회로의 상세한 부분도이다. 제3도에서, 메모리 회로(1)는 각각이 워드선(WL)과 비트선(BL)(이중 포트형 메모리셀의 경우에, 한쌍의 워드 및 비트선이 사용된다), 데이터를 읽기 위해 사용된 다수의 센스증폭기로 구성된 센스증폭기군(16), 데이터를 기입하기 위해 사용된 다수의 기입데이터로 구성된 기입증폭기군(17), 다수의 워드 어드레스 레지스터에 의해 구성된 워드 어드레스 레지스터군(18), 다수의 워드 디코더로 구성된 워드 디코더군(19) 및 제어회로(20)를 포함한다. 참조번호(11과 12)는 상기에서 설명한 바와 같이 각각이 예를 들어 다결정 실리콘으로 이루어진 전원선이다. 제1 및 제2도전선으로서 이러한 전원선(11과 12)은 접촉점(P_0)을 통해 입력/출력 버퍼(6)의 주 전원선(V_{DD} 및 V_{SS})에 연결된다. 따라서, 주 전원선의 층이 점(P_0)에서 접촉호울에 의해 전원선(11과 12)의 층에 연결된다. 참조번호(21)는 배선영역을 나타낸다. 각 기본셀은 배선영역(21)내의 배선(W) 및 접촉호울(CH)을 통해 메모리 회로(1)의 대응 입력 또는 출력단자에 연결된다. 상기에서 설명했듯이, 배선(W)은 알루미늄 배선에 의해 형성되며, 접촉호울(CH)은 배선(W)의 제2층 및 제1층을 연결하기 위해 사용된다.

참조문자(A)는 어드레스 신호를 나타내고, (B)는 기입 데이터를 나타내며, (C)는 읽기 데이터를 나타내고, (D)는 클럭신호 및 기입 인에이블 신호를 갖는 제어신호를 나타낸다. 어드레스 신호(A)는 워드 어드레스 레지스터군(18)으로 입력되고, 기입 데이터(B)는 기입 증폭기군(17)으로 입력되며, 읽기 데이터(C)는 센스증폭기군(16)으로부터 출력된다. 제어신호(D)는 제어회로(20)로 입력된다.

제3도에서, 점(P_1, P_2 및 P_3)은 전원선(12)으로 클립된다. 즉, 이러한 점(P_1, P_2 , P_3)의 제2논리레벨은 예를 들어 0V의 V_{SS} 로 세트된다. 따라서, 워드 어드레스 레지스터군(18) 및 기입증폭기군(17)의 빗금 부분은 사용되지 않는다. 클립되지 않은 입력단자는 논리블록에 연결된다. 이 도면에서, 도면을 간단하게 하기 위해 2입력단자만이 논리블록으로의 연결로서 표시되었다. 상기에 관한 더욱 상세한 설명이 제4도를 참조로 설명될 것이다.

제4도는 사용 및 비사용 메모리 영역을 설명하기 위한 개략도이다. 메모리 회로(1)가 64워드 및 10비트 메모리셀을 포함할 경우, 워드 어드레스 신호(A)는 6비트(A_1 내지 A_6)로 구성되고 센스 및 기입 증폭기군(16 및 17)의 각각은 10유닛으로 구성된다. 이 경우에, 고객에 의해 요구된 메모리 용량이 32워드 및 8비트일 경우, 워드 어드레스 신호(A)는 5비트이어야 하며, 센스 및 기입증폭기군(16과 17)의 각각은 8유닛이어야 한다. 즉, 어드레스 신호(A)의 최상위 비트(MSB)(A_1)는 "0"으로 세트

되고, 사용될 메모리 영역은 최상위 비트(A_1)에 의해 결정된다. 따라서, 최상위 비트(A_1)가 "0" 일 경우, 빗금으로 표시된 메모리 영역은 메모리 영역으로서 사용되지 않는다.

또한, 빗금에 의해 표시된 어드레스 레지스터군(18)의 1비트부분 및 빗금에 의해 표시된 기입증폭기군(17)의 2비트부분은 이 경우에 사용되지 않는다. 명백하게 알 수 있듯이, 나머지 입력단자는 논리 동작용으로 사용된다. 클립된 입력단자에 대응하는 출력단자는 클립될 필요가 없으며, 어떤 출력신호로 이러한 비사용 출력단자에 제공되지 않기 때문에 개방단자로서 남아있게 된다.

예를 들면, 배선공간 상태에 따라 입력단자의 클리핑 점을 선택하는 것은 가능하다. 예를 들어, 기입증폭기군(17)의 2교차 빗금부분은 클립 입력단자에 대응한다. 이러한 기입증폭기는 논리동작용으로 사용되지 않는다. 어드레스 신호(A_2 내지 A_6)는 사용 메모리 영역에서 어드레스를 지정하는데 사용된다. LSB는 최하위 비트이다.

제5도는 본 발명의 다른 실시예에 의한 반도체 칩상의 게이트 어레이(LSI)장치의 개략도이다. 제5도에서 제1도와 동일한 참조번호는 동일한 소자를 나타낸다. 참조번호(3과 4)는 기본셀 행을 나타낸다. 기본셀 행(3과 4)의 각각은 각 메모리 회로(1과 2)에 제공되며, 클리핑용 및 부가회로 소자의 입력부로서 사용된다. 예를 들어, 기본셀 행(3과 4)의 빗금부분(3a 및 4a)은 클리핑용으로 사용되고, 다른 부분(비빗금부분)은 입력회로로서 사용된다. 즉, 논리블록의 기본셀은 제1기본셀로서 사용되고, 기본셀 행(3과 4)은 제2기본셀로서 사용된다. 제2기본셀의 각각은 제1기본셀과 동일한 구조를 갖는다. 빗금친 기본셀에서, 기본셀의 입력단자는 예를 들어 다결정 실리콘의 제1도전층에 의해 형성된 전원선(36 또는 37)에 연결(클립)된다. 이 선(36과 37)은 제6도에 표시된 접촉호울(P)을 통해 제2도전층의 선(11과 12)에 연결된다.

제6도는 제5도에 표시된 메모리 회로의 상세한 부분도이다. 제6도에서, 제3도와 동일한 참조번호는 동일한 소자를 나타낸다. 상기와 같이, 기본셀 행(3)의 빗금부분은 고객요구에 따라 전원선(36과 37)에 클립된다. 사용 및 비사용 메모리 영역에 관해 제3 및 4도에 주어진 것과 동일한 설명이 제6도에 적용된다. 또한, 메모리 블록으로의 전원선(V_{DD} 및 V_{SS})은 도면을 간단하게 하기 위해 생략된다. 워드 및 비트선은 또한 생략된다.

제7a도는 기본셀 및 배선의 구조에 대한 개략적인 평면도이다. 제7b도는 제7a도의 선(D-D')을 따라 취해진 기본셀의 단면도이다. 제7c도는 제7a도에 표시된 기본셀의 기본회로이다. 제7a도에서, 참조문자(L)는 기본셀 행의 한 기본셀 영역을 나타낸다. P채널 및 N채널 트랜지스터는 영역(L)의 기본셀로서 사용된다. P채널 트랜지스터 영역에서, 트랜지스터 영역은 N형 반도체 기판(22)상에 P^+ 형 확산층 부분(23, 24 및 25)에 의해 형성된다. 참조번호(26과 27)는 예를 들어 각각이 게이트 전극을 형성한 다결정 실리콘으로 구성된 게이트 도전층 부분을 나타낸다. 이러한 게이트 도전층 부분(26과 27)은 또한 N채널 트랜지스터의 게이트 전극을 형성한다. 참조번호(28과 29)는 반도체 기판(22)에 연결된 N^+ 형 기판 접촉영역을 나타낸다.

N채널 트랜지스터 영역에서, 트랜지스터 영역은 N^+ 형 확산층 부분(31, 32 및 33) 및 P^+ 형 기판 접촉영역(34, 35)에 의해 형성되고, 이 확산층 부분 및 기판 접촉영역은 P형 웰(well)(30)상에 형성된다. 선(D-D')을 따라 취해진 N채널 트랜지스터 영역의 단면도가 제7b도에 제시되어 있다. 제7b도에서, 참조문자(1S)는 절연층을 나타낸다.

예를 들어 다결정 실리콘으로 구성된 전원선(36과 37)은 절연층을 통해 게이트 도전층 부분(26과 27)상에 가로로 제공된다. 상기와 같이, 전원선(36)은 예를 들어 5V의 소오스 전압(V_{DD})을 공급하는데 사용되며, 전원선(37)은 예를 들어 0V의 소오스 전압(V_{SS})을 공급하는데 사용된다. 더욱이, 전원선(36)은 접촉호울(38, 39 및 40)을 통해 N^+ 형 기판 접촉영역(28과 29) 및 P^+ 형 확산층 부분(24)에 연결된다. 전원선(37)은 접촉호울(41, 42 및 43)을 통해 P^+ 형 기판 접촉영역(34와 35) 및 N^+ 형 확산층 부분(32)에 연결된다. 이 경우에, 기판 접촉영역(28, 29, 34 및 35)은 마스터 슬라이스 방법의 슬라이스 과정에서 접촉호울(38, 39, 41 및 42)을 통해 전원선(36과 37)에 연결된다. 따라서, 제7c도에 표시된 바와 같이, P채널 트랜지스터 영역에서, P^+ 형 확산층부분(트랜지스터의 소오스)(24)은 접촉호울(40)을 통해 전원(V_{DD})에 연결되며, 2개 P채널 트랜지스터(T_{rp1} 및 T_{rp2})는 N형 반도체 기판(22)상에 형성된다. N채널 트랜지스터 영역에서, N^+ 형 확산층(트랜지스터의 소오스)(32)은 접촉호울(43)을 통해 전원(V_{SS})에 연결되며, 2개의 N채널 트랜지스터(T_{rn1} 및 T_{rn2})가 P형 웰(30)상에 형성된다. 더욱이 P^+ 형 확산층부분(23, 25)는 알루미늄 배선(44, 45)을 통하여 N^+ 형 확산층부분(31, 33)과 접속된다. 따라서 2세트의 보상 금속절연체 반도체(CMIS) 인버터가 공통 게이트 전극을 갖는 P채널 및 N채널 트랜지스터에 의하여 형성된다. 이들 인버터는 일 기본셀 영역(L)내에 포함된다.

제7d도는 제7a도에서 선(C-C')을 따라 절단된 게이트 도체층과 N^+ 형 기판 접촉영역(28)의 단면도이다. 도면으로부터 명백하듯이 게이트 도전층 부분(26)이 알루미늄 배선(46)을 통하여 N^+ 형 기판접촉영역(28)에 접속되며 N^+ 형 기판 접촉영역(28)이 전원선(36)에 접속되므로 게이트 전극을 갖춘 공통 게이트 도전층 부분(26)을 갖는 인버터의 입력단은 전원전압(V_{DD})에 클리핑된다. 게이트 도전층 부분(27)은 알루미늄 배선(47)을 통하여 P^+ 형 기판 접촉영역(35)에 접속되며 P^+ 형 기판 접촉영역(35)은 전원선(37)에 접속되므로 게이트 전극으로서 동일 게이트 도전층 부분(27)으로 제조되는 다른 인버터의 입력단은 전원전압(V_{SS})에 클립된다. 기본셀의 선택된 입력단을 상기 방법을 사용하여 짧은 길이의 배선으로 소정의 제1 또는 제2논리레벨로 클립하는 것이 가능하다.

전원선(36)은 영역(T_1)에서 배선(46)대신 게이트 도전층 부분(26)에 클립하고 전원선(37)을 영역(T

₂)에서 배선(47)대신 게이트 도전층 부분(27)에 클립하는 것을 고려되어야만 한다. 이것은 층부분(26,27)이 매우 좁고 얇으며 더욱이 도전층 아래에 갖추어진 게이트 절연층이 매우 얇고 좁기 때문에 어려운 것으로 판명되었다. 게이트 도전층 부분(26,27)이 접촉호울을 갖출수 있도록 보다 넓게 제조된다면 인버터의 논리특성이 반대로 악화된다. 그러므로 접촉호울을 영역(T_1, T_2)에서 상기 게이트 도전층 부분(26,27)에 직접 제공하는 것은 기술적으로 어렵다.

제8도는 제5도와 제6도에 도시된 기본셀 열의 개략적 배선도이다. 제8도에서 참조문자(L_1, L_2, L_3)는 제7a도에 도시된 기본셀 영역(L)에 대응하는 소자를 표시한다. 이 경우에 기본셀 영역(L_1)은 CMIS인 버터로서 사용되며 기본셀 영역(L_2)은 입력단이 전원전압(V_{DD})에 클립되는 기본셀로서 사용되고 기본셀 영역(L_3)은 또한 입력단이 배선(47)을 통하여 다른 전원전압(V_{SS})에 클립되는 기본셀로서 사용된다.

제9도는 본 발명의 또 다른 실시예에 따른 반도체 칩상의 게이트 어레이 LSI장치의 개략도이다. 제9도에서 제1도와 제5도에서와 동일한 참조번호는 동일소자를 나타낸다. 참조번호(5a,5b)(빗금부분)은 스택(stack)게이트를 나타낸다. 상기 실시예에서 임의의 기본셀(또는 셀들)은 소위 클립을 위한 스택게이트로서 사용된다. 이 스택게이트는 클리핑점(CP)에서 메모리 블록의 입력단에 접속(클립)된다.

일반적으로 스택게이트는 전원선과 접속되는 출력단자를 갖춘 기본셀이며 이것으로부터 소정전위가 출력된다. 제9도에 도시된 바와 같이 제5도에 도시된 기본셀(3,4)은 제거될 수 있으며 스택게이트는 메모리 블록의 입력단에 접속된다. 이들 입력단은 상호 접속된다. 더욱이 각 스택게이트는 메모리 블록의 특정패턴에 직접 접속될 수 있다.

제10a도는 제9도에 도시된 스택게이트 구조의 개략적 평면도이고 제10b도는 제10a도에서 선(E-E')을 따라 절단된 스택게이트의 단면도이다.

제10a도에서 전원선(V_{DD})은 접촉호울(A)을 통하여 기본셀의 격자위의 출력선(점선)에 접속된다. 유사하게 전원선(V_{SS})은 접촉호울(B)을 통하여 기본셀의 다른 격자위의 출력선(점선)에 또한 접속된다.

제10b도로부터 명백하듯이 전원선(V_{DD})(알루미늄의 제1도전층)이 접촉호울(A)을 통하여 출력(알루미늄 배선의 제2도전층)에 접속된다. 접촉호울(B)은 제10b도의 것과 동일 단면구조를 갖는다. 입력단은 스택게이트의 출력단과 메모리 블록의 입력단을 접속함으로써 소정의 논리레벨 예컨대 V_{DD} 또는 V_{SS} 에 클립될 수 있다.

제11도는 제3, 4, 6도에 도시된 워드 어드레스 레지스터군(18)의 개략적 블록도이다. 제11도에서 인버터(48)(빗금선)는 입력버퍼로서 사용되며 예컨대 제2실시예의 경우 제8도에 도시된 기본셀에 의하여 형성된다. 그러나 제1실시예의 경우 인버터(48)는 레지스터군(18)에 제공된다. 인버터(48)에 접속되는 어드레스 레지스터부(49)는 다수의 전송게이트(52,53), 플립플롭회로(50,51) 및 인버터(54,55,56)에 의하여 구성된다.

부(49)는 메모리 회로에서 특정패턴에 의하여 형성된다. 제11도에서 전송게이트(52,53)의 각각은 클럭신호(CK) 또는 반전된 클럭신호($\overline{CK}$)를 수신한다. 전송게이트(52,53) 각각은 클럭신호(CK, $\overline{CK}$)에 의하여 온된다. 출력신호(Q)와 반전된 출력신호($\overline{Q}$)는 전송게이트(52,53)가 온될 때 고 또는 저 레벨의 대응 어드레스 신호에 의하여 얻어진다. 플립플롭 회로(50,51)는 플립플롭 기능을 위해 사용된다. 인버터(54,55,56)는 신호의 반전을 위해 사용된다.

상술한 바와 같이 인버터의 선택된 입력단은 그것이 사용되지 않을 때 입력단을 플로팅(floatinf)함이 없이 전원선(V_{DD})에 클립된다. 이것은 제12도를 참고로 하여 보다 상세히 설명하겠다.

전형적인 보상 산화금속 반도체(CMOS) 인버터가 제12도에 도시되었다. 상기 인버터는 트랜지스터(T_{rp}, T_{rn})가 온 또는 오프되는 지에 따라 입력 어드레스 신호에 대응하는 고 또는 저 레벨신호를 출력한다. 이 경우 입력단이 플로팅될 때 트랜지스터(T_{rp} 또는 T_{rn})는 입력 배선사이의 결합용량(C_1, C_2)에 의하여 발생하는 전위에 의하여 온되는 수가 있다. 결과적은 매우 작은 직류(I_{DC})가 선(V_{DD})으로부터 V_{SS} 로 흐른다. 상기 직류(I_{DC})는 후의 논리동작상 에러를 발생시켜 LSI의 전체 전력소비를 증가시킨다.

상기로부터 이해할 수 있는 바와 같이 본 발명에 따른 마스터 슬라이스형 반도체 회로장치는 CAD에 의하여 배선패턴 설계를 하는데 아주 적합하다. 왜냐하면 메모리 회로(1,2)의 배선층 정보를 필요한 메모리 구조마다 CAD의 라이브러리(library)내에 준비하고 미리 기억할 필요가 없기 때문이다.

즉 본 발명에 따라 메모리 회로(1,2)의 배선패턴 정보의 일종류만이 CAD시스템의 라이브러리에 미리 기억하고 접촉호울의 위치 정보를 CAD시스템에 공급함으로써 소망의 메모리 구조를 실현할 수 있다.

(57) 청구의 범위

청구항 1

마스터 슬라이스형 반도체 회로장치에 있어서, 다수의 입력회로를 갖춘 적어도 하나의 메모리 회로 블록; 상기 메모리 회로 블록의 주변부에 갖추어져 있으며 입력신호를 수신하는 상기 입력회로에 각각 접속되며 입력선이 제1도전층에 의하여 형성되는 다수의 입력선; 제1논리레벨을 공급하며 상기 메모리 회로 블록의 상기 주변부에 갖추어진 제1도전선; 상기 메모리 회로 블록의 상기 주변부에 제공되며 제2논리레벨을 공급하며 상기 제1및 제2도전선은 상기 제1도전층과 다른 층인 제2도전층에

의하여 형성되는 제2도전선; 및 상기 제1도는 제2도전선을 상기 입력선중 적어도 하나에 접속하는 접촉수단으로 구성되어 있으며 상기 입력신호중 적어도 하나의 전위가 상기 접촉수단에 의하여 상기 제1도는 제2논리레벨의 클립되며 기억용량 또는 상기 메모리 회로 블록의 기능을 변화시킬 수 있는 것을 특징으로 하는 마스터 슬라이스형 반도체 회로장치.

청구항 2

제1항에 있어서, 상기 제1및 제2도전선은 각각의 상기 입력선을 교차하는 것을 특징으로 하는 마스터 슬라이스형 반도체 회로장치.

청구항 3

제1항에 있어서, 상기 메모리 회로 블록은 게이트 전극을 갖는 금속절연체 반도체(MIS) 트랜지스터로 구성되어 있으며, 상기 제2도전층은 상기 게이트 전극을 형성하도록 게이트 전극층과 동일하며 상기 제1및 제2도전선은 상기 입력 하측에 배열되어 있는 것을 특징으로 하는 마스터 슬라이스형 반도체 회로.

청구항 4

제1항에 있어서, 상기 제1도전층은 알루미늄으로 제조되며 상기 제2도전층은 다결정 실리콘으로 제조되는 것을 특징으로 하는 마스터 슬라이스형 반도체 회로.

청구항 5

제1항에 있어서, 더욱이 소망의 논리회로를 구성하는 다수의 제1기본셀과 각각이 상기 제1기본셀과 동일구조를 갖는 다수의 제2기본셀을 가지며 상기 입력회로의 일부를 형성하는 상기 메모리 회로 블록의 상기 주변부에 배열되어 있는 논리회로 블록을 포함하고 있으며 상기 제2기본셀 각각은 상기 입력선의 하나로서 게이트 전극을 갖는 적어도 하나의 MIS트랜지스터를 포함하고 있는 것을 특징으로 하는 마스터 슬라이스형 반도체 회로장치.

청구항 6

제5항에 있어서, 각각의 제2기본셀내에 상기 MIS트랜지스터의 상기 게이트 전극은 상기 제1및 제2도전선 하측에 배열되어 있으며 상기 게이트 전극은 상기 제1및 제2도전선을 교차하는 것을 특징으로 하는 마스터 슬라이스형 반도체 회로장치.

청구항 7

제1항에 있어서, 상기 접촉수단은 상기 제1도전층과 상기 제2도전층 사이에 형성된 접촉창으로 구성되어 있는 것을 특징으로 하는 마스터 슬라이스형 반도체 회로장치.

청구항 8

마스터 슬라이스 방법에 의하여 형성되는 게이트 어레이형 대규모 집적회로 장치에 있어서, 격자로 배열된 다수의 기본셀을 갖는 논리블록; 적어도 하나의 메모리 회로를 갖는 메모리 블록; 하나의 도전층에 의하여 형성되며 상기 메모리 회로의 주변부에 갖추어진 입력단; 상기 메모리 회로의 상기 주변부에 갖추어지며 상기 입력단의 상기 일도전층과 다른 도전층에 의하여 형성되는 전원선; 선택된 입력단에서 상기 하나의 도전층과 상기 다른 하나의 도전층 사이에 클립(clip)하는 적어도 하나의 접촉호울로 구성되어 있으며, 상기 접촉호울에 의하여 클립되는 상기 선택된 입력단은 상기 전원선에 의하여 소정 논리레벨에 세트되어 기억용량 또는 상기 메모리 블록의 기능을 변화시킬 수 있는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 9

제8항에 있어서, 상기 메모리 회로는 다수의 메모리 셀로 구성되는 메모리 셀 어레이; 다수의 센스 증폭기로 구성되는 센스증폭기군; 다수의 기입(write)증폭기로 구성되는 기입증폭기군; 다수의 워드 어드레스 레지스터로 구성되는 워드 어드레스 레지스터군; 다수의 워드 디코더(word decoder)로 구성되는 워드 디코더군; 및 제어회로로 구성되어 있는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 10

제8항에 있어서, 상기 전원선은 입력단 하측에 게이트 도전층으로 구성되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 11

제8항에 있어서, 상기 적어도 하나의 접촉호울은 상기 게이트 도전층과 상기 입력단을 접속하도록 사용되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 12

제8항에 있어서, 상기 도전층은 알루미늄 배선으로 구성되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 13

제8항에 있어서, 상기 알루미늄 배선은 상기 접촉호울을 이용하여 상기 논리블록의 알루미늄 배선에 접속되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 14

제9항에 있어서, 상기 메모리 셀 어레이의 메모리 영역은 상기 워드 어드레스 레지스터군과 워드 디코더 군을 통하여 어드레스 신호에 의하여 결정되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 15

제8항에 있어서, 상기 선택된 입력단은 상기 접촉호울을 이용하여 상기 전원선에 클립되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 16

마스터 슬라이스 방식에 의하여 형성되는 게이트 어레이형 대규모 집적회로 장치에 있어서, 격자로 배열된 다수의 기본셀; 적어도 하나의 메모리 회로를 갖는 메모리 블록; 상기 메모리 회로의 주변부에 제공되는 입력 기본셀 열; 상기 메모리 회로의 상기 주변부에 제공되며 상기 기본셀 열 위의 제1도전층에 의하여 형성되는 전원선; 및 상기 전원선과 상기 입력 기본셀의 선택된 게이트 사이에 클립하는 적어도 하나의 접촉호울로 구성되어 있으며 상기 접촉호울에 의하여 클립되는 상기 선택된 입력 기본셀은 상기 전원선에 의하여 소정의 논리레벨에 세트되어 기억용량과 상기 메모리 블록의 기능을 변화시킬 수 있는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 17

제16항에 있어서, 상기 메모리 회로는 다수의 메모리 셀로 구성되는 메모리 셀 어레이; 다수의 센스 증폭기로 구성되는 센스증폭기군; 다수의 기입증폭기로 구성되는 기입증폭기군; 다수의 워드 어드레스 레지스터로 구성되는 워드 어드레스 레지스터군; 다수의 워드 디코더로 구성되는 워드 디코더군 제어회로; 및 다수의 기본셀로 구성되는 기본셀 열로 구성되어 있는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 18

제16항에 있어서, 상기 전원선은 상기 기본셀 열 위에 알루미늄 배선으로 구성되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 19

제16항에 있어서, 상기 적어도 하나의 접촉호울은 상기 전원선과 P^+ 또는 N^+ 형 기판 접촉 영역을 접촉하는 데 사용되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 20

제16항에 있어서, 상기 적어도 하나의 접촉호울이 상기 전원선과 P^+ 또는 N^+ 형 확산층을 접촉하기 위해 사용되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 21

제20항에 있어서, 상기 선택된 입력 기본셀의 상기 P^+ 또는 N^+ 형 확산층은 상기 접촉호울을 사용하여 상기 전원선에 클립되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 22

마스터 슬라이스 방식에 의하여 형성되는 게이트 어레이형 대규모 집적회로 장치에 있어서, 다수의 격자로 배열된 기본셀과 적어도 하나의 스택게이트를 갖는 논리블록; 적어도 하나의 메모리 회로를 갖는 메모리 블록; 상기 논리블록에 갖추어져 있으면 알루미늄 배선의 제1및 제2도전층에 의하여 형성되는 전원선; 및 상기 전원선과 상기 스택게이트 사이에 클립하는 적어도 하나의 접촉호울로 구성되어 있으며 상기 접촉호울에 의하여 상기 스택게이트는 상기 전원선에 의하여 소정 논리레벨에 세트함으로써 기억용량 또는 상기 메모리 블록의 기능을 변화시킬 수 있는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 23

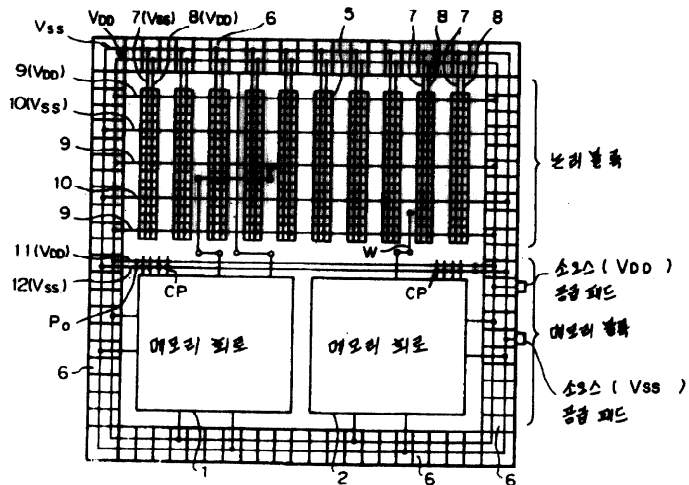
제22항에 있어서, 상기 메모리 블록은 더욱이 상기 스택게이트와 상기 메모리 회로를 상기 접촉호울을 사용함으로써 접속하는 그의 주변부내에 입력단으로 구성되어 있는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

청구항 24

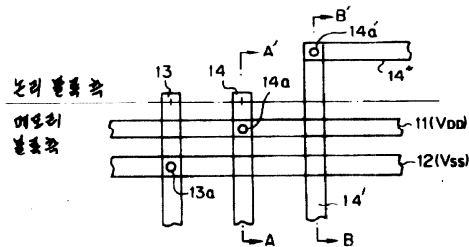
제22항에 있어서, 상기 적어도 하나의 접촉호울에 상기 전원선과 P^+ 또는 N^+ 형 기판 접촉영역 사이에 접속되도록 사용되는 것을 특징으로 하는 게이트 어레이형 대규모 집적회로 장치.

도면

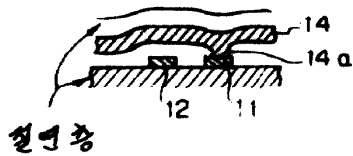
도면1



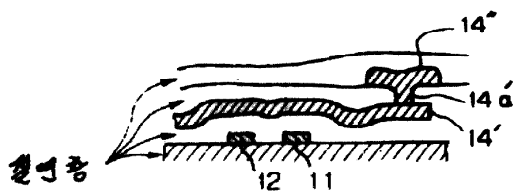
도면2A



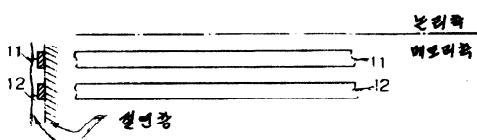
도면2B



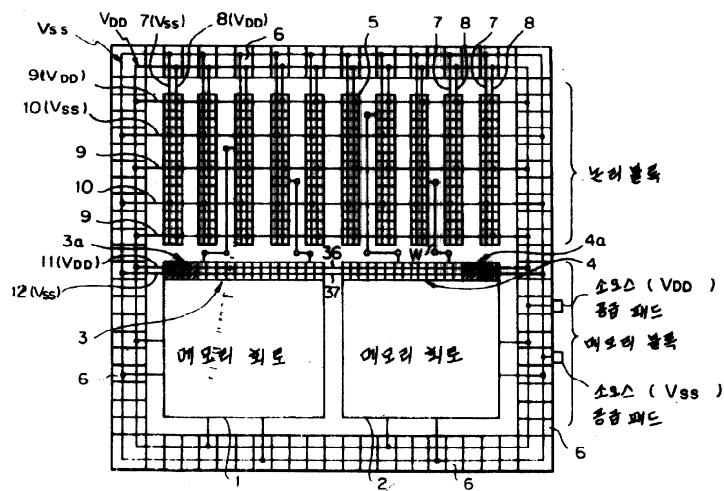
도면2C



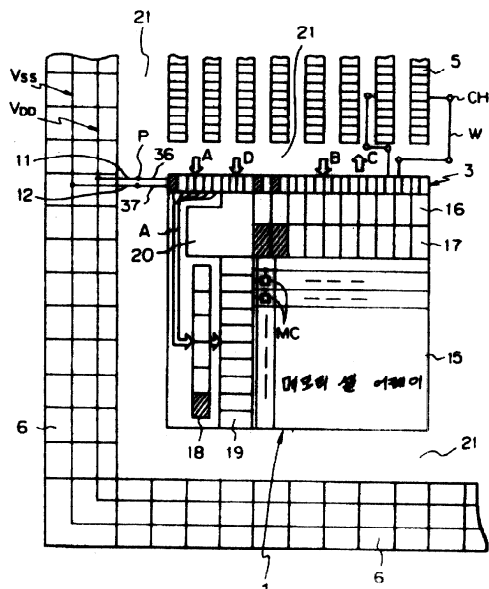
도면2D



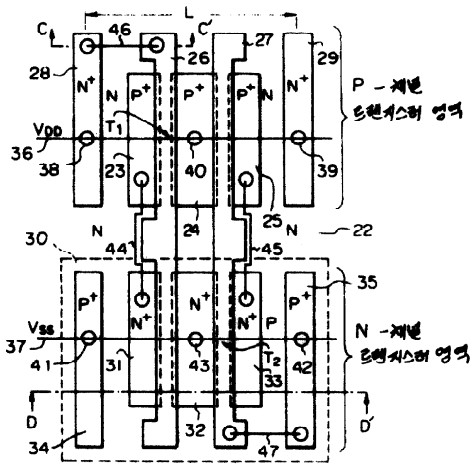
도면5



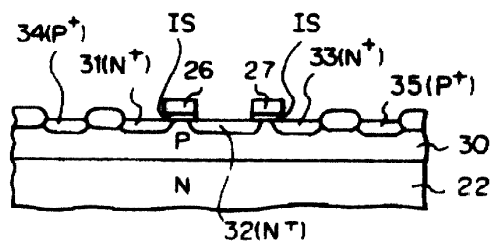
도면6



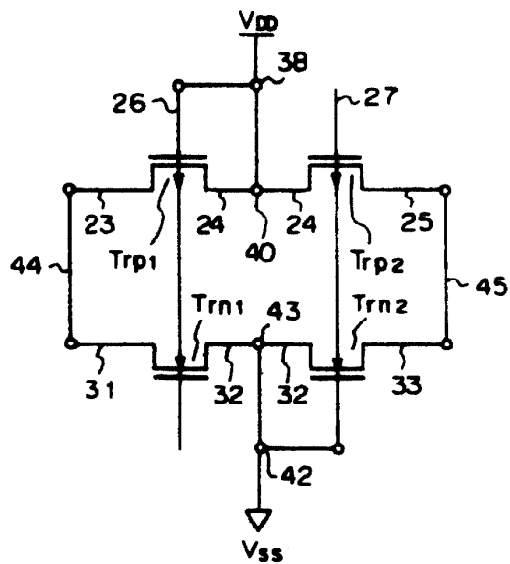
도면7A



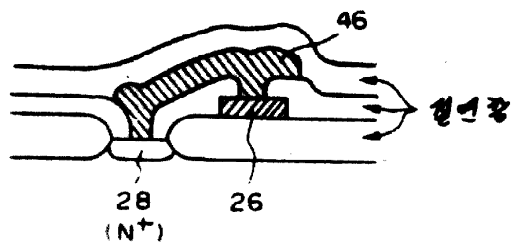
도면7B



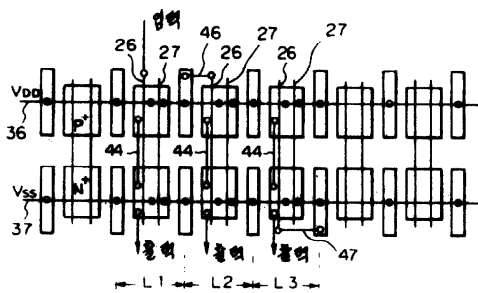
도면7C



도면 70



도면8



도면9

