

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3876397号
(P3876397)

(45) 発行日 平成19年1月31日(2007.1.31)

(24) 登録日 平成18年11月10日(2006.11.10)

(51) Int. Cl.		F I		
HO 1 L	21/28	(2006.01)	HO 1 L	21/28 3 O 1 B
HO 1 L	29/205	(2006.01)	HO 1 L	29/205
HO 1 L	21/331	(2006.01)	HO 1 L	29/72 H
HO 1 L	29/737	(2006.01)		

請求項の数 2 (全 8 頁)

<p>(21) 出願番号 特願平10-28037 (22) 出願日 平成10年2月10日(1998.2.10) (65) 公開番号 特開平11-233452 (43) 公開日 平成11年8月27日(1999.8.27) 審査請求日 平成17年2月9日(2005.2.9)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 100072833 弁理士 柏谷 昭司 (74) 代理人 100075890 弁理士 渡邊 弘一 (74) 代理人 100105337 弁理士 眞鍋 潔 (72) 発明者 富岡 健 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 審査官 小野田 誠</p>
---	--

最終頁に続く

(54) 【発明の名称】 三族-五族化合物半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

一導電型三族-五族化合物半導体ベース層に積層された反対導電型三族-五族化合物半導体ガード・リング層上にPd層及びTi層及びPt層及びAu層の順に積層された積層体からなるベース電極を形成してから熱処理を行ってPd層と一導電型三族-五族化合物半導体ベース層とを合金化する工程

が含まれてなることを特徴とする三族-五族化合物半導体装置の製造方法。

【請求項2】

反対導電型三族-五族化合物半導体エミッタ層をメサ状に加工した際に一部がベース電極形成予定部分を覆う薄膜となって残った前記エミッタ層上にPd層及びTi層及びPt層及びAu層の順に積層された積層体からなるベース電極を形成してから熱処理を行ってPd層と一導電型三族-五族化合物半導体ベース層とを合金化する工程

が含まれてなることを特徴とする三族-五族化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンタクト抵抗が低い電極をもつ三族-五族化合物半導体装置を製造する方法に関する。

【0002】

現在、光通信システムの高速且つ大情報量化や高速コンピュータの高性能化を促進させる

為、化合物半導体装置を高性能化することが要求され、その一環として、電極コンタクト抵抗の低減が問題になっているので、本発明では、その問題を解消する為の一手段を開示する。

【0003】

【従来の技術】

従来の化合物半導体装置、特にヘテロ接合バイポーラ・トランジスタ(heterojunction bipolar transistor: HBT)に於いては、p型化合物半導体層に対する合金型オーミック・コンタクト電極として、AuZn、AuMn、AuBeなどp型不純物を構成元素とする合金膜やp型不純物元素を含む多層膜を真空蒸着法で半導体層表面に堆積し、その後の熱処理で電極と半導体界面とを合金化することに依って、良好なオーミック・コンタクトをもつ電極を形成している。尚、p型不純物元素を含む多層膜としては、例えば、Pd/Zn/Pt/AuやPd/Zn/Pd/Auを挙げることができ、この場合、p型不純物元素はZnである。

10

【0004】

然しながら、前記電極をHBTに於けるベース電極のようにp型薄層構造に適用した場合、Auがベース層からコレクタ層に至る各結晶層に拡散し、コンタクト抵抗の低下や素子の信頼性低下を招来する場合がある。

【0005】

また、最近、低いコンタクト抵抗と長寿命が得られる電極として、Pt/Ti/Pt/Auからなる積層体構造をHBTのp型ベース層に適用する技術が開示されている(要すれば、「Japanese Journal of Appl. Phys. L558-560(1991)岡田ら」、参照)。

20

【0006】

このPt/Ti/Pt/Auからなる積層体構造の電極では、半導体層との第一の反応層がPt層であり、半導体層とPt層との間に自然酸化膜が存在した場合、半導体層とPt層との合金化が充分に行なわれず、低いコンタクト抵抗を再現性良く実現することが困難である。

【0007】

更にまた、Pd/Zn/Pt/Auからなる積層体構造がHBTのベース電極に用いられている(要すれば、「特開平5-259435号公報」、「特開平6-310706号公報」などを参照)。

30

【0008】

このPd/Zn/Pt/Auからなる積層体構造の電極では、半導体層と電極とを合金化する熱処理工程で、Znが半導体層側と表面側に拡散すると共にPtがPd層中に侵入し、Auがバリア層であるPt層を貫通して拡散し、電極の信頼性を確保することが困難である。

【0009】

【発明が解決しようとする課題】

本発明では、既知の電極材料の積層順序に簡単な改変を施すのみで、半導体層の表面に在る自然酸化膜やベース層上に在るガード・リングである半導体層の影響を受けることなく低いコンタクト抵抗を再現性良く実現し、また、金属層間に形成したバリア層の効果を十分に発揮できるようにする。

40

【0010】

【課題を解決するための手段】

本発明に於いては、三族-五族系化合物半導体を用いる半導体装置の電極材料として既知であるPd、Ti、Pt、Auを用い、また、Pdを半導体層側にして前記の順に積層し、半導体層と反応、即ち、合金化する金属にPdを用いることで低いコンタクト抵抗を維持し、そして、Pd層とPt層との間にはPtに対する有効なバリア層となるTi層を介在させ、電極形成時の熱処理に依ってPtがPd層に過剰に侵入するのを防ぐことが基本になっている。

50

【0011】

図1は本発明の原理を解説する為のコンタクト抵抗率の合金化時間依存性を表す線図であり、縦軸にはコンタクト抵抗率を、また、横軸には合金化時間をそれぞれ採っている。

【0012】

このデータを得た試料は、p-GaAsベース層上に厚さが5[nm]であるn-GaAsガード・リング層と厚さが25[nm]であるn-InGaPエミッタ層の一部を介してPd/Ti/Pt/Auを順に積層成膜し、オーミック・コンタクト電極としたものであって、積層成膜には真空蒸着法を適用した。

【0013】

試料のp-GaAsベース層に於けるキャリア濃度は $3 \times 10^{19} [\text{cm}^{-3}]$ であり、また、オーミック・コンタクト電極に於ける各金属膜の膜厚は、Pd:30[nm]、Ti:40[nm]、Pt:40[nm]、Au:200[nm]である。

10

【0014】

電極形成時の熱処理温度は400[]、雰囲気はN₂ 雰囲気、コンタクト抵抗率の測定はTLM(transmission line mode)法に依った。

【0015】

本発明に於いて、熱処理に依ってコンタクト抵抗率が低下した理由は、半導体層と電極の最下層であるPd層との合金化反応が進行した為である。

【0016】

即ち、Pd層がn-InGaPエミッタ層及びn-GaAsガード・リング層を介してp-GaAsベース層と合金化反応が行なわれた為であり、これについては、Pd層をp-GaAsベース層に直接蒸着した場合にも図1に見られる傾向と同じ傾向を示すことが判っている。

20

【0018】

前記したところから、本発明に依る三族 - 五族化合物半導体装置の製造方法に於いては

(1)

一導電型三族 - 五族化合物半導体ベース層(例えばp-GaAsベース層5)に積層された反対導電型三族 - 五族化合物半導体ガード・リング層(例えばn-GaAs第一エミッタ層6)上にPd層及びTi層及びPt層及びAu層の順に積層された積層体からなるベース電極(例えばベース電極11)を形成してから熱処理を行ってPd層と一導電型三族 - 五族化合物半導体ベース層とを合金化する工程が含まれてなることを特徴とするか、

30

或いは、

【0019】

(2)

反対導電型三族 - 五族化合物半導体エミッタ層(例えばn-InGaP第二エミッタ層7)をメサ状に加工した際に一部がベース電極形成予定部分を覆う薄膜となって残った前記エミッタ層上にPd層及びTi層及びPt層及びAu層の順に積層された積層体からなるベース電極(例えばベース電極11)を形成してから熱処理を行ってPd層と一導電型三族 - 五族化合物半導体ベース層(例えばp-GaAsベース層5)とを合金化する工程

40

が含まれてなることを特徴とする。

【0020】

前記手段を採ることに依り、電極と一導電型高濃度不純物含有半導体ベース層とは、良好なオーミック・コンタクトを生成することができ、また、導電型が反対導電型であるガード・リング層上からであっても、熱処理を行なうことで、一導電型高濃度不純物含有半導体ベース層と良好且つ安定にオーミック・コンタクトをとることが可能であって、高速動作する半導体装置に不可欠な低い電極コンタクト抵抗を実現することができる。

【0021】

【発明の実施の形態】

図2は本発明に於ける一実施の形態に依って製造されたHBTを表す要部切断側面図であ

50

って、次に、このHBTを製造する方法について説明する。

【0022】

(1)

例えば、MOCVD (metalorganic chemical vapour deposition) 法を適用することに依り、基板1上にバッファ層2、サブ・コレクタ層3、コレクタ層4、ベース層5、第一のガード・リングである第一エミッタ層6、第二のガード・リングである第二エミッタ層7、第三エミッタ層8、エミッタ・キャップ層9を成長させる。

【0023】

ここで、各半導体部分に関する主要なデータを例示すると以下の通りである。

10

(a) 基板1について

材料：半絶縁性GaAs

(b) バッファ層2について

材料：ノンドープGaAs

厚さ：500 [nm]

(c) サブ・コレクタ層3について

材料：n-GaAs

不純物濃度： 5×10^{18} [cm^{-3}]

厚さ：500 [nm]

(d) コレクタ層4

20

材料：n-GaAs

不純物濃度： 3×10^{16} [cm^{-3}]

厚さ：300 [nm]

(e) ベース層5について

材料：p-GaAs

不純物濃度： 2×10^{19} [cm^{-3}]

厚さ：80 [nm]

(f) 第一のガード・リングである第一エミッタ層6について

材料：n-InGaP

不純物濃度： 3×10^{17} [cm^{-3}]

30

厚さ：30 [nm]

(g) 第二のガード・リングである第二エミッタ層7について

材料：n-GaAs

不純物濃度： 3×10^{17} [cm^{-3}]

厚さ：10 [nm]

(h) 第三エミッタ層8について

材料：n-GaAs

不純物濃度： 3×10^{17} [cm^{-3}] (下層) 5×10^{18} [cm^{-3}] (上層) のグレーデッド

厚さ：300 [nm]

(i) エミッタ・キャップ層9について

40

材料：n-In_xGa_{1-x}As (x = 0 ~ 0.6)

不純物濃度： 5×10^{18} [cm^{-3}] ~ 4×10^{19} [cm^{-3}]

厚さ：100 [nm]

【0024】

(2)

スパッタリング法を適用することに依り、エミッタ・キャップ層9上に厚さが例えば300 [nm]であるWSi膜を堆積してから、リソグラフィ技術に於けるレジスト・プロセスを適用することに依って、エミッタ電極パターンのレジスト膜を形成し、その後、ハロゲン系エッチング・ガスを用いるドライ・エッチング法を適用してWSi膜のエッチングを行なってエミッタ電極10を形成する。

50

【 0 0 2 5 】

(3)

エッチャントをリン酸と水の混合液とするウエット・エッチング法を適用することに依り、エミッタ電極 10 をマスクとしてエミッタ・キャップ層 9 のエッチングを行ない、ハロゲン系ガスをエッチング・ガスとするドライ・エッチング法を適用することに依り、第三エミッタ層 8 のエッチングを行ない、第二のガード・リングである第二エミッタ層 7 が表出された時点でエッチングを停止し、第一段メサ部分形成を終了する。

【 0 0 2 6 】

(4)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、表出されている第二エミッタ層 7 に於けるベース電極形成予定部分に開口をもつレジスト膜を形成する。

10

【 0 0 2 7 】

(5)

真空蒸着法及びリフト・オフ法を適用することに依り、厚さが 30 [nm] / 40 [nm] / 40 [nm] / 200 [nm] である Pd / Ti / Pt / Au からなるベース電極 11 を形成する。

【 0 0 2 8 】

熱処理を実施することで、ベース電極 11 は、第二エミッタ層 7 の一部及び第一エミッタ層 6 を介し、ベース層 5 と良好にオーミック・コンタクトさせることができる。尚、この熱処理は、他の工程タイミングで実施しても良い。

20

【 0 0 2 9 】

(6)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、サブ・コレクタ層 3 に於けるコレクタ電極形成予定部分を表出させる為の開口をもつレジスト膜を形成する。

【 0 0 3 0 】

(7)

エッチャントをリン酸と水の混合液とするウエット・エッチング法を適用することに依り、前記工程 (6) で形成したレジスト膜をマスクとして第二のガード・リングである第二エミッタ層 7 のエッチングを行ない、更に、エッチャントを塩酸と水の混合液とするウエット・エッチング法を適用することに依り、第一のガード・リングである第一エミッタ層 6 のエッチングを行ない、その後、ハロゲン系ガスをエッチング・ガスとするドライ・エッチング法を適用することに依り、ベース層 5、コレクタ層 4 のエッチングを行ない、サブ・コレクタ層 3 が表出されたところでエッチングを停止し、第二段メサ部分形成を終了する。

30

【 0 0 3 1 】

(8)

リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、厚さが 20 [nm] / 100 [nm] である AuGe / Au からなるコレクタ電極 12 を形成する。

40

【 0 0 3 2 】

以上のようにして製造した HBT では、ベース電極 11 の最下層の Pd 層が高濃度 p 型ベース層 5 と良好にオーミック・コンタクトする。

【 0 0 3 3 】

本発明に於いては、前記実施の形態に限られることなく、他に多くの改変を実現でき、例えば、前記実施の形態では、GaAs / InGaP 系 HBT について説明したが、InP / InGaAs 系 HBT に適用しても有効である。

【 0 0 3 4 】

また、前記実施の形態では、p - GaAs ベース層 5 上に第一のガード・リングである n - InGaP 第一エミッタ層 6 並びに第二のガード・リングである n - GaAs 第二エミ

50

ッタ層 7 を形成し、また、第一段メサ部分を形成したことに依って表出される第二段メサ部分の頂面には、 n -GaAs 第二エミッタ層 7 を薄く残して覆うように構成してあるが、必要に応じ、第二のガード・リングである n -GaAs 第二エミッタ層 7 を残さない構成にしたり、或いは、第二のガード・リングである n -GaAs 第二エミッタ層 7 及び第一のガード・リングである n -InGaP 第一エミッタ層 6 を省略することもできる。

【0035】

【発明の効果】

本発明に依る三族 - 五族化合物半導体装置の製造方法に於いては、一導電型三族 - 五族化合物半導体ベース層上に Pd 層及び Ti 層及び Pt 層及び Au 層の順に積層された積層体からなるベース電極を形成してから熱処理を行なって Pd 層と一導電型三族 - 五族化合物半導体ベース層とを合金化している。

10

【0036】

前記構成を採ることに依り、ベース電極と一導電型高濃度不純物含有半導体ベース層とは、良好なオーミック・コンタクトを生成することができ、また、導電型が反対導電型であるガード・リング層上からであっても、熱処理を行なうことで、一導電型高濃度不純物含有半導体ベース層と良好且つ安定にオーミック・コンタクトをとることが可能であって、高速動作する半導体装置に不可欠な低い電極コンタクト抵抗を実現することができる。

【図面の簡単な説明】

【図 1】本発明の原理を解説する為のコンタクト抵抗率の合金化時間依存性を表す線図である。

20

【図 2】本発明に於ける一実施の形態である HBT を表す要部切断側面図である。

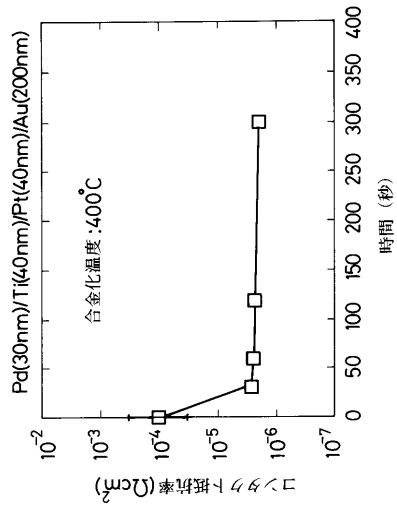
【符号の説明】

- 1 基板
- 2 バッファ層
- 3 サブ・コレクタ層
- 4 コレクタ層
- 5 ベース層
- 6 第一エミッタ層 (第一のガード・リング)
- 7 第二エミッタ層 (第二のガード・リング)
- 8 第三エミッタ層
- 9 エミッタ・キャップ層
- 10 エミッタ電極
- 11 ベース電極
- 12 コレクタ電極

30

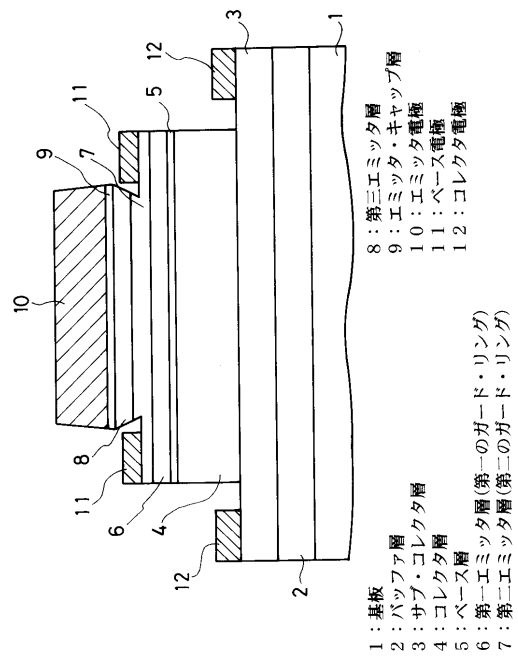
【 図 1 】

コンタクト抵抗率の合金化時間依存性を表す線図



【 図 2 】

実施の形態であるHBTを表す要部切断側面図



フロントページの続き

- (56)参考文献 特開平09 - 045890 (JP, A)
特開平08 - 250509 (JP, A)
特開平07 - 326627 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 21/28
H01L 21/331
H01L 29/205
H01L 29/737