

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특1998-077341
(43) 공개일자 1998년11월 16일

(21) 출원번호	특1997-014437
(22) 출원일자	1997년04월 18일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 이승무 경기도 이천시 대월면 사동리 441-1 현대전자 사원아파트 109-304 김시범 서울특별시 서대문구 홍은동 394-19
(74) 대리인	이권희, 이정훈

심사청구 : 있음

(54) 반도체소자의 소자분리막 형성방법

요약

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 반도체기판 상부에 제1절연막을 열산화공정으로 형성하고, 전체표면 상부에 질화막을 화학기상증착방법으로 형성한 다음, 트렌치를 형성하고, 제 1차 산화공정으로 열산화막을 성장한 후 습식식각방법으로 상기 열산화막을 제거한 다음, 제 2차 산화공정으로 상기 트렌치 표면에 열산화막을 성장시킨 후, PECVD 장비에서 챔버(chamber)의 내벽을 산화막이나 질화막으로 프리-코팅(pre-coating)하여 인-시튜 클리닝(in-situ cleaning)없이 바로 플라즈마처리함으로써 금속오염을 방지하고, 상기 트렌치를 매립하는 오존-테오스 유.에스.지.(O₃ - TEOS USG : O₃ - TetraEthylOrthoSilicate UndopedSilicateGlass, 이하에서 O₃ - TEOS USG라 함)막을 증착한 후, 화학기계 연마(chemical mechanical polishing, 이하 CMP라 함)공정으로 평탄화된 트렌치형 소자분리막을 형성하여 후속 공정을 용이하게 함으로써 반도체소자의 수율을 향상시키고 그에 따른 고집적화를 가능하게 하는 기술이다.

대표도

도 1e

명세서

도면의 간단한 설명

도 1a 내지 도 1e 는 본 발명의 실시예에 따른 반도체소자의 소자분리막 형성방법을 도시한 단면도.

도면의 주요부분에 대한 부호의 설명

11 : 반도체기판13 : 제 1 절연막

15 : 제 2 절연막16 : 트렌치

17 : 제 4 절연막19 : O₃-TEOS USG막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 특히 플라즈마화학기상증착(Plasma Enhanced Chemical Vapor Deposition, 이하 PECVD라 함) 장비를 이용하는 소자분리공정에 있어서, PECVD 챔버에 의한 웨이퍼의 오염을 방지하여 반도체소자의 수율 및 신뢰성을 향상시키는 기술에 관한 것이다.

일반적인 반도체소자의 소자분리막 형성방법을 설명하면 다음과 같다.

먼저, 반도체기판 상부에 열산화공정으로 제1절연막인 패드산화막을 100 ~ 200 Å의 두께로 형성하고, 전체표면 상부에 화학기상증착방법(Chemical Vapor Deposition, 이하 CVD라 함)으로 제 2 절연막인 질화막을 1500 ~ 2500 Å의 두께로 증착한다.

그 다음에, 소자분리마스크를 이용한 식각공정으로 상기 제 2 절연막과 제 1 절연막 그리고 일정두께의 반도체기판을 식각하여 트렌치를 형성한다.

그리고, 상기 트렌치의 표면에 제 3 절연막을 형성하고, 전체표면 상부를 질소와 암모니아가스 분위기에서 플라즈마처리하는 공정을 실시한 다음, 전체표면 상부에 O_3 -TEOS USG막을 형성하여 평탄화를 시킨다.

이때, 상기 트렌치 표면은 상기 플라즈마처리공정시 반응챔버의 내벽에 포함된 금속물질로 인하여 오염될 수 있다.

상기한 바와 같이, 종래기술에 따른 반도체소자의 소자분리막 형성방법은, 플라즈마처리공정시 챔버에 의한 반도체기판 표면에 금속오염이 유발되어 소자의 특성을 열화시키고 그로인한 반도체소자의 특성 및 신뢰성을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, PECVD 챔버에서 플라즈마처리를 실시하기 전에 챔버 내벽을 산화막이나 질화막으로 코팅을 실시하고, 인-시튜 클리닝없이 플라즈마처리하여 챔버 내벽으로 인한 금속오염의 발생을 최소화하며, 상기 플라즈마처리공정을 실시함으로써 O_3 -TEOS USG의 증착속도를 조절하여 자체 평탄화 특성을 향상시키고 후속공정을 용이하게 실시할 수 있는 반도체소자의 소자분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위한 본 발명에 따른 반도체소자의 소자분리막 형성방법은;

반도체기판 상부에 제 1 절연막을 형성하는 공정과;

상기 제 1 절연막 상부에 제 2 절연막을 형성하는 공정과;

상기 제 2 절연막과 제 1 절연막 그리고 일정두께의 반도체기판을 식각하여 트렌치를 형성하는 공정과;

상기 트렌치 표면에 제 3 절연막을 형성하는 공정과;

상기 제 3 절연막을 제거하는 공정과;

상기 트렌치 표면에 제 4 절연막을 형성하는 공정과;

상기 반도체기판이 내재된 챔버 내벽에 제 5 절연막을 형성하는 공정과;

상기 제 4 절연막을 N_2/NH_3 플라즈마처리하는 공정과;

상기 트렌치를 O_3 -TEOS USG로 매립하는 공정을 포함하는 것을 특징으로 한다.

한편, 이상의 목적을 달성하기 위한 본 발명의 원리는, 얇은(shallow)트렌치 소자분리공정을 실시하는데 있어서, 플라즈마처리공정을 실시하기 전에 반응챔버인 PECVD 챔버의 내벽을 산화막이나 질화막으로 프리-코팅하여 금속오염의 가능성을 최소화하고, 플라즈마처리공정을 실시한 후 트렌치에 O_3 -TEOS USG를 증착함으로써 산화막 상부는 O_3 -TEOS USG를 빠르게 증착시키고 질화막 상부는 O_3 -TEOS USG를 증착이 느리게 하여 자체 평탄화 특성을 향상시키며, 후속 공정인 CMP공정의 공정시간을 감소시켜 공정 균일도 및 생산성을 향상시키는 것이다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 1a 내지 도 1e는 본 발명의 실시예에 따른 반도체소자의 소자 분리막 형성공정을 도시한 단면도이다.

도 1a를 참조하면, 반도체기판(11) 상부에 제 1 절연막(13)인 패드산화막을 형성한다. 이때, 상기 패드산화막(13)은 열산화공정으로 형성하되, 50 내지 200 Å 두께로 형성된 것이다.

그리고, 전체표면상부에 제 2 절연막(15)인 질화막을 일정두께로 형성한다.

이때, 상기 질화막(15)은 화학기상증착방법으로 1500 내지 2500 Å 정도의 두께로 형성한다.

그 다음에, 소자분리마스크(도시안됨)를 이용한 식각공정으로 상기 반도체기판(11)의 셀부와 주변회로부에 트렌치(16)를 형성한다.

도 1b를 참조하면, 상기 트렌치(16) 표면에 제 3 절연막인 제 1 열산화막(도시안됨)을 형성하는 제 1 차 산화공정을 실시한다. 이때, 상기 제 1 열산화막은 100 내지 200 Å 정도의 두께로 형성한다.

그리고, 상기 제 1 열산화막을 습식식각으로 제거한다.

이때, 제 1 차 산화공정과 이로인한 제 1 열산화막의 제거공정은 상기 트렌치(16) 형성공정시 발생된 트렌치(16) 표면의 결함을 제거한다.

도 1c를 참조하면, 제 2차 산화공정으로 트렌치(16) 표면에 제 4절연막인 제 2 열산화막(17)을 100 내지 200 Å 정도의 두께로 형성한다.

도 1d를 참조하면, 제 2차 열산화공정 후 챔버내벽을 산화막, 질화막 또는 산질화막으로 5 내지 10 μm의 두께로 프리-코팅한다.

이때, 상기 프리-코팅공정은, PECVD에서 한 종류의 증착재료가 진행되고 후속 공정으로 다른 증착재료가 진행될 때 인-시튜 클리닝공정없이 진행할 수 있다.

그 다음에, 챔버(도시안됨)에서 웨이퍼(도시안됨) 표면을 플라즈마처리함으로써 O_3 -TEOS USG의 하지의존성을 감소시킨다.

이때, 상기 플라즈마처리공정은 O_3 -TEOS USG를 증착할 때의 조건 보다 약한 조건인 $N_2/NH_3 = 1\sim 3 / 2\sim 10$ SLM의 유량, $HF/LF = 0.1 \sim 1.0 / 0.1 \sim 0.3$ kW의 전력, $300 \sim 400^\circ\text{C}$ 의 온도 및 $1.0 \sim 2.0\text{Torr}$ 의 압력을 갖는 조건으로 10 ~ 50초의 시간동안 실시한다.

여기서, 상기 프리-코팅을 실시하고 플라즈마처리공정을 실시할 때 트렌치(16) 표면에 존재하는 금속오염 물질의 양은, 프리-코팅을 하지 않은 경우의 1/10 정도로 감소된다.

그리고, 상기 플라즈마처리공정은, 트렌치(16)에 O_3 -TEOS USG막을 증착할 때 열산화막에서는 증착이 빠르고 질화막위에서는 증착이 느리게 되어 자체 평탄화 특성을 우수하게 함으로써 후속 CMP공정의 공정시간을 최소화하여 평탄화된 트렌치 소자분리공정을 용이하게 한다.

도 1e를 참조하면, 상기 플라즈마처리공정 후 O_3 -TEOS USG(19)를 증착하여 상기 트렌치(16)를 O_3 -TEOS USG(19)로 매립한다.

이때, 상기 O_3 -TEOS USG막(19)의 증착 공정은, 80 ~ 120 SLM 정도의 질소가스의 유량, $100 \sim 140 \text{ g/m}^3$ 정도의 오존농도에서 5000 ~ 7000 Å 정도의 두께로 형성한다.

그후, 도시되지는 않았으나 후속 열처리 및 CMP공정을 실시하여 얇은 트렌치 소자분리(shallow trench isolation)공정을 완료한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 소자분리막 형성방법은, 챔버내벽을 산화막이나 질화막으로 프리-코팅함으로써 플라즈마처리공정으로 인한 금속오염을 최소화하고, O_3 -TEOS USG의 자체 평탄화 특성을 향상시켜 CMP공정의 공정시간을 감소시키며, 후속공정을 용이하게 하여 반도체소자의 특성, 수율 및 생산성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 잇점이 있다.

(57) 청구의 범위

청구항 1

반도체기판 상부에 제 1 절연막과 제 2 절연막을 형성하는 공정과,
상기 제 2 절연막과 제 1 절연막 그리고 일정두께의 반도체기판을 식각하여 트렌치를 형성하는 공정과,
상기 트렌치 표면에 제 3 절연막을 형성하는 공정과,
상기 제 3 절연막을 제거하는 공정과,
상기 트렌치 표면에 제 4 절연막을 형성하는 공정과,
상기 반도체기판이 탑재된 챔버 내벽에 제 5 절연막을 형성하는 공정과,
상기 제 4 절연막을 N_2/NH_3 플라즈마처리하는 공정과,
상기 트렌치를 O_3 -TEOS USG로 매립하는 공정을 포함하는 반도체소자의 소자분리막 형성방법.

청구항 2

청구항 1에 있어서,
상기 제 1 절연막은 50 ~ 200 Å 정도 두께의 패드산화막인 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 3

청구항 1에 있어서,
상기 제 2 절연막은 1500 ~ 2500 Å 정도 두께의 질화막인 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 4

청구항 1에 있어서,
상기 제 3, 4절연막은 열산화막인 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 5

청구항 1 또는 청구항 4에 있어서,
상기 제 3 절연막은 100 ~ 200 Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 6

청구항 1 또는 청구항 4에 있어서,

상기 제 4 절연막은 100 ~ 200 Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 7

청구항 1에 있어서,

상기 제 5 절연막은 산화막, 질화막 또는 산질화막으로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 8

청구항 1 또는 청구항 7에 있어서,

상기 제 5 절연막은 5 ~ 10 μ m 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 9

청구항 1에 있어서,

상기 플라즈마처리공정은 1 ~ 2 / 2 ~ 10SLM 정도의 N_2/NH_3 의 유량, 0.1 ~ 1.0 / 0.1 ~ 0.3kW 정도의 HF/LF 전력, 300 ~ 400°C 정도의 온도, 1.0 ~ 2.0Torr 정도의 압력에서 10 ~ 50초의 시간동안 실시하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

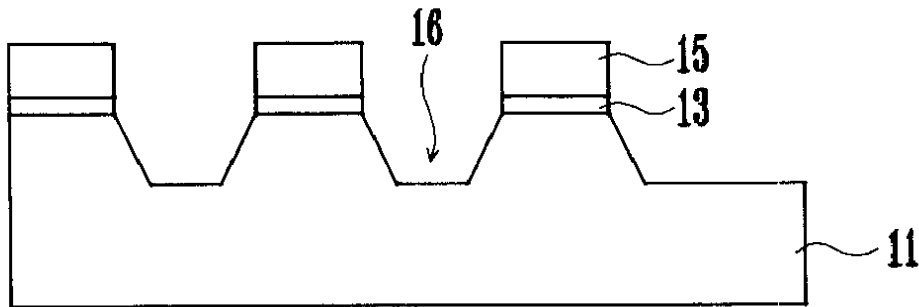
청구항 10

청구항 1에 있어서,

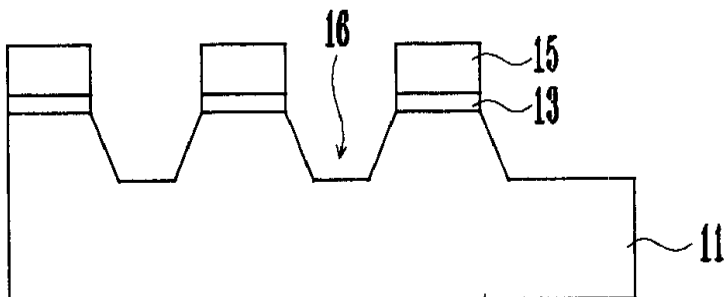
상기 O_3 -TEOS USG는 80 ~ 120SLM 의 질소유량, 100 ~ 140g/m³ 정도의 오존농도, 350 ~ 450°C 정도의 온도에서 5000 ~ 7000 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

도면

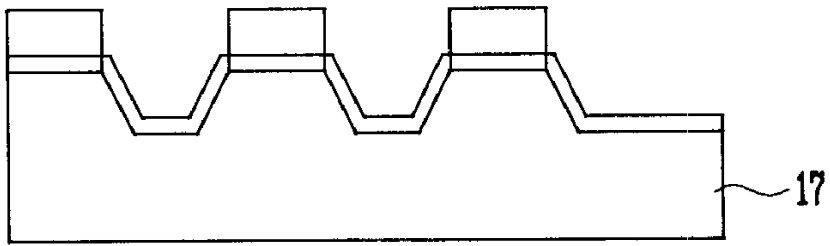
도면 1a



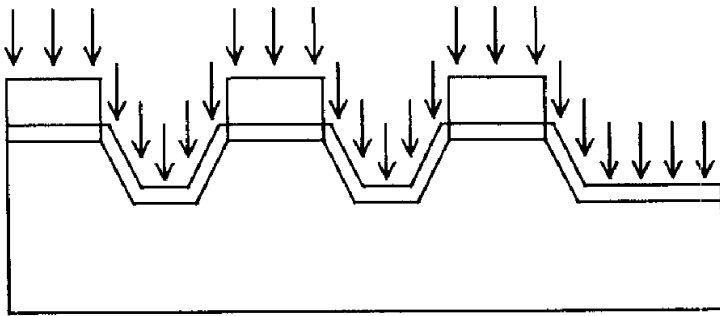
도면 1b



도면 1c



도면 1d



도면 1e

