

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 4 月 26 日 (26.04.2018)



(10) 国际公布号
WO 2018/072066 A1

(51) 国际专利分类号:
G06N 3/063 (2006.01)

(21) 国际申请号: PCT/CN2016/102302

(22) 国际申请日: 2016 年 10 月 18 日 (18.10.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 中国科学院深圳先进技术研究院 (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。

(72) 发明人: 张金勇 (ZHANG, Jinyong); 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。刘晨光 (LIU, Chenguang); 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。孙宏伟 (SUN, Hongwei); 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。王磊 (WANG, Lei); 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。

(74) 代理人: 北京三友知识产权代理有限公司 (BEIJING SANYOU INTELLECTUAL PROPERTY AGENCY LTD.); 中国北京市金融街 35 号国际企业大厦 A 座 16 层, Beijing 100033 (CN)。

(54) Title: PULSE-BASED NEURAL CIRCUIT

(54) 发明名称: 脉冲神经电路

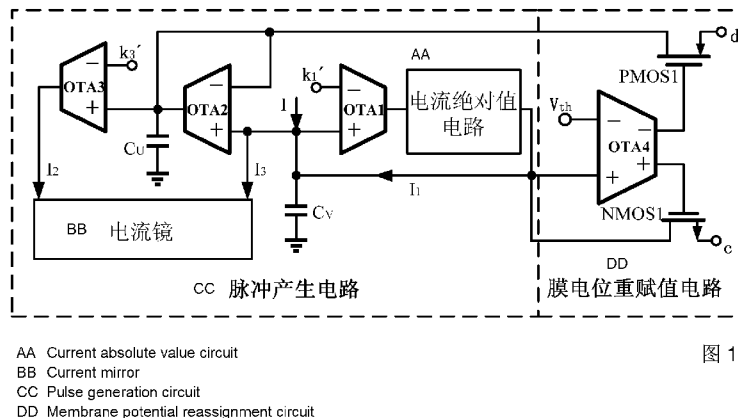


图 1

(57) Abstract: A pulse-based neural circuit comprising: a pulse generation circuit and a membrane potential reassignment circuit. The pulse generation circuit, together with a current absolute value circuit and a current mirror connected to an operational transconductance amplifier, are used for simulating, via the operational transconductance amplifier, a first capacitance C_v of a membrane potential and a second capacitance C_u of a membrane recovery potential, which are constructed for simulating a neural pulse oscillation. The membrane potential reassignment circuit connected to the pulse generation circuit, and a voltage comparator and a switching circuit realized by using the operational transconductance amplifier, are constructed for membrane potential reassignment. The neural pulse circuit can simplify the realization of a circuit and improve the integration of the circuit, and to better simulate the piecewise linear Izhikevich model under the conditions of low voltage and low power consumption.

(57) 摘要: 一种脉冲神经电路, 该脉冲神经电路包括: 脉冲产生电路和膜电位重赋值电路: 脉冲产生电路, 通过运算跨导放大器, 与运算跨导放大器连接的电流绝对值电路、电流镜、用于模拟膜电位的第一电容 C_v 和用于模拟膜恢复电位的第二电容 C_u , 被构造为用于模拟神经脉冲振荡; 与脉冲产生电路连接的膜电位重赋值电路, 通过运算跨导放大器实现的电压比较器, 开关电路, 被构造为用于膜电位重赋值。该脉冲神经电路可以使电路实现更简单, 提高电路集成度, 并在低电压低功耗条件下更好的模拟分段线性化 Izhikevich 模型。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

脉冲神经电路

技术领域

本发明涉及人工神经网络技术领域，尤其涉及脉冲神经电路。

5 背景技术

在人工神经网络领域，脉冲神经网络的模拟与实现在近年来引起了人们的广泛关注。针对生理上神经脉冲的主要特征，人们提出了许多不同的模型来进行拟合，如 I&F 模型、Izhikevich 模型和 H-H 模型等等，而 Izhikevich 模型由于能更高效、更简单地实现精确的神经脉冲的模拟，成为了最常用的模型之一。在神经系统的实现方面，VLSI 可利用电子元件和电路来模拟神经行为，成为了计算神经科学的一种主要实现方式。这其中，模拟集成电路由于具有更高效、更低功耗等优势，成为了脉冲神经电路设计的主流。为更好地实现 Izhikevich 模型的脉冲神经电路设计，人们提出了一种分段线性化的 Izhikevich 模型，分段线性的改进可以使 Izhikevich 模型的实现电路更加简单、准确。

所谓分段线性化的 Izhikevich 模型，是指采用分段描述来替代 Izhikevich 模型中的平方项，其表达式为：

$$\begin{cases} \frac{dv}{dt} = k_1 |v - k_2| + k_3 - u + I \\ \frac{du}{dt} = a(bv - u) \end{cases} \quad (1)$$

$$\text{当 } v \geq v_{th} \text{ 时, } \begin{cases} v \leftarrow u \\ u \leftarrow u + d \end{cases} \quad (2)$$

其中， v 表示膜电位， u 表示膜恢复电位， I 表示输入电流， k_1 、 k_2 、 k_3 、 a 、 b 为常数； v_{th} 为膜电位阈值，当膜电位超过膜电位阈值，则 v 和 u 被重新赋值； c 、 d 为常数，选择不同的 c 、 d 值可得到不同模式的神经脉冲模式。

目前 Izhikevich 模型的脉冲神经电路主要实现方案有：（1）采用 MOS 管饱和区的平方特性来模拟 Izhikevich 模型的表达式。参见文献 Jayawan H B Wijekoon, Piotr Dudek. Compact silicon neuron circuit with spiking and bursting behavior. Neural Netw[J]. Neural Networks, 2008, 21(2-3):524-34。（2）采用 tau-cell 结构以全电流信号的方式模拟 Izhikevich 模型的表达式。参见文献 Van Schaik A, Jin C T, McEwan A L, et al. A log-domain implementation of the Izhikevich neuron model[C].ISCAS. 2010: 4253-4256。（3）

采用 CCII 和二极管组合的方式实现分段线性化的 Izhikevich 模型。参见文献 Sharifipour O, Ahmadi A. An analog implementation of biologically plausible neurons using CCII building blocks[J]. Neural Networks the Official Journal of the International Neural Network Society, 2012, 36C(8):129-135。

上述实现方案的问题在于：如上述方案（1）采用饱和区工作的 MOS 管会消耗较大的电源电压，使得功耗较大，很难构成大规模神经网络；此外，MOS 管饱和区尽管能够出现平方项，但该方案下构成的电路所实现的表达式与 Izhikevich 模型的表达式仍有很大差别。方案（2）中全电流形式构成的电路是将 Izhikevich 模型中的变量全部转换为电流，只是满足了转换后的数学表达式中的关系，然而实际的神经脉冲是由离子电流的注入而引起的变化的膜电位，也即 Izhikevich 模型所要模拟的是电压与电流之间的转化关系；此外该电路中用到了很多的偏置电流，会增加电路实现的难度。方案（3）采用 CCII 和二极管组合的方式实现分段线性化的 Izhikevich 模型，实现理论简单，但由于采用了二极管，该电路难以集成；同时，为保证 CCII 电路正常工作采用双电源供电，供电方式复杂且电源电压较高。

发明内容

本发明实施例提供一种脉冲神经电路，用以使电路实现更简单，提高电路集成度，并在低电压低功耗条件下更好的模拟分段线性化 Izhikevich 模型，该脉冲神经电路包括脉冲产生电路和膜电位重赋值电路；

脉冲产生电路，通过运算跨导放大器，与运算跨导放大器连接的电流绝对值电路、电流镜、用于模拟膜电位的第一电容 C_v 和用于模拟膜恢复电位的第二电容 C_u ，被构造为用于模拟神经脉冲振荡；

与脉冲产生电路连接的膜电位重赋值电路，通过运算跨导放大器实现的电压比较器，开关电路，被构造为用于膜电位重赋值。

本发明实施例的脉冲神经电路基于分段线性化 Izhikevich 模型，采用运算跨导放大器、电流绝对值电路和电流镜等简单电路模块的组合，得到多种神经脉冲模式，相对于现有方案电路的实现更简单，且采用电流绝对值电路可以间接实现电压的绝对值运算，相对于现有方案去掉了二极管，使得电路更易集成；采用电压与电流相结合的方式，可以更好的模拟实际中离子电流与膜电位之间的关系，相对于现有方案电路实现功能与模

型中的表达式更相近；并且可以实现低电压工作下的甚低功耗设计，满足神经电路大规模的设计需求。

附图说明

5 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1 为本发明实施例中脉冲神经电路的具体实例图；

10 图 2 为本发明实施例中 OTA 电路结构的一个具体实例图；

图 3 为本发明实施例中 OTA 电路结构的另一具体实例图；

图 4 为本发明实施例中电流绝对值电路的一个具体实例图；

图 5 为本发明实施例中电流镜的一个具体实例图。

15 具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚明白，下面结合附图对本发明实施例做进一步详细说明。在此，本发明的示意性实施例及其说明用于解释本发明，但并不作为对本发明的限定。

为了使电路实现更简单，提高电路集成度，并在低电压低功耗条件下更好的模拟分段线性化 Izhikevich 模型，本发明实施例提供一种脉冲神经电路，该脉冲神经电路基于分段线性化 Izhikevich 模型，根据由 Izhikevich 模型演变得到的分段线性化表达式，采用运算跨导放大器、电流绝对值电路和电流镜等简单模块的组合，得到了具有多种神经脉冲方式的电路，该电路容易集成，可以实现低电压工作下的甚低功耗设计，满足神经电路大规模的设计需求。

25 具体实施时，本发明实施例采用脉冲产生电路与膜电位重赋值电路相结合的方式实现分段线性化 Izhikevich 模型的脉冲神经电路。脉冲产生电路，通过运算跨导放大器，与运算跨导放大器连接的电流绝对值电路、电流镜、用于模拟膜电位的第一电容 C_v 和用于模拟膜恢复电位的第二电容 C_w ，被构造为用于模拟神经脉冲振荡；与脉冲产生电路连接的膜电位重赋值电路，通过运算跨导放大器实现的电压比较器，开关电路，被构造为
30 用于膜电位重赋值。

下面结合图 1 的示例说明本发明实施例的脉冲神经电路的具体实施。当然，本领域技术人员容易理解，图 1 所示的具体电路结构仅为实现本发明实施例脉冲神经电路的一个具体实例，在具体实施时完全可以将电路中的部分或全部结构单元进行变形，例如可以通过增加或增少晶体管来实现相同的功能，进一步的，比如对于电流绝对值电路、电

5 流镜、电压比较器或开关电路进行具体结构上的重新设计，而保持电路的实现原理相同。

如图 1 所示，在本例中该脉冲神经电路可以包括脉冲产生电路和膜电位重赋值电路；

脉冲产生电路包括：第一运算跨导放大器 OTA1，第二运算跨导放大器 OTA2，第

10 三运算跨导放大器 OTA3；

第一运算跨导放大器 OTA1 正电压输入端连接第二运算跨导放大器 OTA2 正电压输入端和第一电容 C_v 正极；第一运算跨导放大器 OTA1 负电压输入端接入第一电压 k_1' ；第一运算跨导放大器 OTA1 输出端连接电流绝对值电路输入端；第二运算跨导放大器 OTA2 正电压输入端连接电流镜第一输入端；第二运算跨导放大器 OTA2 负电压输入端

15 与输出端短接；第二运算跨导放大器 OTA2 输出端连接第三运算跨导放大器 OTA3 正电压输入端和第二电容 C_u 正极；第三运算跨导放大器 OTA3 负电压输入端接入第二电压 k_3' ；第三运算跨导放大器 OTA3 输出端连接电流镜第二输入端；第一电容 C_v 正极接入输入电流 I ，负极接地；第二电容 C_u 负极接地；电流绝对值电路输出端连接第一电容 C_v 正极；

膜电位重赋值电路包括：作为电压比较器的第四运算跨导放大器 OTA4，作为开关电路的第一 PMOS 器件 PMOS1 和第一 NMOS 器件 NMOS1；

第四运算跨导放大器 OTA4 正电压输入端连接第一电容 C_v 正极和第一 NMOS 器件 NMOS1 漏极；第四运算跨导放大器 OTA4 负电压输入端接入第三电压 V_{th} ；第四运算跨导放大器 OTA4 正电流输出端连接第一 NMOS 器件 NMOS1 栅极；第四运算跨导放大器

25 OTA4 负电流输出端连接第一 PMOS 器件 PMOS1 栅极；第一 PMOS 器件 PMOS1 源极接入第四电压 d ；第一 PMOS 器件 PMOS1 漏极连接第二电容 C_u 正极；第一 NMOS 器件 NMOS1 源极接入第五电压 c 。

在图 1 中，电流镜第二输入端的输入电流标记为 I_2 ，电流镜第一输入端的输入电流标记为 I_3 ，由电流绝对值电路输出端信号线提供至第二电容 C_u 正极的电流标记为 I_1 。

由图 1 可知, 流经第一电容 C_v 和第二电容 C_u 的电流可分别表示为:

$$C_v \frac{dv}{dt} = I_1 - I_3 + I = \left| g_{m1}(v - k_1') \right| - g_{m3}(u - k_3') + I \quad (3)$$

$$C_u \frac{du}{dt} = g_{m2}(v - u) \quad (4)$$

其中 v 、 u 分别为第一电容 C_v 和第二电容 C_u 两端电压, v 表示膜电位, u 表示膜恢复电位。 g_{m1} 表示第一运算跨导放大器 OTA1 对应的跨导, g_{m2} 表示第二运算跨导放大器 OTA2 对应的跨导, g_{m3} 表示第三运算跨导放大器 OTA3 对应的跨导。对 (3) 式和 (4) 式进行简化可得到:

$$\frac{dv}{dt} = \frac{\left| g_{m1}(v - k_1') \right| - g_{m3}(u - k_3') + I}{C_v} = k_1 \left| v - k_2 \right| + k_3 - k_4 u + k_5 I \quad (5)$$

$$\frac{du}{dt} = \frac{g_{m2}(v - u)}{C_u} = k_5(v - u) \quad (6)$$

k_4 、 k_5 为常数。对比 (5) 式、(6) 式与 (1) 式可看出, 脉冲产生电路可以较为精确的得到分段线性化 Izhikevich 模型中的神经脉冲振荡。

在膜电位重赋值电路中, 第四运算跨导放大器 OTA4 为电压比较器, 第一 PMOS 器件 PMOS1 和第一 NMOS 器件 NMOS1 为开关电路。当 v 上升时, 由于电压比较器和开关速度的限制, v 会大于第三电压 v_{th} 并达到 v_{dd} , 其中第三电压 v_{th} 为膜电位阈值, 此时会使得第一 NMOS 器件 NMOS1 导通, v 置为第五电压 c ; 而当选择合适的第一 PMOS 器件 PMOS1 尺寸时, 由于其导通时间很短, u 不会完全置为第四电压 d , 而会使得受第四电压 d 控制的部分电荷转移到第二电容 C_u 上, 从而近似的实现了膜电位的重赋值, 即式 (2) 所完成的功能。

在本发明实施例中, 第一运算跨导放大器 OTA1, 第二运算跨导放大器 OTA2, 第三运算跨导放大器 OTA3, 第四运算跨导放大器 OTA4 可以有多种实现方式。图 2 为本发明实施例中 OTA 电路结构的一个具体实例图, 如图 2 所示, 本例中 OTA 电路采用由五个 MOS 管构成的结构, 在该结构中:

第二 NMOS 器件 NMOS2 源极连接第三 NMOS 器件 NMOS3 源极, 并接地; 第二 NMOS 器件 NMOS2 栅极连接第三 NMOS 器件 NMOS3 栅极, 并与第二 NMOS 器件 NMOS2 漏极短接; 第二 NMOS 器件 NMOS2 漏极连接第二 PMOS 器件 PMOS2 漏极, 并作为负电流输出端;

第三 NMOS 器件 NMOS3 漏极连接第三 PMOS 器件 PMOS3 漏极，并作为正电流输出端；

第二 PMOS 器件 PMOS2 栅极作为正电压输入端；第二 PMOS 器件 PMOS2 源极连接第三 PMOS 器件 PMOS3 源极和第四 PMOS 器件 PMOS4 漏极；

5 第三 PMOS 器件 PMOS3 栅极作为负电压输入端；

第四 PMOS 器件 PMOS4 栅极接入第六电压 v_b ；第四 PMOS 器件 PMOS4 源极接入输入电压 v_{dd} 。

又如，采用输入管为 NMOS 的 OTA，依然可以实现电路功能。图 3 为本发明实施例中 OTA 电路结构的另一具体实例图，如图 3 所示，本例中 OTA 电路采用由五个 MOS 管构成的结构，在该结构中：

第十二 NMOS 器件 NMOS12 源极连接第十三 NMOS 器件 NMOS13 源极和第十四 NMOS 器件 NMOS14 漏极；第十二 NMOS 器件 NMOS12 栅极作为正电压输入端；第十二 NMOS 器件 NMOS12 漏极连接第七 PMOS 器件 PMOS7 漏极，并作为负电流输出端；

15 第十三 NMOS 器件 NMOS13 栅极作为负电压输入端；第十三 NMOS 器件 NMOS13 漏极连接第八 PMOS 器件 PMOS8 漏极，并作为正电流输出端；

第十四 NMOS 器件 NMOS14 源极接地；第十四 NMOS 器件 NMOS14 栅极接第六电压 v_b ；

第七 PMOS 器件 PMOS7 漏极与栅极短接；第七 PMOS 器件 PMOS7 栅极连接第八 PMOS 器件 PMOS8 栅极；第七 PMOS 器件 PMOS7 源极连接第八 PMOS 器件 PMOS8 源极，并接入输入电压 v_{dd} 。

在具体的实例中，例如在图 2 或图 3 所示实例中，第一运算跨导放大器 OTA1、第二运算跨导放大器 OTA2 和第三运算跨导放大器 OTA3 采用同相单端输出方式；第四运算跨导放大器 OTA4 采用双端输出方式。

25 实施时电流绝对值电路也可以有多种实现方式。图 4 为本发明实施例中电流绝对值电路的一个具体实例图，如图 4 所示，本例中电流绝对值电路采用如下结构：

第四 NMOS 器件 NMOS4 漏极连接恒流源输出端；第四 NMOS 器件 NMOS4 栅极连接第五 NMOS 器件 NMOS5 栅极；第四 NMOS 器件 NMOS4 源极连接第八 NMOS 器件 NMOS8 漏极；图 4 中恒流源电流标记为 I_B ；

第五 NMOS 器件 NMOS5 源极连接第六 NMOS 器件 NMOS6 漏极，并作为电流绝对值电路输入端，图 4 中输入电流标记为 I_i ；第五 NMOS 器件 NMOS5 漏极连接第五 PMOS 器件 PMOS5 漏极和第七 NMOS 器件 NMOS7 漏极；

第六 NMOS 器件 NMOS6 漏极与栅极短接；第六 NMOS 器件 NMOS6 栅极连接第七 NMOS 器件 NMOS7 栅极；第六 NMOS 器件 NMOS6 源极连接第七 NMOS 器件 NMOS7 源极，并接地；

第八 NMOS 器件 NMOS8 漏极与栅极短接；第八 NMOS 器件 NMOS8 栅极连接第九 NMOS 器件 NMOS9 栅极；第八 NMOS 器件 NMOS8 源极连接第九 NMOS 器件 NMOS9 源极，并接地；

第九 NMOS 器件 NMOS9 漏极连接第六 PMOS 器件 PMOS6 漏极，并作为电流绝对值电路输出端，图 4 中输出电流标记为 I_o ；

第六 PMOS 器件 PMOS6 栅极连接第五 PMOS 器件 PMOS5 栅极；第六 PMOS 器件 PMOS6 源极连接第五 PMOS 器件 PMOS5 源极和恒流源输入端，并接入输入电压 v_{dd} ；

第五 PMOS 器件 PMOS5 栅极与漏极短接。

不论输入电流为正为负，电流绝对值电路均可得到正向的输出电流。

实施时电流镜也可以有多种实现方式，例如采用基本电流镜结构，或是采用威尔逊电流镜结构，又或是采用级联电流镜结构均可。图 5 为本发明实施例中电流镜的一个具体实例图，如图 5 所示，本例中电流镜采用基本电流镜结构，由 NMOS 管构成，其中：

第十 NMOS 器件 NMOS10 源极连接第十一 NMOS 器件 NMOS11 源极，并接地；第十 NMOS 器件 NMOS10 栅极连接第十一 NMOS 器件 NMOS11 栅极；第十 NMOS 器件 NMOS10 漏极与栅极短接，并作为电流镜第一输入端，图 5 中输入电流镜第一输入端的电流标记为 I_i ；

第十一 NMOS 器件 NMOS11 漏极作为电流镜第二输入端，图 5 中输入电流镜第二输入端的电流标记为 I_o 。

实施例中脉冲神经电路工作在亚阈值区域，可以使功耗和电源电压大大降低。

综上所述，本发明实施例的脉冲神经电路具备如下优点：

1、结构方面：本发明实施例采用简单电路模块组合的方式，实现了一种基于分段线性化 Izhikevich 模型的脉冲神经电路，结构简单。

2、功耗方面：脉冲神经电路工作在亚阈区，电源电压和工作电流很低，大大降低了功耗，更适合在构建大规模神经网络中应用。

3、精确性方面：简单模块的组合使得电路实现的函数功能与分段线性化 Izhikevich 模型的函数表达式更加相似，模拟的神经脉冲更加精确。

4、集成方面：采用电流绝对值电路可以间接实现电压绝对值的运算，相对于现有技术去掉了二极管，且在单电源下即可正常工作，使得电路更易集成。

5 本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。

10 本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

15 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

20 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

25 以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限定本发明的保护范围，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权利要求书

1、一种脉冲神经电路，其特征在于，包括脉冲产生电路和膜电位重赋值电路；

脉冲产生电路，通过运算跨导放大器，与运算跨导放大器连接的电流绝对值电路、
5 电流镜、用于模拟膜电位的第一电容 C_v 和用于模拟膜恢复电位的第二电容 C_u ，被构造为
用于模拟神经脉冲振荡；

与脉冲产生电路连接的膜电位重赋值电路，通过运算跨导放大器实现的电压比较器，开关电路，被构造为用于膜电位重赋值。

2、如权利要求 1 所述的脉冲神经电路，其特征在于，脉冲产生电路包括：第一运算跨导放大器 OTA1，第二运算跨导放大器 OTA2，第三运算跨导放大器 OTA3；

10 第一运算跨导放大器 OTA1 正电压输入端连接第二运算跨导放大器 OTA2 正电压输入端和第一电容 C_v 正极；第一运算跨导放大器 OTA1 负电压输入端接入第一电压 k_1' ；第一运算跨导放大器 OTA1 输出端连接电流绝对值电路输入端；第二运算跨导放大器 OTA2 正电压输入端连接电流镜第一输入端；第二运算跨导放大器 OTA2 负电压输入端与输出端短接；第二运算跨导放大器 OTA2 输出端连接第三运算跨导放大器 OTA3 正电压输入端和第二电容 C_u 正极；第三运算跨导放大器 OTA3 负电压输入端接入第二电压 k_3' ；第三运算跨导放大器 OTA3 输出端连接电流镜第二输入端；第一电容 C_v 正极接入输入电流 I ，负极接地；第二电容 C_u 负极接地；电流绝对值电路输出端连接第一电容 C_v 正极；

膜电位重赋值电路包括：第四运算跨导放大器 OTA4，第一 PMOS 器件 PMOS1，第一
20 一 NMOS 器件 NMOS1；

第四运算跨导放大器 OTA4 正电压输入端连接第一电容 C_v 正极和第一 NMOS 器件 NMOS1 漏极；第四运算跨导放大器 OTA4 负电压输入端接入第三电压 v_{th} ；第四运算跨导放大器 OTA4 正电流输出端连接第一 NMOS 器件 NMOS1 栅极；第四运算跨导放大器 OTA4 负电流输出端连接第一 PMOS 器件 PMOS1 栅极；第一 PMOS 器件 PMOS1 源极接入第四电压 d ；第一 PMOS 器件 PMOS1 漏极连接第二电容 C_u 正极；第一 NMOS 器件 NMOS1 源极接入第五电压 c 。

3、如权利要求 2 所述的脉冲神经电路，其特征在于，第一运算跨导放大器 OTA1，第二运算跨导放大器 OTA2，第三运算跨导放大器 OTA3，第四运算跨导放大器 OTA4 采用由五个 MOS 管构成的结构，在该结构中：

第二 NMOS 器件 NMOS2 源极连接第三 NMOS 器件 NMOS3 源极，并接地；第二 NMOS 器件 NMOS2 栅极连接第三 NMOS 器件 NMOS3 栅极，并与第二 NMOS 器件 NMOS2 漏极短接；第二 NMOS 器件 NMOS2 漏极连接第二 PMOS 器件 PMOS2 漏极，并作为负电流输出端；

5 第三 NMOS 器件 NMOS3 漏极连接第三 PMOS 器件 PMOS3 漏极，并作为正电流输出端；

第二 PMOS 器件 PMOS2 栅极作为正电压输入端；第二 PMOS 器件 PMOS2 源极连接第三 PMOS 器件 PMOS3 源极和第四 PMOS 器件 PMOS4 漏极；

第三 PMOS 器件 PMOS3 栅极作为负电压输入端；

10 第四 PMOS 器件 PMOS4 栅极接入第六电压 v_b ；第四 PMOS 器件 PMOS4 源极接入输入电压 v_{dd} 。

4、如权利要求 2 所述的脉冲神经电路，其特征在于，第一运算跨导放大器 OTA1，第二运算跨导放大器 OTA2，第三运算跨导放大器 OTA3，第四运算跨导放大器 OTA4 采用由五个 MOS 管构成的结构，在该结构中：

15 第十二 NMOS 器件 NMOS12 源极连接第十三 NMOS 器件 NMOS13 源极和第十四 NMOS 器件 NMOS14 漏极；第十二 NMOS 器件 NMOS12 栅极作为正电压输入端；第十二 NMOS 器件 NMOS12 漏极连接第七 PMOS 器件 PMOS7 漏极，并作为负电流输出端；

第十三 NMOS 器件 NMOS13 栅极作为负电压输入端；第十三 NMOS 器件 NMOS13 漏极连接第八 PMOS 器件 PMOS8 漏极，并作为正电流输出端；

20 第十四 NMOS 器件 NMOS14 源极接地；第十四 NMOS 器件 NMOS14 栅极接第六电压 v_b ；

第七 PMOS 器件 PMOS7 漏极与栅极短接；第七 PMOS 器件 PMOS7 栅极连接第八 PMOS 器件 PMOS8 栅极；第七 PMOS 器件 PMOS7 源极连接第八 PMOS 器件 PMOS8 源极，并接入输入电压 v_{dd} 。

25 5、如权利要求 2 所述的脉冲神经电路，其特征在于，第一运算跨导放大器 OTA1、第二运算跨导放大器 OTA2 和第三运算跨导放大器 OTA3 采用同相单端输出方式；第四运算跨导放大器 OTA4 采用双端输出方式。

6、如权利要求 1 所述的脉冲神经电路，其特征在于，电流绝对值电路采用如下结构：

30

第四 NMOS 器件 NMOS4 漏极连接恒流源输出端；第四 NMOS 器件 NMOS4 栅极连接第五 NMOS 器件 NMOS5 栅极；第四 NMOS 器件 NMOS4 源极连接第八 NMOS 器件 NMOS8 漏极；

5 第五 NMOS 器件 NMOS5 源极连接第六 NMOS 器件 NMOS6 漏极，并作为电流绝对值电路输入端；第五 NMOS 器件 NMOS5 漏极连接第五 PMOS 器件 PMOS5 漏极和第七 NMOS 器件 NMOS7 漏极；

第六 NMOS 器件 NMOS6 漏极与栅极短接；第六 NMOS 器件 NMOS6 栅极连接第七 NMOS 器件 NMOS7 栅极；第六 NMOS 器件 NMOS6 源极连接第七 NMOS 器件 NMOS7 源极，并接地；

10 第八 NMOS 器件 NMOS8 漏极与栅极短接；第八 NMOS 器件 NMOS8 栅极连接第九 NMOS 器件 NMOS9 栅极；第八 NMOS 器件 NMOS8 源极连接第九 NMOS 器件 NMOS9 源极，并接地；

第九 NMOS 器件 NMOS9 漏极连接第六 PMOS 器件 PMOS6 漏极，并作为电流绝对值电路输出端；

15 第六 PMOS 器件 PMOS6 栅极连接第五 PMOS 器件 PMOS5 栅极；第六 PMOS 器件 PMOS6 源极连接第五 PMOS 器件 PMOS5 源极和恒流源输入端，并接入输入电压 v_{dd} ；

第五 PMOS 器件 PMOS5 栅极与漏极短接。

7、如权利要求 1 所述的脉冲神经电路，其特征在于，电流镜采用由 NMOS 管构成，并采用如下结构：

20 第十 NMOS 器件 NMOS10 源极连接第十一 NMOS 器件 NMOS11 源极，并接地；第十 NMOS 器件 NMOS10 栅极连接第十一 NMOS 器件 NMOS11 栅极；第十 NMOS 器件 NMOS10 漏极与栅极短接，并作为电流镜第一输入端；

第十一 NMOS 器件 NMOS11 漏极作为电流镜第二输入端。

25 8、如权利要求 1 所述的脉冲神经电路，其特征在于，电流镜采用威尔逊电流镜结构。

9、如权利要求 1 所述的脉冲神经电路，其特征在于，电流镜采用级联电流镜结构。

10、如权利要求 1 所述的脉冲神经电路，其特征在于，所述脉冲神经电路工作在亚阈值区域。

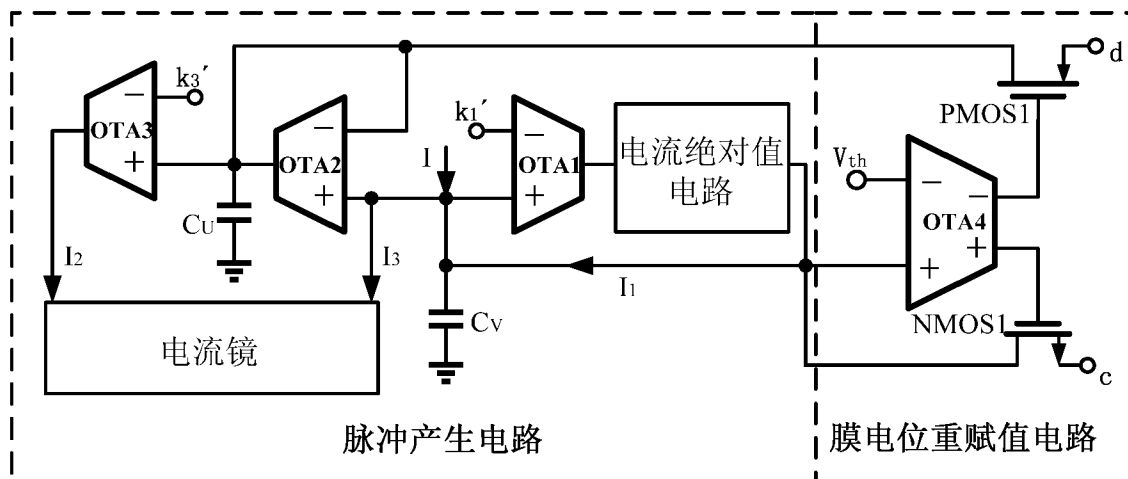


图 1

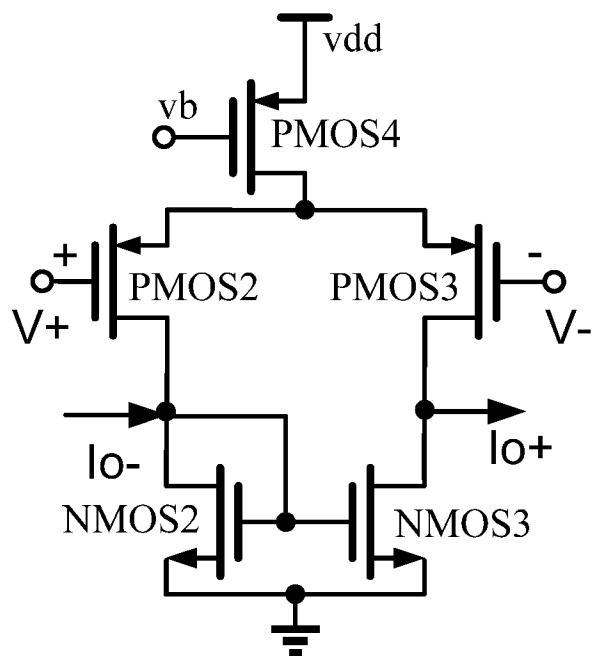


图 2

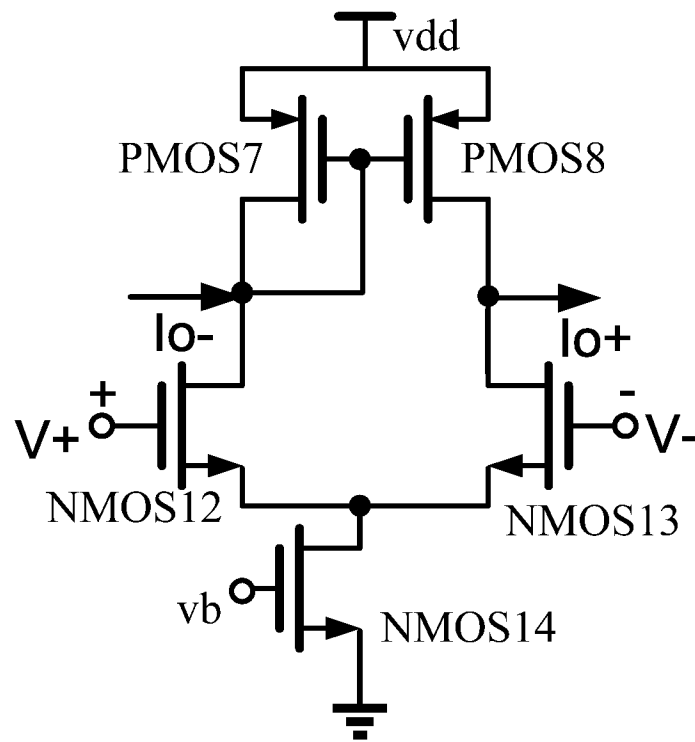


图 3

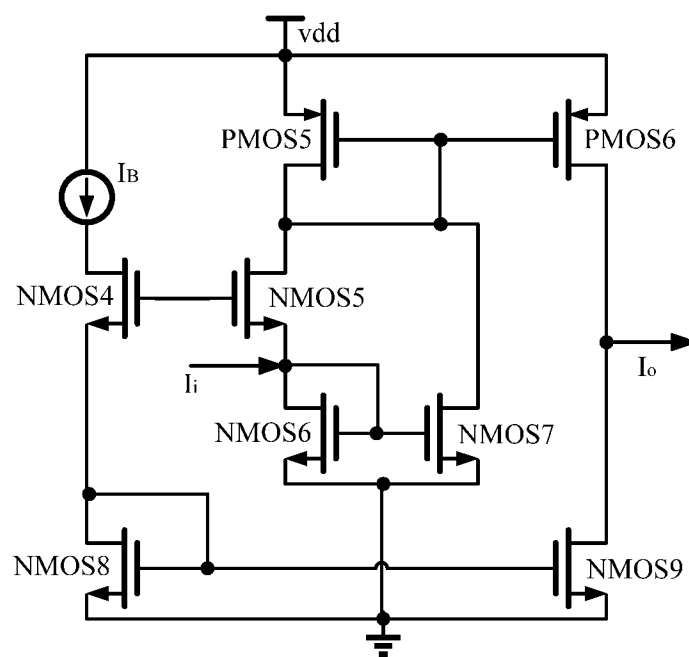


图 4

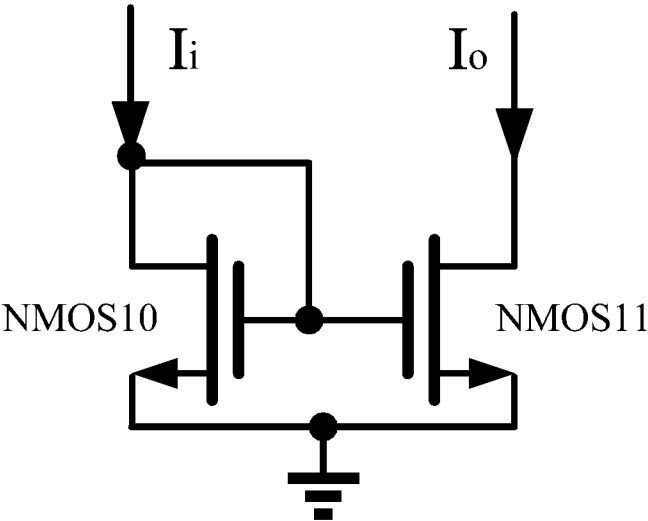


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/102302

A. CLASSIFICATION OF SUBJECT MATTER

G06N 3/063 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 神经, 跨导, 脉冲, 刺激, 放大器, 电流镜, 膜电位, 电容, 模拟, 模型, neuron, nerve, OTA, pulse, stimulat+, amplifier, current mirror, film potential, capacitor, former

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 106447038 A (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY, CHINESE ACADEMY OF SCIENCES), 22 February 2017 (22.02.2017), description, paragraphs 19-70, and figures 1-5	1-10
E	CN 206282337 U (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY, CHINESE ACADEMY OF SCIENCES), 27 June 2017 (27.06.2017), claims 1-10	1-10
A	CN 105913120 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL et al.), 31 August 2016 (31.08.2016), description, paragraphs 5-61, and figure 1	1-10
A	CN 101577003 A (BEIJING UNIVERSITY OF AERONAUTICS AND ASTRONAUTICS), 11 November 2009 (11.11.2009), entire document	1-10
A	CN 101271148 A (HUNAN UNIVERSITY), 24 September 2008 (24.09.2008), entire document	1-10
A	CN 103700118 A (NORTHEASTERN UNIVERSITY), 02 April 2014 (02.04.2014), entire document	1-10
A	US 7783584 B1 (NEW YORK UNIVERSITY), 24 August 2010 (24.08.2010), entire document	1-10
A	US 2007032827 A1 (KATIMS, J.J.), 08 February 2007 (08.02.2007), entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 06 July 2017	Date of mailing of the international search report 19 July 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Ning Telephone No. (86-10) 62413641

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/102302

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106447038 A	22 February 2017	None	
CN 206282337 U	27 June 2017	None	
CN 105913120 A	31 August 2016	None	
CN 101577003 A	11 November 2009	CN 101577003 B	17 August 2011
CN 101271148 A	24 September 2008	None	
CN 103700118 A	02 April 2014	CN 103700118 B	01 June 2016
US 7783584 B1	24 August 2010	None	
US 2007032827 A1	08 February 2007	JP 2009504258 A	05 February 2009
		WO 2007019491 A2	15 February 2007
		WO 2007019491 A3	24 May 2007
		CN 101227948 A	23 July 2008

国际检索报告

国际申请号

PCT/CN2016/102302

A. 主题的分类 G06N 3/063 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																													
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G06N 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNKI, CNPAT, WPI, EPODOC: 神经, 跨导, 脉冲, 刺激, 放大器, 电流镜, 膜电位, 电容, 模拟, 模型, neuron, nerve, OTA, pulse, stimulat+, amplifier, current mirror, film potential, capacitor, former																													
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>E</td> <td>CN 106447038 A (中国科学院深圳先进技术研究院) 2017年 2月 22日 (2017 - 02 - 22) 说明书第19-70段, 图1-5</td> <td>1-10</td> </tr> <tr> <td>E</td> <td>CN 206282337 U (中国科学院深圳先进技术研究院) 2017年 6月 27日 (2017 - 06 - 27) 权利要求1-10</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 105913120 A (北京大学深圳研究生院 等) 2016年 8月 31日 (2016 - 08 - 31) 说明书第5-61段, 图1</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 101577003 A (北京航空航天大学) 2009年 11月 11日 (2009 - 11 - 11) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 101271148 A (湖南大学) 2008年 9月 24日 (2008 - 09 - 24) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 103700118 A (东北大学) 2014年 4月 2日 (2014 - 04 - 02) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 7783584 B1 (NEW YORK UNIVERSITY) 2010年 8月 24日 (2010 - 08 - 24) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2007032827 A1 (KATIMS, JEFFERSON J.) 2007年 2月 8日 (2007 - 02 - 08) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	E	CN 106447038 A (中国科学院深圳先进技术研究院) 2017年 2月 22日 (2017 - 02 - 22) 说明书第19-70段, 图1-5	1-10	E	CN 206282337 U (中国科学院深圳先进技术研究院) 2017年 6月 27日 (2017 - 06 - 27) 权利要求1-10	1-10	A	CN 105913120 A (北京大学深圳研究生院 等) 2016年 8月 31日 (2016 - 08 - 31) 说明书第5-61段, 图1	1-10	A	CN 101577003 A (北京航空航天大学) 2009年 11月 11日 (2009 - 11 - 11) 全文	1-10	A	CN 101271148 A (湖南大学) 2008年 9月 24日 (2008 - 09 - 24) 全文	1-10	A	CN 103700118 A (东北大学) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-10	A	US 7783584 B1 (NEW YORK UNIVERSITY) 2010年 8月 24日 (2010 - 08 - 24) 全文	1-10	A	US 2007032827 A1 (KATIMS, JEFFERSON J.) 2007年 2月 8日 (2007 - 02 - 08) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																											
E	CN 106447038 A (中国科学院深圳先进技术研究院) 2017年 2月 22日 (2017 - 02 - 22) 说明书第19-70段, 图1-5	1-10																											
E	CN 206282337 U (中国科学院深圳先进技术研究院) 2017年 6月 27日 (2017 - 06 - 27) 权利要求1-10	1-10																											
A	CN 105913120 A (北京大学深圳研究生院 等) 2016年 8月 31日 (2016 - 08 - 31) 说明书第5-61段, 图1	1-10																											
A	CN 101577003 A (北京航空航天大学) 2009年 11月 11日 (2009 - 11 - 11) 全文	1-10																											
A	CN 101271148 A (湖南大学) 2008年 9月 24日 (2008 - 09 - 24) 全文	1-10																											
A	CN 103700118 A (东北大学) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-10																											
A	US 7783584 B1 (NEW YORK UNIVERSITY) 2010年 8月 24日 (2010 - 08 - 24) 全文	1-10																											
A	US 2007032827 A1 (KATIMS, JEFFERSON J.) 2007年 2月 8日 (2007 - 02 - 08) 全文	1-10																											
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																													
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																									
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																												
国际检索实际完成的日期 2017年 7月 6日		国际检索报告邮寄日期 2017年 7月 19日																											
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 王宁 电话号码 (86-10)62413641																											

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/102302

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106447038	A	2017年 2月 22日	无			
CN	206282337	U	2017年 6月 27日	无			
CN	105913120	A	2016年 8月 31日	无			
CN	101577003	A	2009年 11月 11日	CN	101577003	B	2011年 8月 17日
CN	101271148	A	2008年 9月 24日	无			
CN	103700118	A	2014年 4月 2日	CN	103700118	B	2016年 6月 1日
US	7783584	B1	2010年 8月 24日	无			
US	2007032827	A1	2007年 2月 8日	JP	2009504258	A	2009年 2月 5日
				WO	2007019491	A2	2007年 2月 15日
				WO	2007019491	A3	2007年 5月 24日
				CN	101227948	A	2008年 7月 23日