

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610090328.2

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

H01L 27/00 (2006.01)

[45] 授权公告日 2009 年 7 月 8 日

[11] 授权公告号 CN 100511405C

[22] 申请日 2006.6.29

[21] 申请号 200610090328.2

[30] 优先权

[32] 2005.6.30 [33] JP [31] 2005-192479

[32] 2006.2.10 [33] JP [31] 2006-034495

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 伊藤悟 森口昌彦 前川和广

井富登 小平觉 唐泽纯一 熊谷敬

石山久展 藤濑隆史

[56] 参考文献

JP200517725A 2005.1.20

JP2002358777A 2002.12.13

US5300798A 1994.4.5

JP2002170930A 2002.6.14

审查员 张伟

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚

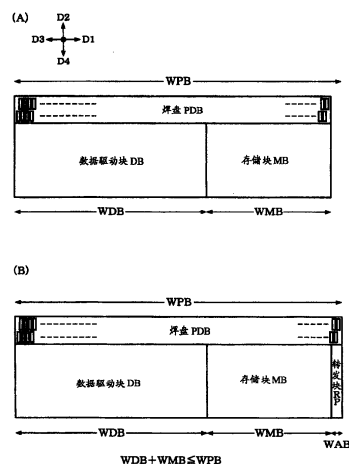
权利要求书 4 页 说明书 44 页 附图 23 页

[54] 发明名称

集成电路装置及电子设备

[57] 摘要

本发明提供一种能够实现电路面积的缩小的集成电路装置、电子设备。集成电路装置包括多个电路块被宏单元化的驱动器宏单元。驱动器宏单元包括：用于驱动数据线的数据驱动块 DB、用于存储图像数据的存储块 MB、以及配置有用于电连接数据驱动块 DB 的输出线和数据线的焊盘的焊盘块 PDB。数据驱动块 DB 和存储块 MB 沿 D1 方向配置，焊盘块 PDB 配置在数据驱动块 DB 以及存储块 MB 的 D2 方向侧。



1. 一种集成电路装置，其特征在于包括：

多个电路块被宏单元化的至少一个驱动器宏单元，

所述驱动器宏单元包括：

数据驱动块，用于驱动数据线；

存储块，存储用于所述数据驱动块驱动所述数据线的图像数据；以及

焊盘块，配置有用于电连接所述数据驱动块的输出线和所述数据线的焊盘，

其中，所述数据驱动块和所述存储块沿第一方向配置，

在将与所述第一方向正交的方向作为第二方向时，所述焊盘块配置在所述数据驱动块及所述存储块的所述第二方向侧。

2. 根据权利要求1所述的集成电路装置，其特征在于：

当将所述数据驱动块在所述第一方向上的宽度设为WDB、所述存储块在所述第一方向上的宽度设为WMB、所述焊盘块在所述第一方向上的宽度设为WPB时， $WDB + WMB \leq WPB$ 。

3. 根据权利要求1所述的集成电路装置，其特征在于：

当将所述数据驱动块在所述第一方向上的宽度设为WDB、所述存储块在所述第一方向上的宽度设为WMB、所述驱动器宏单元包含附加电路时所述附加电路块在所述第一方向上的宽度设为WAB、所述焊盘块中的所述焊盘在所述第

一方向上的焊盘间距设为 PP、焊盘的个数设为 NP 时, $(NP-1) \times PP < WDB+WMB+WAB < (NP+1) \times PP$ 。

4. 根据权利要求 3 所述的集成电路装置, 其特征在于:

$$WDB+WMB+WAB \leq NP \times PP。$$

5. 根据权利要求 3 所述的集成电路装置, 其特征在于:

所述附加电路块是包含缓冲器的转发块, 其中, 所述缓冲器至少对输向所述存储块的写数据信号执行缓存后, 再输出给所述存储块。

6. 根据权利要求 1 至 5 中任一项所述的集成电路装置, 其特征在于包括:

多个所述驱动器宏单元,

其中, 所述多个驱动器宏单元沿所述第一方向配置。

7. 根据权利要求 1 至 5 中任一项所述的集成电路装置, 其特征在于:

所述数据驱动块包含多个子像素驱动单元, 各个所述子像素驱动单元输出对应于一个子像素的图像数据的数据信号,

在所述数据驱动块中, 多个所述子像素驱动单元沿所述第一方向配置的同时, 多个所述子像素驱动单元沿所述第二方向配置。

8. 一种集成电路装置, 其特征在于包括:

用于驱动数据线的至少一个数据驱动块,

其中，所述数据驱动块包括多个子像素驱动单元，各个所述子像素驱动单元输出对应于一个子像素的图像数据的数据信号，

当将沿着所述子像素驱动单元长边的方向作为第一方向、与所述第一方向正交的方向作为第二方向时，在所述数据驱动块中，多个所述子像素驱动单元沿所述第一方向配置的同时，多个所述子像素驱动单元沿所述第二方向配置，并且，用于电连接所述数据驱动块的输出线和所述数据线的焊盘配置在所述数据驱动块的所述第二方向侧。

9. 根据权利要求8所述的集成电路装置，其特征在于：

所述多个子像素驱动单元中的每个子像素驱动单元包括：

第一电路区，配置有以第一电压电平的电源工作的电路；
以及

第二电路区，配置有在高于所述第一电压电平的第二电压电平的电源下工作的电路，

所述多个子像素驱动单元配置成：各子像素驱动单元的各所述第二电路区或各所述第一电路区沿所述第一方向邻接。

10. 根据权利要求9所述的集成电路装置，其特征在于：

在所述第一电路区上配置有锁存图像数据的锁存电路，

在所述第二电路区上配置有用灰阶电压进行图像数据的D/A转换的D/A转换器。

11. 根据权利要求9所述的集成电路装置，其特征在于包括：

用于存储图像数据的至少一个存储块，

其中，所述存储块与所述子像素驱动单元的所述第一电路区邻接配置。

12. 根据权利要求 8 至 11 中任一项所述的集成电路装置，其特征在于：

所述子像素驱动单元包括用灰阶电压进行图像数据的 D/A 转换的 D/A 转换器，

其中，用于向所述 D/A 转换器提供所述灰阶电压的灰阶电压供给线跨过多个所述子像素驱动单元，沿所述第二方向配线。

13. 根据权利要求 12 所述的集成电路装置，其特征在于：

所述灰阶电压供给线在所述 D/A 转换器的配置区域上配线。

14. 根据权利要求 12 所述的集成电路装置，其特征在于：

在所述子像素驱动单元的所述 D/A 转换器的配置区域内，沿所述第二方向配置有 N 型晶体管区域、P 型晶体管区域，

在所述子像素驱动单元的除所述 D/A 转换器之外的电路的配置区域内，沿所述第一方向配置有 N 型晶体管区域、P 型晶体管区域。

15. 一种电子设备，其特征在于，包括：

根据权利要求 1 至 14 中任一项所述的集成电路装置；以及

由所述集成电路装置驱动的显示面板。

集成电路装置及电子设备

技术领域

本发明涉及集成电路装置及电子设备。

背景技术

现有技术中，作为驱动液晶面板等显示面板的集成电路装置，有一种显示驱动器（LCD 驱动器）。在这种显示驱动器中，为了降低成本，要求缩小芯片的尺寸。

但是，组装在便携式电话机等中的显示面板的大小大致为恒定。因此，如果只单纯采用细微工序缩小显示驱动器的集成电路装置来达到缩小芯片尺寸的目的，将带来安装困难等一系列问题。

专利文献：日本特开 2001-222249 号公报

发明内容

本发明克服了上述技术问题，目的在于提供一种能够实现电路面积缩小化的集成电路装置以及包含该集成电路装置的电子设备。

本发明涉及一种集成电路装置，该集成电路装置包括多个电路块被宏单元化的至少一个驱动器宏单元，所述驱动器宏单元包括：数据驱动块，用于驱动数据线；存储块，存储用于所述数据驱动块驱动所述数据线的图像数据；以及焊盘块，配置有用于电连接所述数据驱动块的输出线和所述数据线的焊盘，其中，所述数据驱动块

和所述存储块沿第一方向配置，在将与所述第一方向正交的方向作为第二方向时，所述焊盘块配置在所述数据驱动块以及所述存储块的所述第二方向侧。

在本发明中，数据驱动块、存储块以及焊盘块被一体化地宏单元化为驱动器宏单元。并且在该驱动器宏单元中，数据驱动块和存储块沿第一方向配置，而焊盘块配置在数据驱动块以及存储块的第二方向侧。如果像这样宏单元化数据驱动块、焊盘块等，能够将例如通过手工操作的布局完成在焊盘上的数据驱动块的输出线的配线的块作为驱动器宏单元使用。因此，能够缩小输出线的配线区域，实现集成电路装置的小面积化。而且，由于不仅数据驱动块的第二方向侧的区域能够作为焊盘配置区加以利用，而且存储块的第二方向侧的区域也可以作为焊盘配置区加以利用，因而能够毫不浪费地将焊盘配置在焊盘块上，提高布局效率。通过宏单元化，不需要对每个数据驱动块制作单独的焊盘块，从而能够缩短设计时间。

而且，在本发明中，也可以在将所述数据驱动块在所述第一方向上的宽度设为 WDB 、所述存储块在所述第一方向上的宽度设为 WMB 、所述焊盘块在所述第一方向上的宽度设为 WPB 时， $WDB + WMB \leq WPB$ 。

如果这种关系成立，便能够毫不浪费地将焊盘排列在焊盘块内，从而实现集成电路装置的小面积化。

而且，在本发明中，也可以在将所述数据驱动块在所述第一方向上的宽度设为 WDB 、所述存储块在所述第一方向上的宽度设为 WMB 、所述驱动器宏单元包含附加电路时所述附加电路块在所述第一方向上的宽度设为 WAB 、所述焊盘块中的所述焊盘在所述第一方向上的焊盘间距设为 PP 、焊盘的个数设为 NP 时， $(NP-1) \times PP < WDB+WMB+WAB < (NP+1) \times PP$ 。

如果这种关系成立，便不会产生无用的空出空间，能够以均等的焊盘间距排列焊盘。

而且，在本发明中，也可以 $WDB+WMB+WAB \leq NP \times PP$ 。

而且，在本发明中，所述附加电路块也可以是包含缓冲器的转发块，其中，所述缓冲器对输向所述存储块的至少写数据信号执行缓存后，再输出给所述存储块。

如果设计这种转发块作为附加电路块，便能够降低输向存储块的写数据信号的上升波形和下降波形的减弱，能够实现对存储块的正确的数据写入。

而且，在本发明中，也可以包含多个所述驱动器宏单元，并且，所述多个驱动器宏单元沿所述第一方向配置。

这样的话，只要沿第一方向配置驱动器宏单元，那么也使焊盘块、数据驱动块、存储块沿第一方向配置，从而能够实现集成电路装置高效的布局。而且，通过宏单元化，无需对每个数据驱动块制作单独的焊盘块，从而能够缩短设计时间。

而且，在本发明中，所述数据驱动块也可以包含多个子像素驱动单元，每个所述子像素驱动单元输出对应于一个子像素的图像数据的数据信号，并且，在所述数据驱动块中，多个所述子像素驱动单元沿所述第一方向配置的同时，多个所述子像素驱动单元沿所述第二方向配置。

如果像这样地对子像素驱动单元进行矩阵配置，能够根据数据驱动器的规格进行灵活的布局设计。

而且,本发明还涉及一种下述的集成电路装置,该集成电路装置包括用于驱动数据线的至少一个数据驱动块,所述数据驱动块包括多个子像素驱动单元,每个所述子像素驱动单元输出对应于一个子像素的图像数据的数据信号,当将沿所述子像素驱动单元的长边方向作为第一方向,与所述第一方向正交的方向作为第二方向时,在所述数据驱动块中,多个所述子像素驱动单元沿所述第一方向配置的同时,多个所述子像素驱动单元沿所述第二方向配置,并且,用于电连接所述数据驱动块的输出线和所述数据线的焊盘配置在所述数据驱动块的所述第二方向侧。

在本发明中,多个子像素驱动单元沿作为其长边方向的第一方向配置的同时,沿与第一方向正交的第二方向配置。并且在像这样地矩阵配置的子像素驱动单元的第二方向侧配置用于电连接数据驱动块(子像素驱动单元)的输出线和数据线的焊盘。这样一来,由于子像素驱动单元沿作为其长边方向的第一方向堆叠配置,因而能够缩小作为子像素驱动单元的短边方向的第二方向上的数据驱动块的宽度。而且能够有效利用矩阵配置的子像素驱动单元的第二方向侧的空出区域来配置焊盘。由此,实现了集成电路装置的小面积化。

而且,在本发明中,所述多个子像素驱动单元中的每个子像素驱动单元也可以包括:配置有以第一电压电平的电源工作的电路的第一电路区;和配置有以高于第一电压电平的第二电压电平的电源工作的电路的第二电路区,并且,所述多个子像素驱动单元配置成:各子像素驱动单元的所述第二电路区之间或所述第一电路区之间沿所述第一方向邻接。

这样一来,与使第一电路区和第二电路区邻接的方法相比,能够缩小数据驱动块在第一方向上的宽度,实现集成电路装置的小面积化。

而且，在本发明中，也可以在所述第一电路区配置有锁存图像数据的锁存电路，在所述第二电路区配置有用灰阶电压进行图像数据的 D/A 转换的 D/A 转换器。

而且，在本发明中，也可以包括存储图像数据的至少一个存储块，所述存储块与所述子像素驱动单元的所述第一电路区邻接配置。

这样一来，由于以第一电压电平的电源工作的存储块和子像素驱动单元的第一电路区邻接配置，因而能够提高布局效率。

而且，在本发明中，所述子像素驱动单元也可以包括用灰阶电压进行图像数据的 D/A 转换的 D/A 转换器，用于向所述 D/A 转换器提供所述灰阶电压的灰阶电压供给线跨过多个所述子像素驱动单元，沿所述第二方向配线。

这样一来，通过沿第二方向配线的灰阶电压供给线能够高效地对沿第二方向配置的多个子像素驱动单元的 D/A 转换器提供灰阶电压，从而提高布局效率。

而且，在本发明中，所述灰阶电压供给线也可以在所述 D/A 转换器的配置区域上配线。

此外，在 D/A 转换器包括例如灰阶电压选择器等的情况下，优选在该灰阶电压选择器的配置区域上配线灰阶电压供给线。

而且，在本发明中，也可以在所述子像素驱动单元的所述 D/A 转换器的配置区域内，沿所述第二方向配置 N 型晶体管区域、P 型晶体管区域，在所述子像素驱动单元的除所述 D/A 转换器之外的电路的配置区域内，沿所述第一方向配置 N 型晶体管区域、P 型晶体管区域。

这样一来，能够对沿第二方向配置的 N 型晶体管区域的 N 型晶体管和 P 型晶体管区域的 P 型晶体管共同连接灰阶电压供给线，从而提高布局效率。另一方面，如果沿第一方向并排配置 D/A 转换器之外的电路的 N 型晶体管区域、P 型晶体管区域，便能够进行沿信号的流向的高效的布局。

而且，本发明还涉及一种下述的电子设备，该电子设备包括以上任一所述的集成电路装置、和由所述集成电路装置驱动的显示面板。

附图说明

图 1 (A)、(B)、(C) 是本实施方式的比较例的说明图。

图 2 (A)、(B) 是集成电路装置的安装说明图。

图 3 是本实施方式的集成电路装置的构成例的示意图。

图 4 是各种类型的显示驱动器及其内置的电路块的示例的示意图。

图 5 (A)、(B) 是本实施方式的集成电路装置的平面布局示例的示意图。

图 6 (A)、(B) 是集成电路装置的剖视图的例子的示意图。

图 7 是集成电路装置的电路构成例的示意图。

图 8 (A)、(B)、(C) 是数据驱动器、扫描驱动器的构成例的示意图。

图 9 (A)、(B) 是电源电路、灰阶电压生成电路的构成例的示意图。

图 10 (A)、(B)、(C) 是 D/A 转换电路、输出电路的构成例的示意图。

图 11 (A)、(B) 是本实施方式的宏单元化方法的说明图。

图 12 (A)、(B) 也是本实施方式的宏单元化方法的说明图。

图 13 是转发块的构成例。

图 14 (A)、(B) 是存储器、数据驱动器的块分割方法的说明图。

图 15 是一水平扫描期间内多次读出图像数据方法的说明图。

图 16 是数据驱动器、驱动单元的配置例的示意图。

图 17 是子像素驱动单元的配置例的示意图。

图 18 是读出放大器、存储单元的配置例的示意图。

图 19 是子像素驱动单元的结构例的示意图。

图 20 是 D/A 转换器的构成例的示意图。

图 21 (A)、(B)、(C) 是 D/A 转换器的子译码器的真值表和 D/A 转换器布局的说明图。

图 22 是对焊盘的配线方法的说明图。

图 23 (A)、(B) 是电子设备的构成例的示意图。

具体实施方式

以下, 详细说明本发明优选的实施例。而且, 以下说明的本实施例并不限于要求保护范围所述的载的本发明的内容, 而且, 也不限定本实施例所说明的构成全部都是本发明的必须的解决方法。

1. 比较例

图 1 (A) 表示作为本实施例的比较例的集成电路装置 **500**。图 1 (A) 的集成电路装置 **500** 包括存储块 MB (显示数据 RAM) 和数据驱动块 DB。而且, 存储块 MB 和数据驱动块 DB 沿 D2 方向配置。另外, 存储块 MB、数据驱动块 DB 的沿 D1 方向的长度与在 D2 方向的宽度相比为较长的超扁平的块。

来自主机侧的图像数据被写入存储块 MB。然后, 数据驱动块 DB 把写进存储块 MB 的数字图像数据变换为模拟的数据电压, 然后驱动显示面板的数据线。这样, 在图 1 (A) 中图像信号流是 D2 方向。因此, 在图 1 (A) 比较例中, 根据该信号流, 存储块 MB 和数据驱动块 DB 沿 D2 方向配置。这样一来, 输入和输出之间为短路径, 可以优化信号的延迟, 可以传输效率好的信号。

然而, 对于图 1 (A) 的比较例, 存在如下技术缺陷。

第一, 就驱动器等集成电路装置而言, 为了低成本化, 要求缩小芯片的尺寸。可是, 如果采用微细加工, 并通过单纯缩小集成电路装置 **500** 以缩小芯片尺寸的话, 不仅是短边方向, 而且连长边方向也被缩小。所以, 导致如图 2 (A) 所示的安装困难的技术缺陷。也就是说, 即使优选输出间距例如大于等于 $22\mu\text{m}$, 可是, 由于如图 2 (A) 所示的单纯缩小后的间距例如只有 $17\mu\text{m}$, 间距太窄, 所以安装变得困难。再者, 显示面板的玻璃框变宽, 玻璃的取数减少, 造成成本增加。

第二,在显示驱动器中,根据显示面板的种类(非晶形 TFT、低温多晶硅 TFT)、像素数(QCIF、QVGA、VGA)和产品的技术规格等,存储器和数据驱动器的构成有所变化。所以,就图 1(A)的比较例而言,即使有的产品如图 1(B)所示,其焊盘间距、存储器的单元间距和数据驱动器的单元间距是一致的,只要存储器和数据驱动器的构成发生变化,如图 1(C)所示,它们的间距也就不一致了。而且,如图 1(C)所示,如果间距不一致,在电路块之间,为了吸收间距的不一致,不得不形成多余的配线区域。特别是,对于在 D1 方向块是扁平的图 1(A)的比较例,用于吸收间距不一致的多余配线区域更大。其结果是,集成电路装置 500 的 D2 方向的宽度 W 增大,芯片面积增加,并导致成本的增加。

另一方面,为了避免这类事态,为使焊盘间距和单元间距取齐而改变存储器和数据驱动器的布局,这又导致开发周期延长,结果,导致成本增加。也就是说,对于图 1(A)的比较例,各电路块的电路构成和布局都进行单独设计,再进行调整间距的作业,因而生成为不必要的空区域,并且导致设计低效化等问题。

2. 集成电路装置的构成

图 3 示出能够解决上述技术缺陷的本实施例的集成电路装置 10 的构成。就本实施例而言,从集成电路装置 10 的短边即第一边 SD1 朝着对面的第三边 SD3 的方向作为第一方向 D1,把 D1 的反方向作为第三方向 D3。从集成电路装置 10 的长边即第二边 SD2 朝着对面的第四边 SD4 的方向作为第二方向 D2,把 D2 的反方向作为第四方向 D4。此外,在图 3 中,虽然集成电路装置 10 的左边为第一边 SD1,右边为第三边 SD3,但是,也可以是左边为第三边 SD3、右边为第一边 SD1。

如图3所示,本实施例的集成电路装置**10**包括沿D1方向配置的第一~第N个电路块CB1~CBN(N是大于等于2的整数)。亦即,在图1(A)的比较例中,电路块沿D2方向排列,而在本实施例中,电路块CB1~CBN沿D1方向排列。而且,各电路块不像图1(A)的比较例那样呈超扁平的块,而是比较接近方形的块。

另外,集成电路装置**10**包括在第一~第N的电路块CB1~CBN的D2方向侧沿边SD4设置的输出侧I/F区**12**(广义为第一接口区)。而在第一~第N电路块CB1~CBN的D4方向侧包括沿边SD2设置的输入侧I/F区**14**(广义为第二接口区)。更具体地说,输出侧I/F区**12**(第一个I/O区)配置在电路块CB1~CBN的D2方向一侧,而不通过例如其它电路块。而输入侧I/F区**14**(第二个I/O区)也不通过例如其它电路块而直接配置在电路块CB1~CBN的D4方向一侧。亦即,至少在数据驱动块存在的部分,在D2方向只存在一个电路块(数据驱动块)。此外,在把集成电路装置**10**作为IP(Intellectual Property: 知识产权)核心来使用,并组装于其他集成电路装置时,也可以形成不设有I/F区**12**、**14**中至少一个的构成。

输出侧(显示面板侧)I/F区**12**是与显示面板形成接口的区域,包括焊盘、连接于焊盘的输出用晶体管和保护元件等各种元件。具体地说,包括向数据线输出数据信号、向扫描线输出扫描信号的输出用晶体管等。此外,在显示面板是触摸面板等时,也可以包括输入用晶体管。

输入侧(主机侧)I/F区**14**是与主机(MPU、图像处理控制器、基带引擎)形成接口的区域,可以包括焊盘、连接于焊盘的输入(输入/输出用)晶体管、输出用晶体管和保护元件等各种元件。具体地说,包括用于输入来自主机的信号(数字信号)的输入用晶体管、用于向主机输出信号的输出用晶体管等。

此外,也可以设置沿短边即边 SD1、SD3 的输出侧或者输入侧 I/F 区。另外,作为外部连接端子的凸起等也可以设置在 I/F (接口) 区 12、14,也可以设置在其以外的区域(第一~第 N 电路块 CB1~CBN)。当设在 I/F 区 12、14 以外的区域时,可以采用金属凸起以外的小型凸起技术(以树脂为核心的凸起技术)来实现。

第一~第 N 电路块 CB1~CBN 可以至少包括两个(或者三个)不同的电路块(具备不同功能的电路块)。以集成电路装置 10 是显示驱动器的情况为例,电路块 CB1~CBN 可以包括如数据驱动器、存储器、扫描驱动器、逻辑电路、灰阶电压发生电路和电源电路中的至少两个电路块。更具体地讲,电路块 CB1~CBN 至少可以包括数据驱动块和逻辑电路块,而且,可以包括灰阶电压发生电路块。另外,在内置存储器的情况下,还可以包括存储块。

例如,图 4 表示各种类型的显示驱动器和内置显示驱动器的电路块的例子。就内置存储器(RAM)的非晶形 TFT (Thin Film Transistor: 薄膜晶体管)面板用显示驱动器而言,电路块 CB1~CBN 包括存储器、数据驱动器(源极驱动器)、扫描驱动器(栅极驱动器)、逻辑电路(门阵列电路)、灰阶电压发生电路(γ 校正电路)以及电源电路这些电路块。另一方面,就存储器内置的低温多晶硅(LTPS)TFT 面板用显示驱动器而言,因为可以在玻璃基板上形成扫描驱动器,所以可以省略扫描驱动电路块。而对于存储器非内置的非晶形 TFT 面板,可以省略存储块,对于存储器非内置的低温多晶硅 TFT 面板,可以省略存储器和扫描驱动器的电路块。另外,就 CSTN (Color Super Twisted Nematic) 面板、TFD (Thin Film Diode: 薄膜二极管)面板而言,则可以省略灰阶电压发生电路块。

图 5 (A)、图 5 (B) 表示本实施例的显示驱动器集成电路装置 10 的平面布局的例子。图 5 (A)、图 5 (B) 是存储器内置的非

晶形 TFT 面板用的例子, 例如图 5 (A) 以 QCIF、32 阶用显示驱动器为目标, 而图 5 (B) 则以 QVGA、64 阶用显示驱动器为目标。

就图 5 (A)、(B) 而言, 其第一~第 N 电路块 CB1~CBN 包括第一~第四存储块 MB1~MB4 (广义为第一~第 I 个存储块, I 是大于等于 2 的整数)。与各第一~第四存储块 MB1~MB4 对应, 包括沿 D1 方向其各自邻接配置的第一~第四数据驱动块 DB1~DB4 (广义为第一~第 I 的数据驱动块)。具体地说, 存储块 MB1 和数据驱动块 DB1 沿 D1 方向相邻配置, 存储块 MB2 则和数据驱动块 DB2 沿 D1 方向相邻配置。而且, 数据驱动块 DB1 用于驱动数据线的图像数据 (显示数据) 由邻接的存储块 MB1 存储, 数据驱动块 DB2 用于驱动数据线的图像数据则由邻接的存储块 MB2 存储。

在图 5 (A) 中, 在存储块 MB1~MB4 中的 MB1 (广义为第 J 存储块, $1 \leq J < I$) 的 D3 方向一侧邻接配置数据驱动块 DB1~DB4 中的 DB1 (广义为第 J 数据驱动块)。另外, 在存储块 MB1 的 D1 方向一侧邻接配置存储块 MB2 (广义地是第 J+1 的存储块)。然后, 在存储块 MB2 的 D1 方向一侧邻接配置数据驱动块 DB2 (广义地是第 J+1 的数据驱动块)。存储块 MB3、MB4、数据驱动块 DB3、DB4 的配置也是一样。这样, 在图 5 (A) 中, 相对于 MB1、MB2 的边界线, MB1、DB1 和 MB2、DB2 对称地配置, 而相对于 MB3、MB4 的边界线, MB3、DB3 和 MB4、DB4 对称地配置。此外, 在图 5 (A) 中, 虽然 DB2 和 DB3 邻接配置, 但是, 不邻接而在其间配置其它的电路块也可以。

另一方面, 图 5 (B) 中, 对于在存储块 MB1~MB4 之中的 MB1 (广义地为第 J 存储块) 的 D3 方向一侧邻接配置数据驱动块 DB1~DB4 中的 DB1 (第 J 数据驱动块)。另外, 在存储块 MB1 的 D1 方向一侧邻接配置 DB2 (第 J+1 的数据驱动块)。在 DB2 的 D1

方向一侧邻接配置 MB2 (第 J+1 的存储块)。DB3、MB3、DB4、MB4 也同样配置。此外,虽然在图 5(B)中 MB1 和 DB2、MB2 和 DB3、MB3 和 DB4 都分别为邻接配置,但是,不邻接而在其间配置其它的电路块也可以。

根据图 5(A)的配置,具有在存储块 MB1 和 MB2 以及 MB3 和 MB4 之间(在第 J、第 J+1 的存储块之间)共用列地址译码器的优点。另一方面,根据图 5(B)的配置,能够使从数据驱动块 DB1~DB4 到输出侧 I/F 区 12 的数据信号输出线的配线间距均匀化,具有可以提高配线效率的优点。

本实施例的集成电路装置 10 的布局并非限定于图 5(A)、(B)。例如,存储块和数据驱动块的块数量也可以是 2、3 或大于等于 5,也可以对存储块和数据驱动块不进行块的分割而构成。而且,也可以实施存储块和数据驱动块不相邻的实施方式。而且,即使不设存储块、扫描驱动器块、电源电路块或灰阶电压发生电路块等这样的构成也是可以的。在电路块 CB1~CBN 和输出侧 I/F 区 12、或者输入侧 I/F 区 14 之间,也可以设置在 D2 方向上的宽度极窄的电路块(小于等于 WB 的细长电路块)。另外,电路块 CB1~CBN 还可以包括不同的电路块在 D2 方向多级排列的电路块。例如,也可以把扫描驱动电路和电源电路作为一个电路块。

图 6(A)表示本实施例的集成电路装置 10 沿 D2 方向的截面图的例子。图中 W1、WB、W2 分别为输出侧 I/F 区 12、电路块 CB1~CBN、输入侧 I/F 区 14 在 D2 方向的宽度。另外,W 是集成电路装置 10 在 D2 方向的宽度。

对于本实施例,如图 6(A)所示,在 D2 方向上,可以不在电路块 CB1~CBN(数据驱动块 DB)和输出侧、输入侧 I/F 区 12、14 之间夹入其它电路块来构成。所以,就可以使 $W1 + WB + W2 \leq$

$W < W1 + 2 \times WB + W2$, 能够实现细长的集成电路装置。具体地说, 可以使 D2 方向的宽度 $W < 2\text{mm}$, 更具体的, 可以使 $W < 1.5\text{mm}$ 。而考虑到芯片的检查和装配, 优选 $W > 0.9\text{mm}$ 。此外, 长边方向的长度 LD 则可以做到 $15\text{mm} < LD < 27\text{mm}$ 。芯片的形状比 $SP = LD/W$ 可以做到 $SP > 10$, 更具体地说, $SP > 12$ 。

图 6 (A) 的宽度 W1、WB、W2 分别为输出侧 I/F 区 12、电路块 CB1 ~ CBN、输入侧 I/F 区 14 的晶体管形成区 (主体区域、激活区域) 的宽度。亦即, 在 I/F 区 12、14 形成输出用晶体管、输入用晶体管、输入/输出用晶体管和静电保护元件的晶体管等。另外, 在电路块 CB1 ~ CBN 区域形成构成电路的晶体管。而且, 以形成这类晶体管的阱区和扩散区作为基准决定 W1、WB、W2。例如, 为了实现更细长的集成电路装置, 希望是在电路块 CB1 ~ CBN 的晶体管上也形成凸起 (能动面凸起)。具体的, 在晶体管上面 (有源区域) 形成以树脂形成其芯、在树脂的表面形成金属层的树脂芯凸起等。而且, 该凸起 (外部连接端子) 通过金属配线被连接到配置在 I/F 区 12、14 的焊盘上。本实施例的 W1、WB、W2 不是这样的突起的形成区域的宽度, 而是在凸起下面形成的晶体管形成区域的宽度。

电路块 CB1 ~ CBN 各自在 D2 方向的宽度例如可以统一为同宽。此时, 只要各电路块的宽度实质上相同就可以, 例如有数 μm ~ $20\mu\text{m}$ (数十 μm) 程度的差异是在容许范围以内的。而且, 在电路块 CB1 ~ CBN 中存在宽度不同的电路块时, 宽度 WB 可以是电路块 CB1 ~ CBN 的宽度中最大的宽度。此时的最大宽度可以是例如数据驱动块的在 D2 方向的宽度。或者, 在存储器内置的集成电路装置的情况下, 可以是存储块的在 D2 方向的宽度。此外, 在电路块 CB1 ~ CBN 和 I/F 区 12、14 之间可以设置例如宽 $20 \sim 30 \mu\text{m}$ 程度的空区域。

就本实施例而言，在输出侧 I/F 区 **12** 上可以配置在 D2 方向的级数为一级或多级的焊盘。所以，如果考虑焊盘宽度（例如 $0.1\mu\text{m}$ ）和焊盘间距，输出侧 I/F 区 **12** 的在 D2 方向的宽度 W1 可以做到 $0.13\text{mm} \leq W1 \leq 0.4\text{mm}$ 。另外，因为在输入侧 I/F 区 **14** 可以配置在 D2 方向的级数为一级或多级的焊盘，所以输入侧 I/F 区 **14** 的宽度 W2 就可以做到 $0.1\text{mm} \leq W2 \leq 0.2\text{mm}$ 。为了实现细长的集成电路装置，在电路块 CB1 ~ CBN 上需要通过全局线形成来自逻辑电路块的逻辑信号、来自灰阶电压发生电路块的灰阶电压信号和电源的配线，这类配线的合计宽度例如在 $0.8 \sim 0.9\text{mm}$ 的程度。因而，考虑到这些情况，电路块 CB1 ~ CBN 的宽度 WB 可以做到 $0.65 \leq WB \leq 1.2\text{mm}$ 。

而且，即使 $W1 = 0.4\text{mm}$ ， $W2 = 0.2\text{mm}$ ，可是因为 $0.65 \leq WB \leq 1.2\text{mm}$ ，所以 $WB > W1 + W2$ 成立。另外，在 W1、WB、W2 都为最小值的情况下，即 $W1 = 0.13\text{mm}$ 、 $WB = 0.65\text{mm}$ 、 $W2 = 0.1\text{mm}$ ，集成电路装置的宽度为 $W = 0.88\text{mm}$ 。所以， $W = 0.88\text{mm} < 2 \times WB = 1.3\text{mm}$ 成立。在 W1、WB、W2 都为最大值的情况下， $W1 = 0.4\text{mm}$ 、 $WB = 1.2\text{mm}$ 、 $W2 = 0.2\text{mm}$ ，则集成电路装置的宽度为 $W = 1.8\text{mm}$ 的程度。所以， $W = 1.8\text{mm} < 2 \times WB = 2.4\text{mm}$ 成立。因此，关系式 $W < 2 \times WB$ 成立，能够实现细长的集成电路装置。

对于图 1 (A) 的比较例，如图 6 (B) 所示，沿 D2 方向配置两个以上的多个电路块。另外，在 D2 方向，在电路块之间、以及在电路块和 I/F 区之间形成有配线区域。所以，集成电路装置 **500** 在 D2 方向（短边方向）的宽度 W 就变宽，不能实现瘦长的细长芯片。因而，即使利用微细加工使芯片收缩，但是，如图 2 (A) 所示，由于 D1 方向（长边方向）的长度 LD 缩短，输出间距变成窄间距，所以，导致安装困难。

针对这一技术缺陷,如图3、图5(A)、图5(B)所示,在本实施例中,沿D1方向配置多个电路块CB1~CBN。另外,如图6(A)所示,可以把晶体管(电路元件)配置在焊盘(凸起)的下面(能动面凸起)。通过在电路块内部配线的局部线的上层(焊盘的下层)形成的全局线,也可以形成电路块之间或者电路块和I/F区域之间等的信号线。所以,如图2(B)所示,可以在集成电路装置10在D1方向的长度LD维持不变的情况下使D2方向的宽度W变窄,实现超瘦长的细长芯片。结果是,能够使输出间距维持在例如大于等于 $22\mu\text{m}$,可以容易地进行安装。。

而且,在本实施例中,由于沿D1方向配置多个电路块CB1~CBN,故可以容易地应对产品规格的变更。亦即,由于可以用公共的平台设计各种规格的产品,所以能够提高设计效率。例如在图5(A)、(B)中,在显示面板的像素数或灰阶数有增有减的情况下,只需增减存储块和数据驱动块的块数、在一个水平扫描期间中图像数据的读取次数等就可以对应。另外,虽然图5(A)、(B)是存储器内置的非晶形TFT面板用例子,但是,在开发存储器内置的低温多晶硅TFT面板用产品的情况下,只要从电路块CB1~CBN中去掉扫描驱动器块即可。又如,在开发存储器非内置的产品的情况下,只要去掉存储块即可。而且,如上所述,即使根据规格去掉电路块,在本实施例中,因为可以将对其它电路块产生的影响抑制到最小,故而能够提高设计效率。

在本实施例中,可以把各个电路块CB1~CBN在D2方向的宽度(高度)统一于例如数据驱动块和存储块的宽度(高度)。而且,在各个电路块的晶体管有增减的情况下,由于可以通过增减各个电路块在D1方向的长度来进行调整,故能够使设计进一步高效化。例如,在图5(A)、(B)中,在灰阶电压发生电路块和电源电路块的构成变更、晶体管数量增减的情况下,也可以通过增减灰阶电压发生电路块和电源电路块在D1方向的长度来对应。

此外,作为第二比较例,还可以考虑如下配置方法:例如,在D1方向上,将数据驱动块细长地配置,在数据驱动块的D4方向一侧,沿D1方向配置存储块等其他多个电路块。但是,对于该第二比较例,由于幅度较宽的数据驱动块夹入存储块等其它电路块与输出侧I/F区域之间,所以,集成电路装置在D2方向的宽度W变宽,难以实现瘦长的细长芯片。而且,在数据驱动块和存储器驱动器块之间产生了多余的配线区域,就更加扩大了宽度W。在数据驱动块或存储块的构成发生变化的情况下,出现在图1(B)、(C)中说明的间距不一致的问题,无法提高设计效率。

作为本实施例的第三比较例,还可以考虑只对同一功能的电路块(例如数据驱动块)进行块的分割、并沿D1方向排列配置的方法。但是,对于该第三比较例,由于只能使集成电路装置具有同一的功能(例如数据驱动器功能),故不可能实现多种产品的扩展。针对该问题,在本实施例中,电路块CB1~CBN包括至少具有两个不同功能的电路块。所以,如图4、图5(A)、图5(B)所示,具有能够提供对应于各种类型显示面板的多机种集成电路装置的优点。

3. 电路构成

图7表示集成电路装置10的电路构成。而且,集成电路装置10的电路构成并不限定于图7的示例,可以实施各种变形。存储器20(显示数据RAM)用于存储图像数据。存储单元阵列22包括多个存储单元,至少存储一帧(一幅画面)的图像数据。此时,一个像素由例如R、G、B等三个子像素(三点)构成,各子像素例如存储着六位(k位)的图像数据。行地址译码器24(MPU/LCD行地址译码器)进行有关行地址的译码处理,并进行存储单元阵列22的字线的选择处理。列地址译码器26(MPU列地址译码器)则进行有关列地址的译码处理,并进行存储单元阵列22的位线的选择

处理。写/读电路 28 (MPU 写/读电路) 进行把图像数据写入存储单元阵列 22 的处理和从存储单元阵列 22 读出图像数据的处理。用例例如以起始地址和结束地址为对顶点的矩形来定义存储单元阵列 22 的存取区域。亦即, 用起始地址的列地址及行地址和结束地址的列地址及行地址来定义存取区域, 并进行存储器的存取。

逻辑电路 40 (例如自动配置配线电路) 生成用于控制显示时刻的控制信号和用于控制数据处理时刻的控制信号等。该逻辑电路 40 可以由例如门阵列 (G/A) 等自动配置配线形成。控制电路 42 生成各种控制信号, 进行装置整体的控制。具体地说, 向灰阶电压发生电路 110 输出灰阶特性 (γ 特性) 的调整数据 (γ 校正数据), 并控制电源电路 90 的电压生成。另外, 对使用了行地址译码器 24、列地址译码器 26、写/读电路 28 的存储器进行写/读处理的控制。显示时刻控制电路 44 生成用于控制显示时刻的各种控制信号, 控制从存储器到显示面板侧的图像数据的读取。主机 (MPU) 接口电路 46 对从主机的每次访问生成内部脉冲, 实现对存储器进行访问的主接口。RGB 接口电路 48 通过点时钟实现将动画的 RGB 数据写入存储器的 RGB 接口。而且, 也可以是只设置主接口电路 46、RGB 接口电路 48 中的任一者的构成。

在图 7 中, 从主接口电路 46、RGB 接口电路 48 以一个像素单位向存储器 20 进行访问。另一方面, 根据与主接口电路 46、RGB 接口电路 48 独立的内部显示时刻, 每一个行周期以行地址所指定的行单位向数据驱动器 50 输送图像数据。

数据驱动器 50 是用于驱动显示面板的数据线的电路, 其构成示于图 8 (A)。数据锁存电路 52 锁存来自存储器 20 的数字图像数据。D/A 转换电路 54 (电压选择电路) 进行锁存于数据锁存电路 52 的数字图像数据的 D/A 转换, 并生成模拟的数据电压。具体地说, 接受来自灰阶发生电路 110 的多个 (例如 64 阶) 灰阶电压 (基

准电压), 从这些多个灰阶电压中选择与数字图像数据对应的电压, 并作为数据电压输出。输出电路 56 (驱动电路、缓冲电路) 缓冲来自 D/A 转换电路 54 的数据电压, 而后输出至显示面板的数据线, 并驱动数据线。而且, 也可以是将输出电路 56 的一部分 (例如运算放大器的输出级) 不包括在数据驱动器 50 中、而配置在其他区域的构成。

扫描驱动器 70 是用于驱动显示面板的扫描线的电路, 其构成例示于图 8 (B)。移位寄存器 72 包括依次连接的多个触发器, 与移位时钟信号 SCK 同步, 对许可输入输出信号 EIO 进行依次移位。电平移位器 76 将来自移位寄存器 72 的信号的电压电平转换成用于扫描线选择的高电压电平。输出电路 78 缓冲由电平移位器 76 转换并输出的扫描电压, 然后输出到显示面板的扫描线, 对扫描线进行选择驱动。扫描驱动器 70 也可以是如图 8 (C) 所示的构成。图 8 (C) 中, 扫描地址生成电路 73 生成扫描地址并输出, 地址译码器 74 进行扫描地址的译码处理。而且, 对于通过该译码处理而特定的扫描线, 通过电平移位器 76、输出电路 78 输出扫描电压。

电源电路 90 是用于生成各种电源电压的电路, 其构成示于图 9 (A)。升压电路 92 是使用升压用电容、升压用晶体管以电荷泵的方式使输入电源电压和内部电源电压升压、并生成升压电压的电路, 可以包括 1 次~4 次升压电路等。通过该升压电路 92 能够生成扫描驱动器 70 和灰阶电压发生电路 110 使用的高电压。调整电路 94 进行由升压电路 92 生成的升压电压的电平调整。VCOM 生成电路 96 生成供给显示面板的对向电极的 VCOM 电压并输出。控制电路 98 用于进行电源电路 90 的控制, 它包括各种控制寄存器等。

灰阶电压发生电路 (γ 校正电路) 110 是用于生成灰阶电压的电路, 其构成示于图 9 (B)。选择用电压生成电路 112 (分压电路) 根据由电源电路 90 生成的高电压的电源电压 VDDH、VSSH 输出

选择用电压 $VS_0 \sim VS_{255}$ (广义为 R 个选择用电压)。具体地说,选择用电压生成电路 112 包括具有串联的多个电阻元件的梯形电阻电路。而且,将通过该梯形电阻电路将 $VDDH$ 、 $VSSH$ 分压后的电压作为选择用电压 $VS_0 \sim VS_{255}$ 输出。灰阶电压选择电路 114 根据通过逻辑电路 40 设定于调整寄存器 116 的灰阶特性的调整数据,从选择用电压 $VS_0 \sim VS_{255}$ 中,例如在 64 阶的情况下,选择 64 个 (广义地是 S 个, $R > S$) 电压,作为灰阶电压 $V_0 \sim V_{63}$ 输出。这样,可以生成适应于显示面板的优选灰阶特性 (γ 校正特性) 的灰阶电压。而且,在极性反转驱动的情况下,也可以把正极性用的梯形电阻电路和负极性用的梯形电阻电路设置在选择用电压生成电路 112 中。另外,梯形电阻电路的各电阻元件的阻值也可以根据在调整寄存器 116 设定的调整数据变更。也可以是在选择用电压生成电路 112 或灰阶电压选择电路 114 中设置阻抗变换电路 (连接电压输出器的运算放大器) 的构成。

图 10 (A) 表示包括图 8 (A) 的 D/A 转换电路 54 的各 DAC (Digital Analog Converter, 数模转换器) 的构成例。图 10 (A) 的各 DAC 可以按每个子像素 (或者每个像素) 设置,并由 ROM 译码器等构成。而且,根据来自存储器 20 的六位数字图像数据 $D_0 \sim D_5$ 及其反转数据 $XD_0 \sim XD_5$,选择来自灰阶电压发生电路 110 的灰阶电压 $V_0 \sim V_{63}$ 中任一个,由此,将图像数据 $D_0 \sim D_5$ 转换成模拟电压。而且,把所得的模拟电压信号 DAQ (DAQ_R 、 DAQ_G 、 DAQ_B) 输出到输出电路 56。

对于低温多晶硅 TFT 用的显示驱动器等,将 R 用、G 用、B 用数据信号进行多路转换后输送至显示驱动器的情况下 (图 10 (C) 的情况下),可以用一个公共的 DAC 对 R 用、G 用、B 用的图象数据进行 D/A 转换。在这种情况下,图 10 (A) 的各个 DAC 按每个像素来设置。

图 10 (B) 示出图 8 (A) 的输出电路 56 所含的各输出部分 SQ 的构成。图 10 (B) 的各输出部分 SQ 可以按每个像素来设置。各输出部分 SQ 包括 R (红) 用、G (绿) 用、B (蓝) 用阻抗变换电路 OPR、OPG、OPB (连接电压跟随器的运算放大器), 进行来自 DAC 的信号 DAQR、DAQG、DAQB 的阻抗变换, 并将数据信号 DATAR、DATAG、DATAB 输出到 R、G、B 用数据信号输出线。例如在低温多晶硅 TFT 面板的情况下, 也可以设置如图 10 (C) 所示的开关元件 (开关用晶体管) SWR、SWG、SWB, 复用 R 用、G 用、B 用的数据信号后的数据信号 DATA 由阻抗变换电路 OP 输出。另外, 也可以在多个像素中复用数据信号。而且, 还可以是不在输出部分 SQ 设置图 10 (B)、(C) 所示的阻抗变换电路、而只设开关元件等的构成。

4. 宏单元化

4.1 驱动器宏单元

本实施例的集成电路装置包括如图 11 (A) 所示的多个电路块被宏单元化 (宏化、宏块化) 的至少一个驱动器宏单元 (驱动器宏块)。该驱动器宏单元例如是配线及电路单元配置被固定化的硬宏。具体而言, 例如配线或电路单元配置根据手工操作的布局进行。此外, 也可以自动化进行一部分的配线、配置。

图 11 (A) 的驱动器宏单元包括: 用于驱动数据线 (源极线) 的数据驱动块 DB、和存储图像数据的存储块 MB。而且, 还包括配置有用于电连接数据驱动块 DB 的输出线和显示面板的数据线的多个焊盘的焊盘块 PDB。该焊盘块 PDB 中包括沿 D2 方向交错配置的两行 (广义上, 多行) 焊盘列, 在各焊盘列中, 焊盘 (焊盘金属) 沿 D1 方向排列。

在图 11 (A) 中, 数据驱动块 DB 和存储块 MB 沿 D1 方向配置, 焊盘块 PDB 配置在数据驱动块 DB 以及存储块 MB 的 D2 方向侧。具体而言, 数据驱动块 DB 与存储块 MB 沿 D1 方向邻接, 数据驱动块 DB 与焊盘块 PDB、以及存储块 MB 与焊盘块 PDB 沿 D2 方向邻接。此外, 也可以采用在数据驱动块 DB 与存储块 MB 之间设置其它附加电路的变形实施、或者使驱动器宏单元不包括存储块 MB 的变形实施。

一般情况下, 数据驱动器的输出线所连接的焊盘的数量非常多。因此, 如果使用自动配线工具将数据驱动器的输出线连接在数据驱动器用焊盘上时, 将会增加输出线的配线区域, 使 D2 方向上的集成电路装置的宽度增大, 从而很难实现微型的细长芯片。

就这点而言, 在图 11 (A) 中, 数据驱动块 DB 与焊盘块 PDB 作为宏单元一体化形成。因此, 能够将例如根据手工操作的布局高效地完成了在焊盘上的数据驱动器的输出线的配线的块注册为驱动器宏单元使用。因此, 与通过自动配线工具对数据驱动器的输出线进行配线的方法相比, 能够缩小输出线的配线区域。最终, 能够缩小 D2 方向上的集成电路装置的宽度, 从而实现微型的细长芯片。

而且, 如果如图 11 (A) 所示这样宏单元化, 那么只要沿 D1 方向并列配置驱动器宏单元, 便能够实现如图 5 (A)、(B) 所示布局的集成电路装置, 从而能够高效地进行电路设计和布局操作。例如, 即使在显示面板的像素数的规格改变了的情况下, 只要改变配置的驱动器宏单元的个数, 便能够与此相应而无需重新对数据驱动器的输出线进行配线, 因此能够提高操作效率。

而且, 在图 11 (A) 中, 不仅数据驱动块 DB 的 D2 方向侧的区域能够有效活用为焊盘配置区, 而且存储块 MB 的 D2 方向侧的区域也能够有效活用为焊盘配置区。即, 在存储块 MB 的 D2 方向

侧的空出区域也能够配置焊盘。因此，对于宽度为 WPB 的焊盘块 PDB，能够毫不浪费地配置焊盘，提高布局效率。

而且，例如在图 1 (A) 的比较例中，由于存储块 MB 和数据驱动块 DB 与信号的流向一致而沿作为短边方向的 D2 方向配置，所以很难实现微型的细长芯片。而且，如果显示面板的像素数、显示驱动器的规格、存储单元的结构等发生变化，且存储块 MB 或数据驱动块 DB 的在 D2 方向上的宽度或在 D1 方向上的长度发生变化，其影响会波及到其它电路块，导致设计无效率。

对此，在图 11 (A) 中，数据驱动块 DB 与存储块 MB 沿 D1 方向邻接配置，因而不但能够缩小 D2 方向上的集成电路装置的宽度，而且还能使设计高效化。

而且，在图 1 (A) 的比较例中，由于字线 WL 沿作为长边方向的 D1 方向配置，所以字线 WL 上的信号延迟增大，图像数据的读出速度变慢。尤其，由于连接在存储单元上的字线 WL 由多晶硅层形成，导致该信号延迟的问题尤为严重。

对此，图 11 (A) 中，在存储块 MB 内，能够沿作为短边方向的 D2 方向对字线 WL 配线，并且能够沿作为长边方向的 D1 方向对位线 BL 配线。而且，在本实施例中，D2 方向上的集成电路装置的宽度 W 较短。因此，不但能够缩小存储块 MB 内的字线 WL 的长度，而且能够减小 WL 上的信号延迟。另外，在图 1 (A) 的比较例中，由于从主机对存储器的一部分存取区进行存取时，也选择了在 D1 方向上更长、且寄生容量大的字线 WL，导致功耗增大。对此，在图 11 (A) 中，主机存取时，能够只选择对应于存储区的存储块的字线 WL，从而能够实现低功耗。

4.2 驱动器宏单元的宽度

在图 11 (A)、(B) 中, 当假设数据驱动块 DB、存储块 MB、焊盘块 PDB 的 D1 方向上的宽度分别为 WDB、WMB、WPB 时, 例如 $WDB + WMB \leq WPB$ 的关系也可以成立。

即, 在图 11 (A) 中, 焊盘块 PDB 的 D1 方向上的宽度 WPB 与将数据驱动块 DB 的宽度 WDB 和存储块 MB 的宽度 WMB 相加得到的宽度大致相等, 例如 $WDB + WMB = WPB$ 。另一方面, 在图 11 (B) 中, 配置了作为附加电路的转发块 RP。该转发块 RP 是包含缓冲器的电路块, 其中, 缓冲器对输向存储块 MB 的至少写数据信号 (或者地址信号、存储器控制信号) 执行缓存, 然后再输出给存储块 MB。于是, 在图 11 (B) 的情况下, $WDB + WMB < WPB$ 。

如果 $WDB + WMB = WPB$ 的关系成立, 那么在将多个驱动器宏单元沿 D1 方向并列配置时, 能使相邻的焊盘块间不会产生无用的空出区域而这样地沿 D1 方向并排排列多个焊盘块。因此, 数据驱动器用焊盘也能毫无浪费地排列在 D1 方向上, 从而能够缩小集成电路装置的在 D1 方向上的宽度。

而且, 如果 $WDB + WMB < WPB$ 的关系成立, 那么能够配置如图 11 (B) 所示的作为附加电路的转发块 RP, 并且还能提高布局效率。即, 在受焊盘间距的制约, 焊盘块 PDB 的宽度 WPB 变大, 而存储块 MB 或数据驱动块 DB 的旁边产生空出区域时, 可将附加电路配置在该空出区域。此外, 配置在该空出区域的附加电路并不限于转发块 RP。例如, 也可以配置灰阶电压生成电路的局部、将数据驱动器的输出线设定在预定电位的电路、或静电保护电路等附加电路。

图 12 (A) 中示出焊盘块 PDB 上的焊盘 (焊盘金属) 的配置例。在图 12 (A) 中, 排列在 D1 方向上的第一行的焊盘列和排列在 D1 方向上的第二行的焊盘列被堆叠在 D2 方向上, 并交错配置。即, 假设 D1 方向为 X 轴、D2 方向为 Y 轴, 第一行的焊盘的中心位置的 X 坐标与第二行的焊盘的中心位置的 X 坐标错开配置。于是, 在图 12 (A) 中, 焊盘在 D1 方向上的间距 PP 即为焊盘的中心位置的 X 坐标的差。例如, 焊盘 Pn 和 Pn + 1 的中心位置的 X 坐标的差为焊盘间距 PP (例如 20 ~ 22 μm)。

在图 12 (B) 中, 假设作为附加电路块的转发块 RP 的 D1 方向上的宽度为 WAB, 焊盘块 PDB 上的焊盘个数为 NP。于是, 例如 $(NP-1) \times PP < WDB + WMB + WAB < (NP + 1) \times PP$ 的关系成立。

如果这种关系成立, 那么在将多个驱动器宏单元并排配置在 D1 方向上时, 能够不会产生无用的空出区域而在 D1 方向上排列多个焊盘块, 并且以均等的焊盘间距沿 D1 方向排列焊盘 (pad)。如果以均等的焊盘间距排列焊盘, 那么在使用凸起 (hump) 等将集成电路装置安装在了玻璃基板上时, 应力会均等地施加在焊盘配置区域, 能够防止接触不良。而且, 一旦在焊盘间产生了空出区域, 由于该空出区域的原因, 会改变 ACF 等各向异性导电材料的粘结材料的流向, 可能会发生接触不良等状况, 但是如果以均等的焊盘间距排列焊盘, 便能防止这种状况的发生。进而, 还可以使 $WDB + WMB + WAB \leq NP \times PP$ 的关系成立。这样的话, 能够进一步地使 D1 方向上的焊盘间距均等, 以实现应力的更加均等。

此外, 在不配置转发块 RP 这样的附加电路的情况下, 能够假设 $WAB = 0$ 。而且, 在焊盘块 PDB 上, 也可以配置除数据驱动器用焊盘之外的虚拟焊盘 (凸起、没有连接焊丝的焊盘等), 此时,

也可以将数据驱动器用焊盘与虚拟焊盘的个数总和设为焊盘的个数 NP。

4.3 转发块

图 13 中示出转发块的构成例。该转发块例如能够与存储块邻接配置。例如，在图 5 (B) 中，用于传送来自逻辑电路块 LB 的写数据信号、地址信号、存储器控制信号的存储器用全局线沿 D1 方向配线在电路块上，这些信号从逻辑电路块 LB 供给到各存储块 MB1 ~ MB4。在这种情况下，如果没有对这些信号执行缓存，那么信号的上升波形或下降波形会变弱，存在数据写入存储块的写入时间延长、或发生写入错误的危险。

对于这点，如果在各存储块的例如 D1 方向侧邻接配置图 13 所示的转发块，那么这些写数据信号、地址信号、存储器控制信号通过转发块缓存后再输入到各存储块。其结果，能够降低信号的上升波形或下降波形变弱程度，实现对存储块的正确的数据写入。

在图 13 中，来自逻辑电路块 LB 的写数据信号(WD0、WD1...)通过由两个反相器构成的缓冲器 BFA1、BFA2...缓存后，输出给下一级的转发块。具体而言，在图 5 (B) 中，经缓存后的信号从配置在存储块 MB4 的 D1 方向侧的转发块向配置在存储块 MB3 的 D1 方向侧的下一级转发块输出。而且，来自逻辑电路块 LB 的写数据信号通过缓冲器 BFB1、BFB2...缓存后，输出给存储块。具体而言，在图 5 (B) 中，经缓存后的信号从配置在存储块 MB4 的 D1 方向侧的转发块向存储块 MB4 输出。这样，在本实施例中，对于写数据信号，不仅设置了用于将其输出给下一级的转发块的缓冲器 BFA1、BFA2...，而且还设置了各存储块用的缓冲器 BFB1、BFB2...。这样，能够有效地防止由于存储块的存储单元的寄生容量的原因而

导致写数据信号的波形变弱、以及写入时间延长和发生写入错误等。

而且，来自逻辑电路块 LB 的地址信号（CPU 列地址、CPU 行地址、LCD 行地址等）通过缓冲器 BFC1...缓存后，输出给存储块以及下一级的转发块。而来自逻辑电路块 LB 的存储器控制信号（读/写切换信号、CPU 使能信号、岸选择信号等）通过缓冲器 BFD1...缓存后，输出给存储块以及下一级的转发块。

而且，在图 13 的转发块中，还设有来自存储块的读数据信号用的缓冲器。具体而言，如果激活岸选择信号 BANKM（H 电平），并选择该存储块，于是来自该存储块的读数据信号经缓冲器 BFE1、BFE2...缓存后，输出给读数据线 RD0L、RD1L...。另一方面，如果没有激活岸选择信号 BANKM（L 电平），那么缓冲器 BFE1、BFE2...的输出状态为高阻抗状态。由此，能够正确地将来自岸选择信号已激活的其它存储块的读数据信号输出给逻辑电路块 LB。

5.1 块分割

如图 14（A）所示，显示面板是垂直扫描方向（数据线方向）的像素数 $VPN = 320$ 、水平扫描方向（扫描线方向）的像素数 $HPN = 240$ 的 QVGA 面板。另外，一个像素份的图像（显示）数据的位数 PDB 的 R、G、B 各为 6 位，且 $PDB = 18$ 位。在此情况下，显示面板的一帧显示所需要的图像数据的位数 $VPN \times HPN \times PDB = 320 \times 240 \times 18$ 位。所以，集成电路装置的存储器至少需要存储 $320 \times 240 \times 18$ 位的图像数据。而且，数据驱动器向显示面板输出每一个水平扫描期间（一根扫描线扫描的时间） $HPN = 240$ 根数据信号（对应于 240×18 位的图像数据的数据信号）。

而且,在图 14 (B) 中,数据驱动器被分割成 $DBN = 4$ 个数据驱动块 $DB1 \sim DB4$ 。而存储器也被分割成 $MBN = DBN = 4$ 个存储块 $MB1 \sim MB4$ 。亦即,例如把数据驱动块、存储块、焊盘块进行宏单元化的四个驱动器宏单元 $DMC1$ 、 $DMC2$ 、 $DMC3$ 、 $DMC4$ 沿 $D1$ 方向配置。所以,各驱动器块 $DB1 \sim DB4$ 在每一个水平扫描期间向显示面板输出 $HPN/DBN = 240/4 = 60$ 根数据信号。另外,各存储块 $MB1 \sim MB4$ 存储 $(VPN \times HPN \times PDB) / MBN = (320 \times 240 \times 18) / 4$ 位的图像数据。

5.2 一水平扫描期间的多次读取

在图 14 (B) 中,各数据驱动块 $DB1 \sim DB4$ 在一个水平扫描期间输出 60 根 (如果 R 、 G 、 B 个为 3 根,则 $60 \times 3 = 180$ 根) 的数据信号。所以,每一个水平扫描期间,必须从对应于 $DB1 \sim DB4$ 的存储块 $MB1 \sim MB4$ 读取 240 根对应于数据信号的图像数据。

然而,如果每一个水平扫描期间读取的图像数据的位数增加,就会发生需要增加 $D2$ 方向上排列的存储单元 (读出放大器) 个数。其结果是,集成电路装置 $D2$ 方向的宽度 W 增大,妨碍使芯片瘦长。另外,带来字线 WL 变长、 WL 的信号延迟的问题。

于是,在本实施例中,采用如下方法:在一个水平扫描期间,从各存储块 $MB1 \sim MB4$ 多次 (RN 次) 将存储在各存储块 $MB1 \sim MB4$ 中的图像数据读取到数据驱动块 $DB1 \sim DB4$ 。

例如,在图 15 中,如 $A1$ 、 $A2$ 所示,在一个水平扫描期间,只在 $RN = 2$,存储器存取信号 $MACS$ (字选择信号) 为激活 (高电平)。由此,在一个水平扫描期间, $RN = 2$ 次从各存储块向各数据驱动块读取图像数据。这样,设置于数据驱动块内的图 16 的第一、第二数据驱动器 DRa 、 DRb 所含的数据锁存电路根据 $A3$ 、 $A4$ 所示

的锁存信号 LATa、LATb 锁存读取的图像数据。而且，第一、第二数据驱动器 DRa、DRb 所含的 D/A 转换电路则进行被锁存的图像数据的 D/A 转换，DRa、DRb 所含的输出电路把通过 D/A 转换所得的数据信号 DATAa、DATAb 如 A5、A6 所示输出至数据信号输出线。之后，如 A7 所示，输入到显示面板的各像素的 TFT 的栅极的扫描信号 SCSEL 为激活，数据信号被输入至各像素，并予以保持。

而且，在图 15 中，在第一个水平扫描期间，两次读取图像数据，在同一个第一水平扫描期间，把数据信号 DATAa、DATAb 输出至数据信号输出线。但是，也可以是，在第一水平期间两次读取图像数据 DATAa、DATAb 并进行锁存，在接下来的第二水平期间，把对应被锁存的图像数据的数据信号 DATAa、DATAb 输出至数据信号输出线。另外，图 15 中表示读取次数 $RN=2$ 的情况，但是，也可以是 $RN \geq 3$ 。

根据图 15 的方法，如图 16 所示，从各存储块读取对应于 30 根的数据信号的图像数据，各数据驱动器 DRa、DRb 则输出 30 根的数据信号。由此，从各数据驱动块输出 60 根的数据信号。如此，在图 15 中，如果通过一次读取而从各存储器读取对应于 30 根的数据信号的图像数据即可。所以，相比在一个水平扫描期间只读取一次的方法，可以减少图 16 的 D2 方向的存储单元、读出放大器的个数。其结果是，可以减小集成电路装置 D2 方向的宽度，可以实现超瘦长的细长芯片。特别是，一个水平扫描期间的长度在 QVGA 的情况下是 $52\mu\text{sec}$ 的水平。另一方面，存储器的读出时间例如是 40nsec 的水平，与 $52\mu\text{sec}$ 相比非常短。所以，即使在一个水平扫描期间的读取次数从一次增加到多次，对于显示特性并无多大的影响。

而且,图 14 (A) 是 QVGA (320×240) 的显示面板,如果使一个水平扫描期间的读取次数 $RN=4$,也可以适应于 VGA (640×480) 显示面板,从而可以增加设计的自由度。

而且,也可以用第一方法实现一个水平扫描期间多次读取,即:通过行地址译码器(字线选择电路)在一个水平扫描期间对各存储块内的不同的多根字线进行选择;也可以用第二方法实现一个水平扫描期间多次读取,即:通过行地址译码器在一个水平扫描期间对各存储块内的相同的字线进行多次选择;或者,也可以通过第一、第二方法的组合来实现。

5.3 数据驱动器、驱动单元的配置

数据驱动器和数据驱动器所含驱动单元的配置举例示于图 16。如图 16 所示,数据驱动块包括在 D1 方向堆积的多个数据驱动器 DRa、DRb (第一~第 m 个数据驱动器)。另外,各个数据驱动器 DRa、DRb 又包括多个 30 (广义地为 Q 个) 个驱动单元 DRC1~DRC30。

在存储块字线 WL1a 被选出、且如图 15 的 A1 所示从存储块读取第一次图像数据时,第一数据驱动器 DRa 根据 A3 所示的锁存信号 LATa,锁存读出的图像数据。而且,进行被锁存图像数据的 D/A 转换,并把对应于第一次读取的图像数据的数据信号 DATAa 如 A5 所示的那样输出至数据信号输出线。

另一方面,在存储块字线 WL1b 被选出、且如图 15 的 A2 所示从存储块读取第二次的图像数据时,第二数据驱动器 DRb 根据 A4 所示的锁存信号 LATa,锁存读出的图像数据。而且,进行被锁存图像数据的 D/A 转换,并把对应于第二次读取的图像数据的数据信号 DATAb 如 A6 所示的那样输出至数据信号输出线。

如上所述,各数据驱动器 DRa、DRb 输出对应 30 个像素的 30 根的数据信号,总共输出对应于 60 个像素的 60 根的数据信号。

如图 16 那样,如果沿 D1 方向配置(堆积)多个数据驱动器 DRa、DRb,则可以防止由于数据驱动器规模的大小而导致使集成电路装置 D2 方向的宽度 W 扩大的情况。另外,数据驱动器根据显示面板的类型采用各种构成。在这样的情况下,只要根据把多个数据驱动器沿 D1 方向配置的方法,就可以高效率地布置各种构成的数据驱动器。此外,图 16 示出了在 D1 方向上数据驱动器的配置数目为两个时的情况,但是配置数也可以大于等于 3 个。

而且,图 16 中各个数据驱动器 DRa、DRb 包括沿 D2 方向排列配置的 30 个(Q 个)驱动单元 DRC1~DRC30。这里,驱动单元 DRC1~DRC30 分别接收一个像素的图像数据。而且,进行一个像素的图像数据的 D/A 转换,输出对应一个像素图像数据的数据信号。这种驱动单元 DRC1~DRC30 的各单元可以包括数据的锁存电路、图 10(A)的 DAC(1 像素的 DAC)、图 10(B)和图 10(C)的输出部分 SQ。

而且,在图 16 中,显示面板水平扫描方向的像素数(在由多个集成电路装置分担并驱动显示面板的数据线的情况下,各集成电路装置所承担的水平扫描方向的像素数)为 HPN,数据驱动块的块数(块分割数)为 DBN,在一个水平扫描期间对驱动单元输入图像数据的输入次数为 IN。而且,IN 等于图 15 所说明的一个水平扫描期间的图像数据读取次数 RN。在这情况下,沿 D2 方向排列的驱动单元 DRC1~DRC30 的个数可以表示为 $Q = \text{HPN} / (\text{DBN} \times \text{IN})$ 。图 16 的情况下,因为 $\text{HPN} = 240$ 、 $\text{DBN} = 4$ 、 $\text{IN} = 2$,所以 $Q = 240 / (4 \times 2) = 30$ 个。

而且, 在驱动单元 DRC1 ~ DRC30 的 D2 方向的宽度 (间距) 为 WD、数据驱动块所含外围电路部分 (缓冲电路、配线区域等) 的 D2 方向的宽度为 WPCB 的情况下, 第一 ~ 第 N 电路块 CB1 ~ CBN 的 D2 方向的宽度 WB (最大宽度) 可以表示为 $Q \times WD \leq WB < (Q + 1) \times WD + WPCB$ 。另外, 在存储块所含外围电路部分 (行地址译码器 RD、配线区域) 的 D2 方向的宽度为 WPC 的情况下, 可以表示为 $Q \times WD \leq WB < (Q + 1) \times WD + WPC$ 。

而且, 显示面板水平扫描方向的像素数为 HPN、1 像素的图像数据的位数为 PDB、存储块的块数为 MBN (= DBN)、在一个水平扫描期间从存储块读取图像数据的读取次数为 RN。此时, 在读出放大器块 SAB 中沿 D2 方向排列的读出放大器 (输出一位图像数据的读出放大器) 的个数 P 可以表示为 $P = (HPN \times PDP) / (MBN \times RN)$ 。在图 16 的情况下, 由于 HPN = 240、PDP = 18、MBN = 4、RN = 2, 所以, $P = (240 \times 18) / (4 \times 2) = 54$ 个。而且, 个数 P 是与有效存储单元数对应的有效读出放大器数, 不包括伪存储单元用读出放大器等非有效读出放大器的个数。

而且, 读出放大器块 SAB 所含的各读出放大器的 D2 方向的宽度 (间距) 为 WS 时, 读出放大器块 SAB (存储块) 的 D2 方向的宽度 WSAB 可以表示为 $WSAB = P \times WS$ 。而且, 在存储块所含外围电路部分的 D2 方向的宽度为 WPC 时, 电路块 CB1 ~ CBN 的 D2 方向的宽度 WB (最大宽度) 可以表示为 $P \times WS \leq WB < (P + PDB) \times WS + WPC$ 。

5.4 数据驱动块的布局

数据驱动块更为详细的布局举例示于图 17。在图 17 中, 数据驱动块包括其各自输出对应一个子像素的图像数据的数据信号的多个子像素驱动单元 SDC1~SDC180。而且, 就该数据驱动块而言,

沿 D1 方向（沿子像素驱动单元长边的方向）配置多个子像素驱动单元的同时，沿垂直于 D1 的 D2 方向也配置多个子像素驱动单元。亦即，子像素驱动单元 SDC1 ~ SDC180 呈矩阵式配置。而且，用来实现数据驱动块输出线与显示面板的数据线电连接的焊盘则配置在数据驱动块的 D2 方向侧。

例如，图 16 的数据驱动器 DRa 的驱动单元 DRC1 由图 17 的子像素驱动单元 SDC1、SDC2、SDC3 构成。这里，SDC1、SDC2、SDC3 分别是 R（红）用、G（绿）用、B（兰）用的子像素驱动单元，从存储块输入对应第一根数据信号的 R、G、B 图像数据（R1、G1、B1）。而且，子像素驱动单元 SDC1、SDC2、SDC3 对这些图像数据（R1、G1、B1）进行 D/A 转换，把第一根 R、G、B 数据信号（数据电压）输出至对应第一根数据线的 R、G、B 用焊盘。

同样，驱动单元 DRC2 由 R 用、G 用、B 用的子像素驱动单元 SDC4、SDC5、SDC6 构成。从存储块输入对应第二根数据信号的 R、G、B 图像数据（R2、G2、B2）。而且，子像素驱动单元 SDC4、SDC5、SDC6 对这些图像数据（R2、G2、B2）进行 D/A 转换，把第二根 R、G、B 数据信号（数据电压）输出至对应第二根数据线的 R、G、B 用焊盘。其它子像素驱动单元也是一样。

而且，子像素的数目并不限定于三个，也可以大于等于四个。另外，子像素驱动单元的配置也不限于图 17，也可以是例如把 R 用、G 用、B 用子像素驱动单元沿 D2 方向堆积配置。

5.5 存储块的布局

存储块的布局举例示于图 18。图 18 详细表示存储块中对应于一个像素（R、G、B 各为 6 位，合计 18 位）的部分。

对应于读出放大器块中一个像素的部分包括 R 用读出放大器 SAR0~SAR5、G 用读出放大器 SAG0~SAG5、B 用读出放大器 SAB0~SAB5。另外，在图 18 中沿 D1 方向堆积配置两个（广义为多个）读出放大器（及缓冲器）。而且，在堆积配置的读出放大器 SAR0~SAR1 的 D1 方向侧沿 D1 方向排列的 2 行存储单元列中上侧行的存储单元列的位线例如连接于 SAR0，下侧行的存储单元列的位线例如连接于 SAR1。而且，SAR0、SAR1 对从存储单元读取的图像数据的信号进行放大，由此，从 SAR0、SAR1 输出 2 位图像数据。其它读出放大器和存储单元的关系也是一样。

在图 18 的构成的情况下，如图 15 所示的一个水平扫描期间图像数据的多次读取可以如下述来实现。亦即，在第一水平扫描期间（第一扫描线选择期间）先选择字线 WL1a，进行图像数据的第一次读取，如图 15 的 A5 所示，输出第一次数据信号 DATAa。在此情况下，来自读出放大器 SAR0~SAR5、SAG0~SAG5、SAB0~SAB5 的 R、G、B 图像数据被分别输入至子像素驱动单元 SDC1、SDC2、SDC3。接着，在同一个第一水平扫描期间选择字线 WL1b，进行图像数据的第二次读取，如图 15 的 A6 所示，输出第二次数据信号 DATAb。在此情况下，来自读出放大器 SAR0~SAR5、SAG0~SAG5、SAB0~SAB5 的 R、G、B 图像数据被分别输入至图 17 的子像素驱动单元 SDC91、SDC92、SDC93。另外，在接下来的第二水平扫描期间（第二个扫描线选择期间），先选择字线 WL2a，进行图像数据的第一次读取，并输出第一次的数据信号 DATAa。接着，在同一个第二水平扫描期间，选择字线 WL2b，进行图像数据的第二次读取，并输出第二次的数据信号 DATAb。

而且，也可以实施不在 D1 方向堆积配置读出放大器的变形。而且，也可以用列选择信号切换连接于各读出放大器的存储单元列。在这情况下，通过在存储块内、在一个水平扫描期间多次选择相同字线，可以实现一个水平扫描期间的多次读取。

5.6 子像素驱动单元的布局

子像素驱动单元的详细布局举例示于图 19。如图 19 所示，各个子像素驱动单元 SDC1 ~ SDC180 包括锁存电路 LAT、电平移位器 L/S、D/A 转换器 DAC、以及输出部 SSQ。此外，也可以在锁存电路 LAT 和电平移位器 L/S 之间设置用于灰阶控制的 FRC (Frame Rate Control: 帧速控制) 电路等其它逻辑电路。

各个子像素驱动单元所含锁存电路 LAT 用于锁存来自存储块 MB1 的作为一个子像素的 6 位图像数据。电平移位器 L/S 对来自锁存电路 LAT 的 6 位图像数据信号进行电压电平的变换。D/A 转换器 DAC 用灰阶电压进行 6 位图像数据的 D/A 转换。输出部 SSQ 包括用于进行 D/A 转换器 DAC 的输出信号的阻抗变换的运算放大器 OP (连接电压跟随器)，驱动对应于一个子像素的一根数据线。而且，输出部 SSQ 除了运算放大器 OP 外还可以包括放电用、8 色显示用 DAC 驱动用的晶体管 (开关元件)。

而且，如图 19 所示，各个子像素驱动单元包括：LV 区域 (广义地，第一电路区)，配置有以 LV (Low Voltage, 低电压) 的电压电平 (广义为第一电压电平) 的电源进行工作的电路；以及 MV 区域 (广义为第二电路区)，配置有以高于 LV 的 MV (Middle Voltage-中等电压) 电压电平 (广义为第二电压电平) 的电源进行工作的电路。这里，LV 是逻辑电路块 LB、存储块 MB 等的工作电压。MV 是 D/A 转换器、运算放大器、电源电路等的工作电压。而且，扫描驱动器的输出晶体管由 HV (High Voltage: 高电压) 电压电平 (广义为第三电压电平) 的电源供电，并驱动扫描线。

例如，在子像素驱动单元的 LV 区域 (第一电路区) 中配置锁存电路 LAT (或者其他的逻辑电路)。另外，在 MV 区域配置包括

D/A 转换器 DAC、运算放大器 OP 的输出部 SSQ。电平移位器 L/S 将 LV 电压电平的信号变换成 MV 电压电平的信号。

而且，在图 19 中，在子像素驱动单元 SDC1 ~ SDC180 的 D4 方向侧设有缓冲电路 BF1。该缓冲电路 BF1 用来暂存来自逻辑电路 LB 的驱动器控制信号，并输出至子像素驱动单元 SDC1 ~ SDC 180。换言之，是作为驱动器控制信号的转发器块而发挥作用。

具体地说，缓冲电路 BF1 包括配置在 LV 区域的 LV 缓冲器和配置在 MV 区域的 MV 缓冲器。而且，LV 缓冲器接受来自逻辑电路 LB 的 LV 电压电平的驱动器控制信号（锁存信号等）并暂存，再输出至配置在其 D2 方向侧的子像素驱动单元的 LV 区域的电路（LAT）。另外，MV 缓冲器接受来自逻辑电路 LB 的 LV 电压电平的驱动器控制信号（DAC 控制、输出控制信号等），并且通过电平移位器变换成 MV 的电压电平并暂存，再输出至配置在其 D2 方向一侧的子像素驱动单元的 MV 区域的电路（DAC、SSQ）。

而且，例如图 19 所示，在本实施中，以各个子像素驱动单元的 MV 区域（或者同为 LV 区域的）沿 D1 方向彼此邻接的方式，配置子像素驱动单元 SDC1 ~ SDC180。亦即，邻接的子像素驱动单元隔着沿 D2 方向的邻接边界镜像配置。例如，以 MV 区域彼此邻接的方式，配置子像素驱动单元 SDC1 和 SDC2。而子像素驱动单元 SDC3 和 SDC91 也配置成 MV 区域彼此邻接。而且，子像素驱动单元 SDC2 和 SDC3 配置成 LV 区域彼此邻接。

如果如图 19 所示以 MV 区域邻接的方式配置，则不需在子像素驱动单元之间设置护圈。所以，相比于使 MV 区域和 LV 区域邻接的方法，可以缩小数据驱动块的 D1 方向的宽度，实现集成电装置的小面积化。

另外,根据图 19 的配置方法,可以将彼此邻接的子像素驱动单元(驱动单元)的 MV 区域作为子像素驱动单元(驱动单元)的输出信号的引出线的配线区域而有效利用,从而可以提高布局的效率。

而且,根据图 19 的配置方法,可以将存储块相对于子像素驱动单元的 LV 区域(第一电路区)邻接配置。例如在图 19 中,将存储块 MB1 邻接于子像素驱动单元 SDC1、SDC88 的 LV 区域而配置。另外,存储块 MB2 邻接于子像素驱动单元 SDC93、SDC180 的 LV 区域而配置。而且,存储块 MB1、MB2 通过 LV 电压电平的电源进行工作。所以,如上所述,邻接存储块而配置子像素驱动单元的 LV 区域,就能有效缩小由数据驱动块及存储块构成的驱动器宏单元在 D1 方向的宽度,实现集成电路装置的小面积化。

另外,即使在集成电路装置不包括存储块的情况下,也可以根据图 19 的方法把在图 13 中说明的转发器块配置在相邻的子像素驱动单元的 LV 区域之间的区域内。由此,可以是,来自逻辑电路块 LB 的 LV 电压电平的信号(图像数据信号)由转发器块暂存,再输入子像素驱动单元。

5.7 D/A 转换器

图 20 中示出了子像素驱动单元所包含的 D/A 转换器(DAC)的详细构成例。该 D/A 转换器是进行所谓的竞争式 D/A 转换的电路,包括灰阶电压选择器 SLN1~SLN11、SLP1~SLP11 和预译码器 120。

在此,灰阶电压选择器 SLN1~SLN11 是由 N 型(广义上,第一导电型)晶体管构成的选择器,灰阶电压选择器 SLP1~SLP11 是由 P 型(广义上,第二导电型)晶体管构成的选择器,这些 N 型、

P型晶体管成对构成传输门。例如，构成SLN1的N型晶体管和构成SLP1的P型晶体管成对构成传输门。

灰阶电压选择器SLN1~SLN8、SLP1~SLP8的输入端子上分别连接有V0~V3、V4~V7、V8~V11、V12~V15、V16~V19、V20~V23、V24~V27、V28~V31的灰阶电压供给线。于是，预译码器120中输入图像数据D0~D5，进行图21(A)的真值表所示的解码处理。接着，分别将选择信号S1~S4、XS1~XS4输出给灰阶电压选择器SLN1~SLN8、SLP1~SLP8。而且，还分别将选择信号S5~S8、XS5~XS8输出给SLN9以及SLN10、SLP9以及SLP10，将S9~S12、XS9~XS12分别输出给SLN11、SLP11。

例如，当图像数据D0~D5为(100000)时，如图21(A)的真值表所示，选择信号S2、S5、S9(XS2、XS5、XS9)激活。由此，灰阶电压选择器SLN1、SLP1选择灰阶电压V1，SLN9、SLP9选择SLN1、SLP1的输出，SLN11、SLP11选择SLN9、SLP9的输出。因此，灰阶电压V1输出给输出部SSQ。同样，当图像数据D0~D5为(010000)时，由于选择信号S3(XS3)激活，所以灰阶电压选择器SLN1、SLP1选择灰阶电压V2，灰阶电压V2输出给输出部SSQ。而且，当图像数据D0~D5为(001000)时，选择信号S1、S6、S9(XS1、XS6、XS9)激活。由此，灰阶电压选择器SLN2、SLP2选择灰阶电压V4，SLN9、SLP9选择SLN2、SLP2的输出，SLN11、SLP11选择SLN9、SLP9的输出。因此，灰阶电压V4输出给输出部SSQ。

接着，在本实施例中，如图21(B)、(C)所示，用于向图20的D/A转换器提供灰阶电压V0~V31的灰阶电压供给线跨过多个子像素驱动单元，沿D2(D4)方向配线。例如，在图21(B)中，灰阶电压供给线跨过沿D2方向排列的子像素驱动单元SDC1、SDC4、SDC7，在D2方向上配线。而且，如图21(B)、(C)所示，

这些灰阶电压供给线配线在 D/A 转换器（灰阶电压选择器）的配置区域上。

更具体而言，如图 21（B）所示，在子像素驱动单元的 D/A 转换器的配置区域内，沿 D2 方向配置有 N 型晶体管区域（P 型势阱）、P 型晶体管区域（N 型势阱）。另一方面，在子像素驱动单元的除了 D/A 转换器之外的电路（输出部、电平移位器、锁存电路）的配置区域内，沿与 D2 方向正交的 D1 方向配置有 N 型晶体管区域（P 型势阱）、P 型晶体管区域（N 型势阱）。换句话说，隔着沿 D1 方向的邻接边界，镜像配置沿 D2 方向邻接的子像素驱动单元。例如，驱动单元 SDC1 和 SDC4 隔着其邻接边界进行镜像配置，SDC4 和 SDC7 隔着其邻接边界进行镜像配置。

例如，构成子像素驱动单元 SDC1 的 D/A 转换器的灰阶电压选择器 SLN1 ~ SLN11 的 N 型晶体管在图 21（B）所示的子像素驱动单元的 N 型晶体管区域 NTR1 内形成，构成灰阶电压选择器 SLP1 ~ SLP11 的 P 型晶体管在 P 型晶体管区域 PTR1 内形成。具体而言，如图 21（C）所示，构成灰阶电压选择器 SLN11 的 N 型晶体管 TRF1、TRF2、和构成灰阶电压选择器 SLN9、SLN10 的 N 型晶体管 TRF3、TRF4 在 N 型晶体管区域 NTR1 内形成。另外，构成灰阶电压选择器 SLP11 的 P 型晶体管 TRF5、TRF6、和构成灰阶电压选择器 SLP9、SLP10 的 P 型晶体管 TRF7、TRF8 在 P 型晶体管区域 PTR1 内形成。接着，相对于子像素驱动单元的其它电路的 N 型晶体管区域、P 型晶体管区域沿 D1 方向配置，N 型晶体管区域 NTR1、P 型晶体管区域 PTR1 沿 D2 方向配置。

在图 20 的 D/A 转换器中，例如构成灰阶电压选择器 SLN1 的 N 型晶体管、和构成灰阶电压选择器 SLP1 的 P 型晶体管成对构成传输门。因此，如果沿 D2 方向配线灰阶电压供给线的话，能够对

这些 P 型、N 型晶体管共同连接灰阶电压供给线，使传输门容易地构成，从而提高布局效率。

另一方面，需要向 D/A 转换器之外的电路、例如锁存电路输入来自存储块的图像数据。于是，如图 21 (B) 所示，通过沿 D1 方向配线的图像数据供给线提供该图像数据。而且从图 19 的布局明显看出子像素驱动单元内的信号流向为 D1 方向。因此，如果如图 21 (B) 所示，沿 D1 方向并排配置 D/A 转换器之外的电路的 N 型晶体管区域、P 型晶体管区域，便能够进行沿信号流向的高效的布局。因此，图 21 (B) 所示的晶体管区域的排列对于像图 19 所示这样配置的子像素驱动单元而言是最合适的布局。

5.8 排列替换配线区

图 22 是在焊盘上的配线方法的说明图。如图 22 的 F1、F2 所示，子像素驱动单元的输出信号（数据信号）的引出线沿 D2 方向（纵向）配线。这些引出线用于从数据驱动块中引出子像素驱动单元（驱动单元）的输出信号，它们例如由第 4 层的铝配线层 ALD 形成。在图 22 中，在子像素驱动单元（驱动单元）的配置区域上设有用于排列替换这些引出线的排列顺序的排列替换配线区（第一、第二排列替换配线区）。具体而言，排列替换配线区形成在第一、第二层的铝配线层 ALA、ALB 的上层，其中，第一、第二层的铝配线层 ALA、ALB 是子像素驱动单元内的局部线。在这些排列替换配线区内，按照与焊盘的排列顺序相应的顺序，排列替换引出线的排列顺序。

即，F1 所示的第一组的引出线是属于第一组的子像素驱动单元 SDC1、SDC2、SDC4、SDC5、SDC7、SDC8... 的输出信号的引出线，这些引出线在第一排列替换配线区排列替换排列顺序。具体而言，在第一排列替换配线区中，按照焊盘 P1、P2、P4、P5、P7、

P8...的顺序排列替换引出线的排列顺序。另一方面，F2所示的第二组的引出线是属于第二组的子像素驱动单元SDC3、SDC6、SDC9...的输出信号的引出线，这些引出线在第二排列替换配线区排列替换排列顺序。具体而言，在第二排列替换配线区中，按照焊盘P3、P6、P9...的顺序排列替换引出线的排列顺序。

如果像这样在子像素驱动器内设置排列替换配线区，排列替换配线，能够将F3所示的作为焊盘配置区与数据驱动块间的配线区的区域中的配线的排列替换抑制为最少。其结果，能够缩小F3所示的配线区在D2方向上的宽度，从而实现微型的细长芯片。

此外，在F3所示的配线区内，用于连接F1所示的第一组引出线和焊盘P1、P2、P4、P5、P7、P8...的连接线通过第三层的铝配线层ALC（广义上，所给定层的线）配线。另一方面，用于连接F2所示的第二组引出线和焊盘P3、P6、P9...的连接线通过第四层的铝配线层ALD（广义上，与所给定层不同的层的线）配线。

而且，在图22中，用于变更引出线的引出位置的引出位置变更线在排列替换配线区内配线。例如，在F4中，对用于变更子像素驱动单元SDC1、SDC2的输出信号的引出位置的引出位置变更线QCL1、QCL2进行配线。具体而言，引出位置变更线QCL1、QCL2跨过沿D1方向配置的多个子像素驱动单元SDC1、SDC2，在D1方向（横向）上配线。此外，这些引出位置变更线QCL1、QCL2通过第三层的铝配线层ALC配线。此时，用于向子像素驱动单元SDC1、SDC2提供图像数据的图像数据供给线也通过与引出位置变更线QCL1、QCL2同一层的铝配线层ALC，沿D1方向配线在子像素驱动单元上。另一方面，F1、F2中示出的引出线通过与引出位置变更线QCL1、QCL2不同层的铝配线层ALD配线。

进而，在图 22 中，用于向子像素驱动单元的 D/A 转换器提供灰阶电压的灰阶电压供给线如 F5、F6 所示，跨过多个子像素驱动单元沿 D2 方向配线。具体而言，灰阶电压供给线通过与引出线同一层的铝配线层 ALD 配线。

根据上述的图 22 中的配线方法，能够使用双层铝配线层 ALC、ALD 高效地对引出位置变更线、图像数据供给线、引出线、灰阶电压供给线进行配线，提高布局效率。并且，由于可将数据驱动块在 D1、D2 方向上的宽度增加抑制为最小，因而不但能够实现微型的细长芯片，而且还能缩小集成电路装置的面积。

6. 电子设备

包括本实施例的集成电路装置 10 的电子设备（电气光学装置）的例子示于图 23(A)、(B)。而且，电子设备还可以包括图 23(A)、(B) 所示以外的构成部件（比如照相机、操作部或电源等）。而且，本实施例的电子设备并不限定在便携式电话机，数码相机、PDA、电子备忘录、电子词典、投影仪、背投电视机或者便携式信息终端等等均可。

在图 23(A)、图 23(B) 中，主机设备 410 比如是 MPU (Micro Processor Unit, 微处理单元)、基带引擎（基带处理器）等。该主机设备 410 进行显示驱动器即集成电路装置 10 的控制。或者，也可以进行作为应用引擎和基带引擎的处理、以及压缩、伸长、校准等的作为图像引擎的处理。另外，图 23(B) 的图像处理控制器 420 则代替主机设备 410，进行压缩、伸长、校准等作为图像引擎的处理。

显示面板 400 包括多根数据线（源极线）、多根扫描线（栅极线）、以及由数据线及扫描线确定的多个像素。而且，通过改变各

个像素区域的电气光学元件（狭义的是液晶元件）的光学特性来实现显示动作。该显示面板 400 可以由采用 TFT、TFD 等开关元件的有源矩阵方式的面板构成。而且，显示面板 400 也可以是有源矩阵方式以外的面板，也可以是液晶面板以外的面板。

在图 23 (A) 的情况下，作为集成电路装置 10，可以用存储器内置型的。亦即，在此情况下，集成电路装置 10 把来自主机 410 的图像数据暂时写入内置存储器，并且从内置存储器读出被写入的图像数据，用于驱动显示面板。另一方面，在图 23 (B) 的情况下，作为集成电路装置 10 可以用存储器非内置的存储器。亦即，在此情况下，来自主机 410 的图像数据被写入图像处理控制器 420 的内置存储器中。而且，集成电路装置 10 在图像处理控制器 420 的控制下驱动显示面板 400。

如上所述，有关本实施例作了详细地说明。可以实施实质上脱离本发明的新内容及效果的多种变形，对于本领域技术人员来说，想必容易理解这一点。因此，这类变形应全部包括在本发明的范围内。例如，在说明书或者附图中，至少一次与更为广义或者同义的不同用语（第一接口区域、第二接口区域、K 个等）一起记载的用语（输出侧 I/F 区、输入侧 I/F 区、两个等）在说明书和附图的任何地方都可以置换为不同的用语。另外，在焊盘配置区域配置控制晶体管的本实施例的方法也可以适用于与图 3 不同的配置、构成的集成电路装置。

附图标记说明

CB1-CBN	第一-第 N 电路块	DB	数据驱动块
MB	存储块	PDB	焊盘块
DMC1-DMC4	驱动器宏单元	DRC1-DRC30	驱动单元
SDC1-SDC180	子像素驱动单元		
10	集成电路装置	12	输出侧 I/F 区
14	输入侧 I/F 区	20	存储器
22	存储单元阵列	24	行地址译码器
26	列地址译码器	28	写/读电路
40	逻辑电路	42	控制电路
44	显示时刻控制电路	46	主接口电路
48	RGB 接口电路	50	数据驱动器
52	数据锁存电路	54	D/A 变换电路
56	输出电路	70	扫描驱动器
72	移位寄存器		

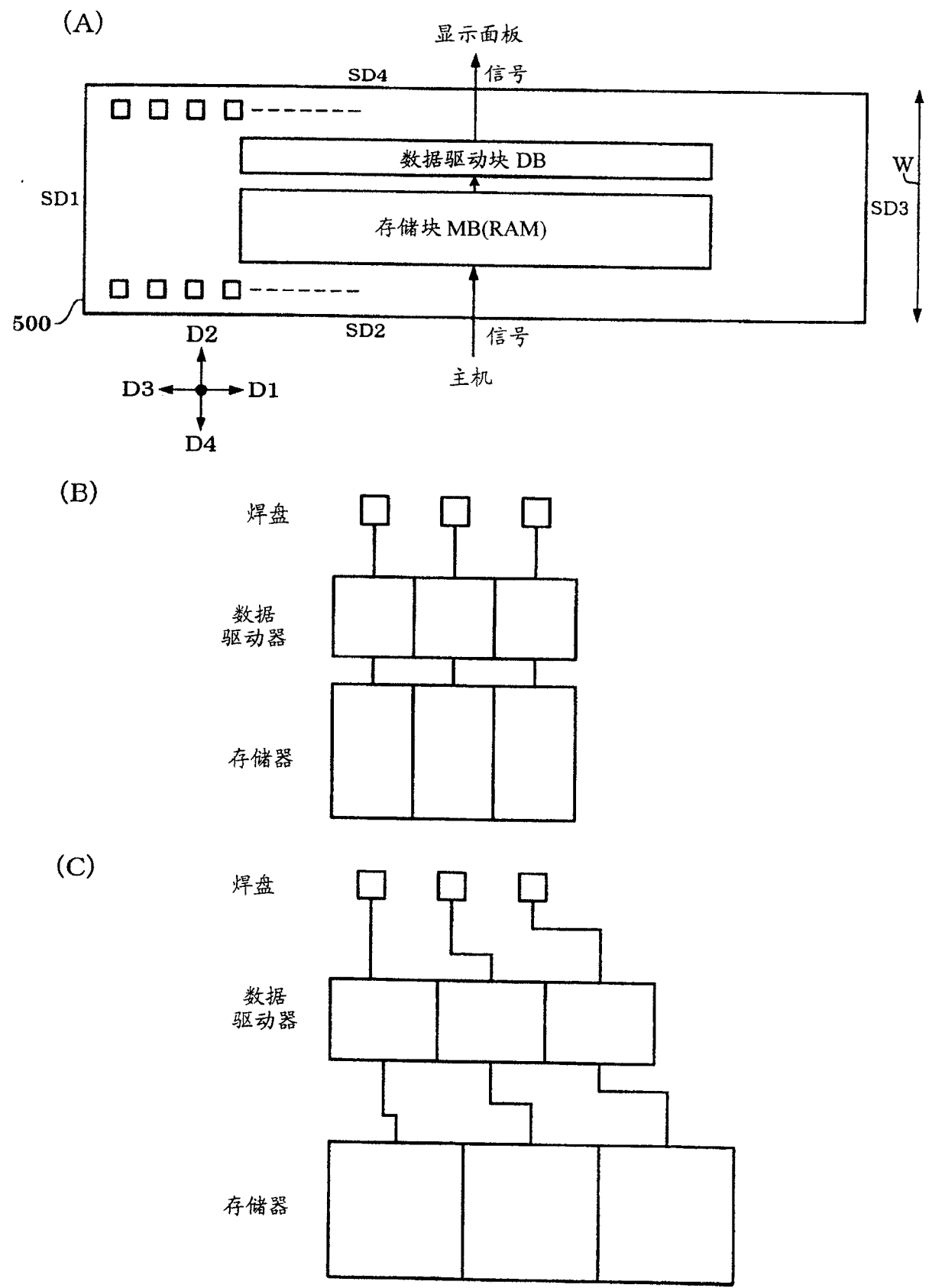
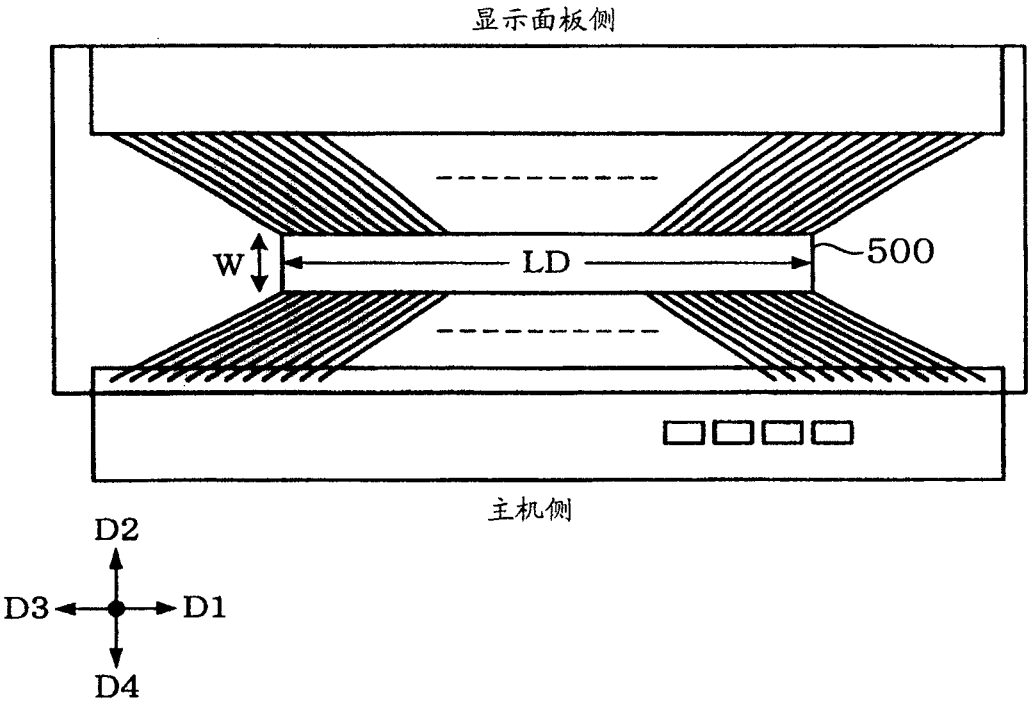


图 1

(A)



(B)

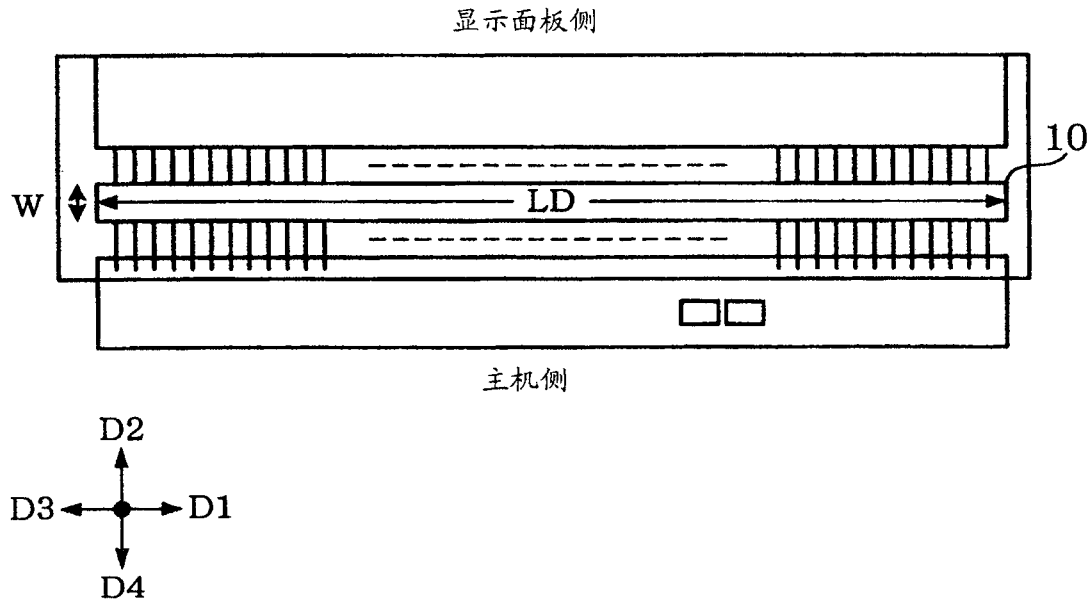


图 2

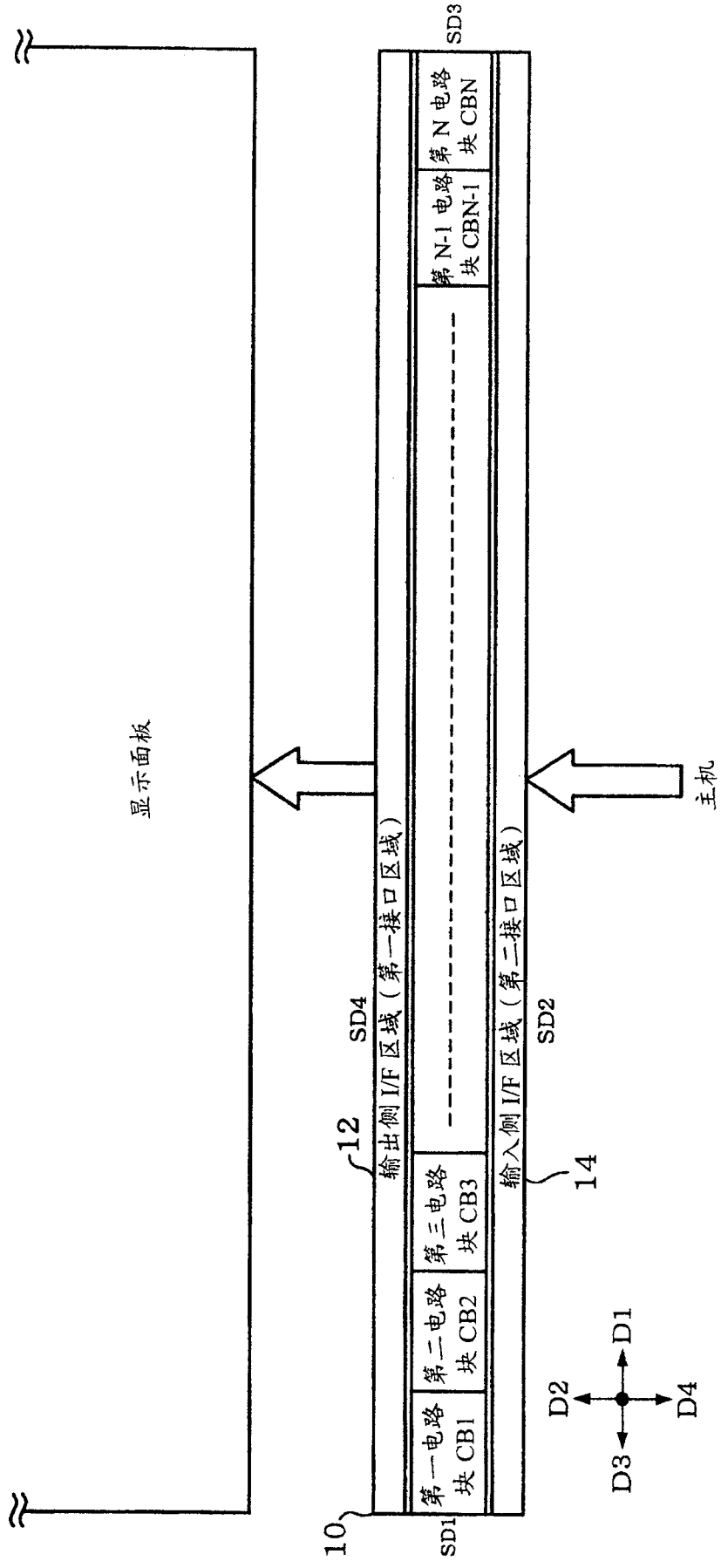


图 3

	内置存储器 (RAM)		非内置存储器		CSTN	TFD
	非晶形 TFT	低温多晶硅 TFT	非晶形 TFT	低温多晶硅 TFT		
存储器 (RAM)	○	○	×	×	○	○
数据驱动器	○	○	○	○	○	○
扫描驱动器	○	×	○	×	○	○
逻辑电路 (G/A)	○	○	○	○	○	○
灰阶电压生成电路 (V)	○	○	○	○	×	×
电源电路	○	○	○	○	○	○

图 4

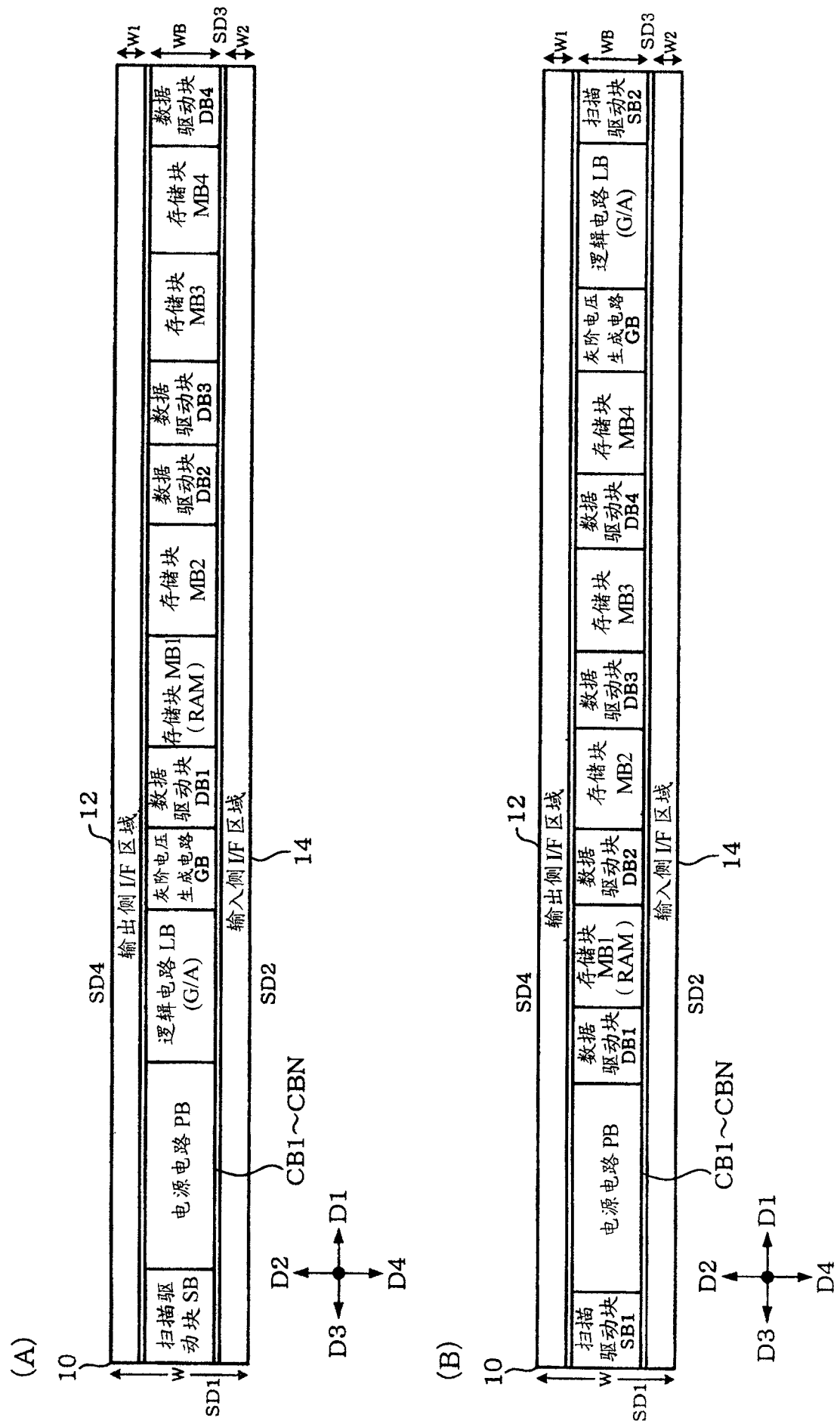


图 5

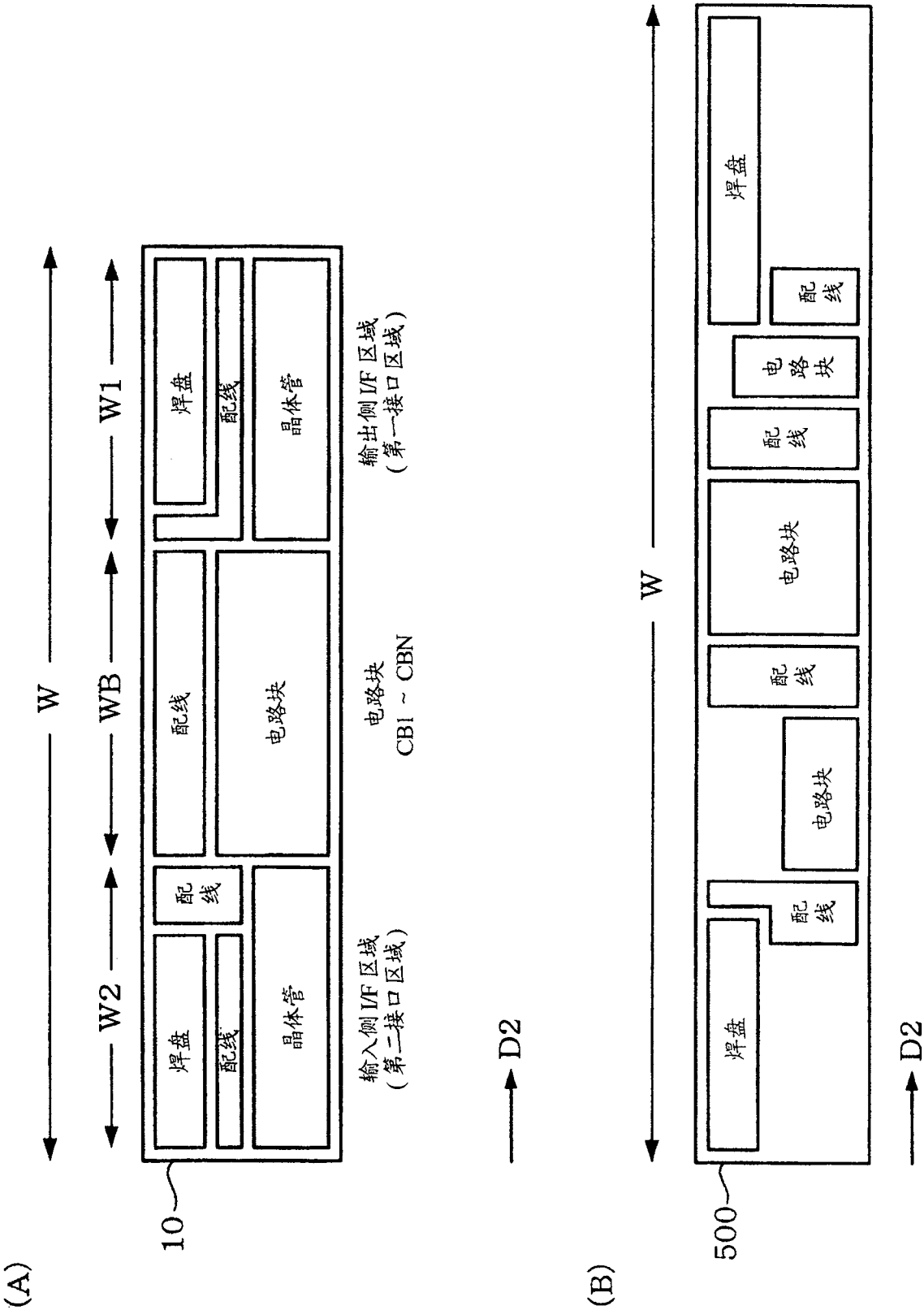


图 6

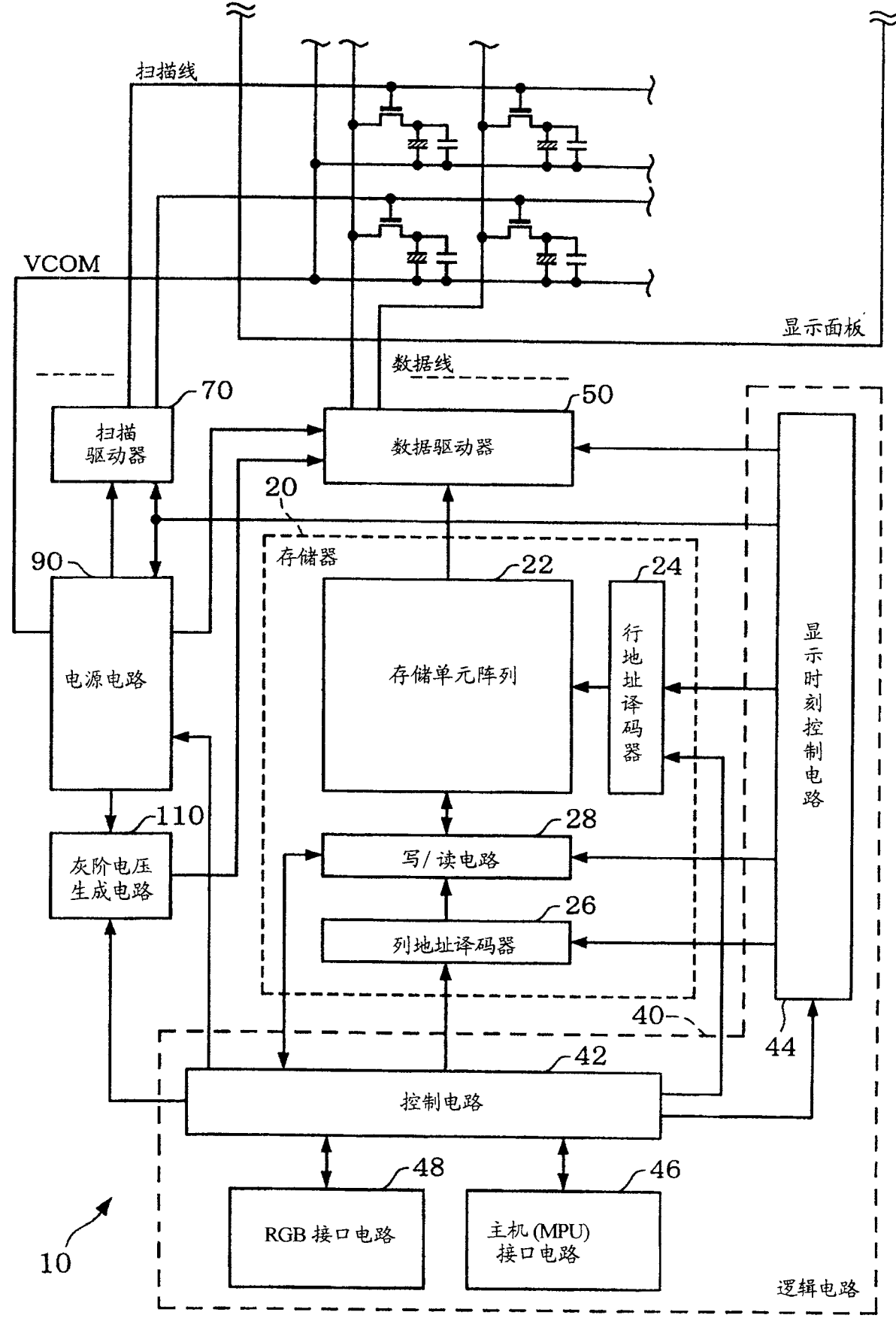


图 7

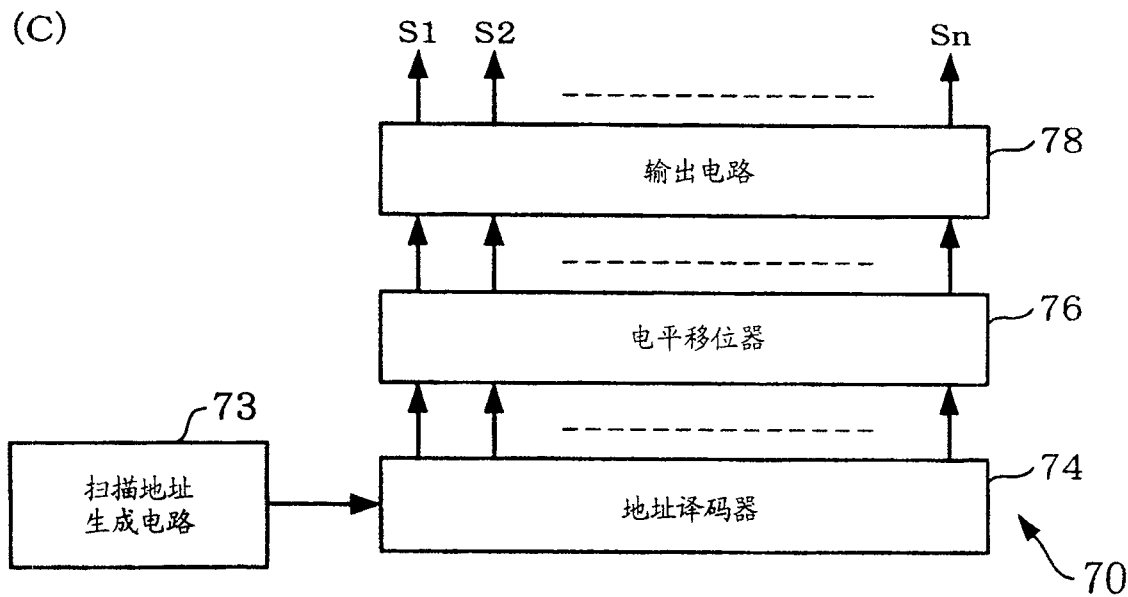
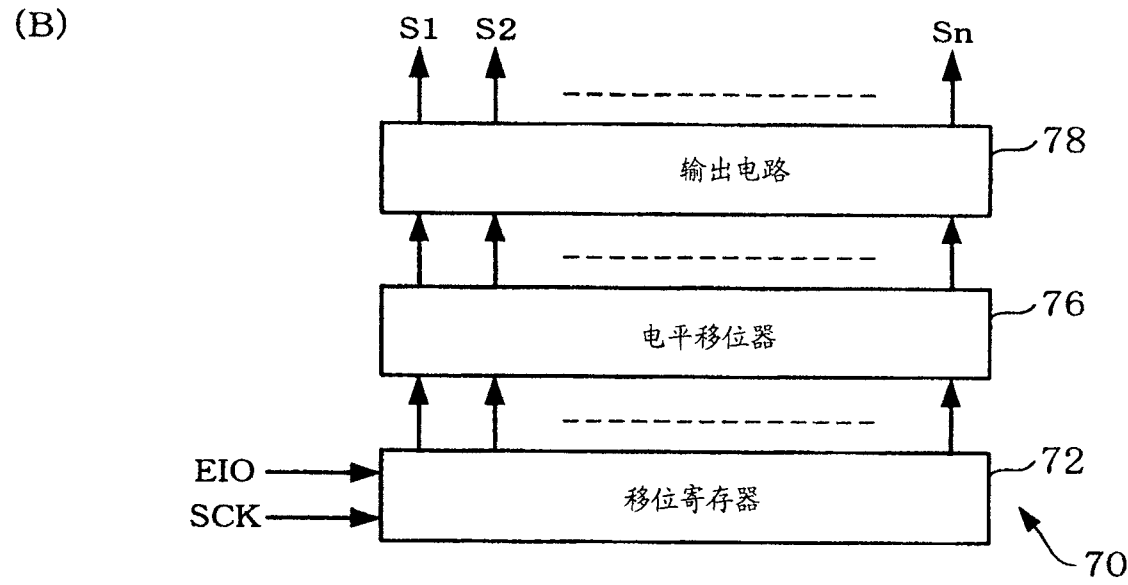
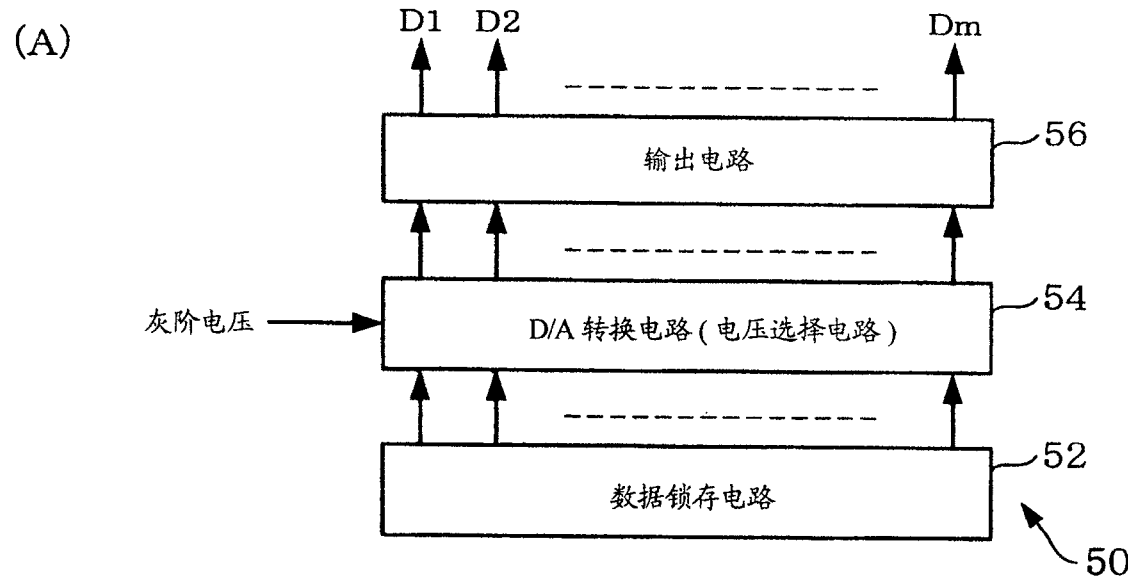


图 8

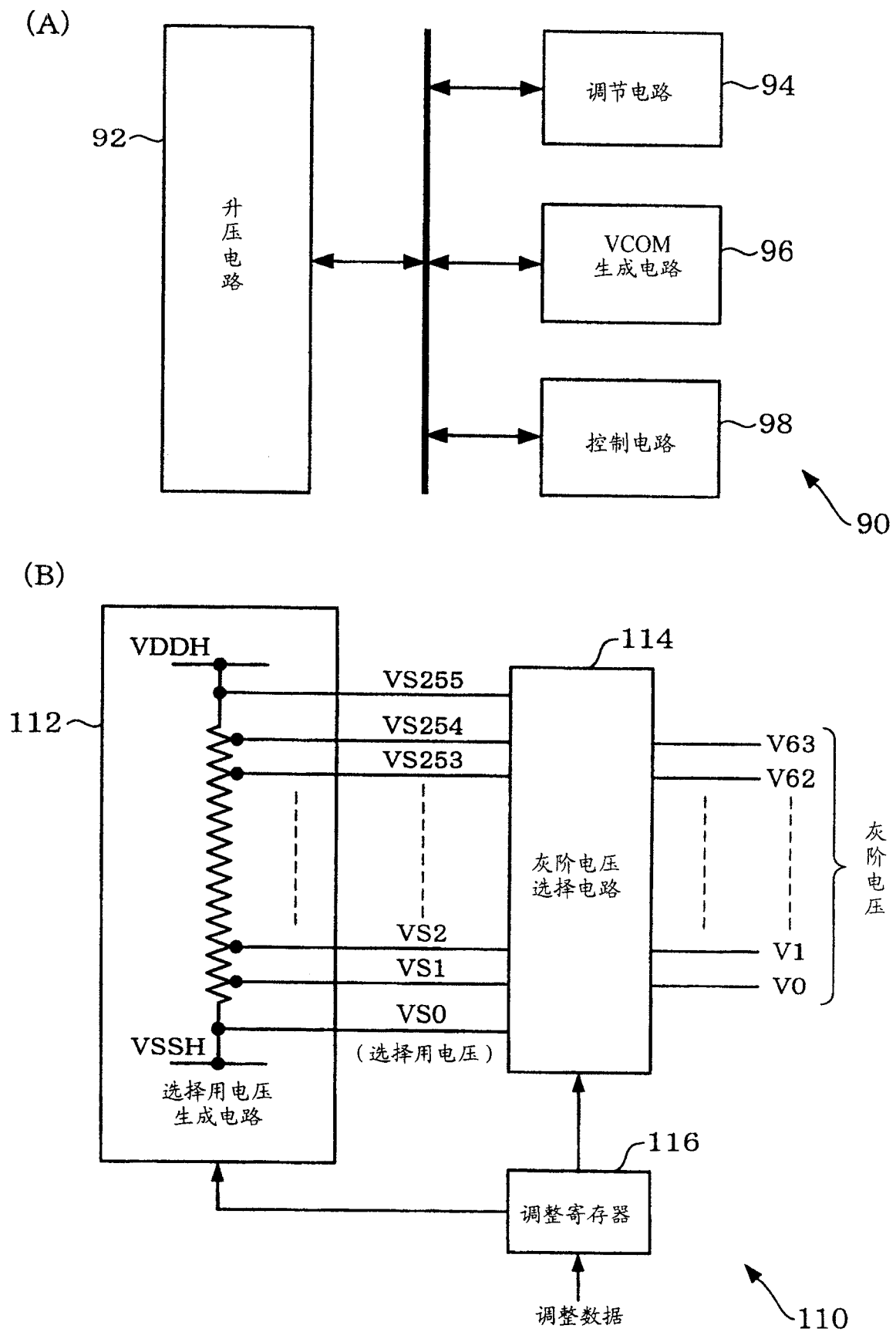


图 9

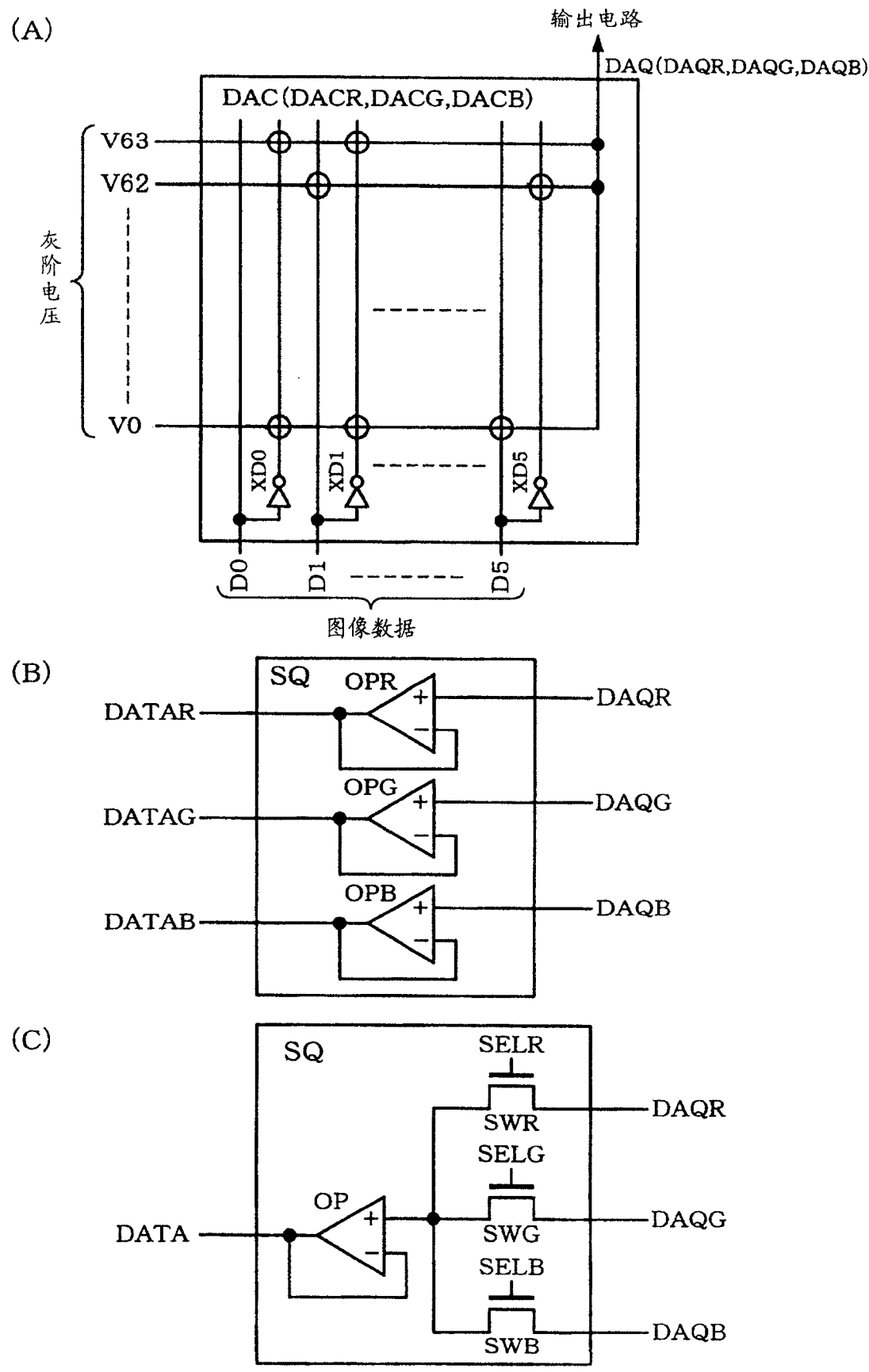


图 10

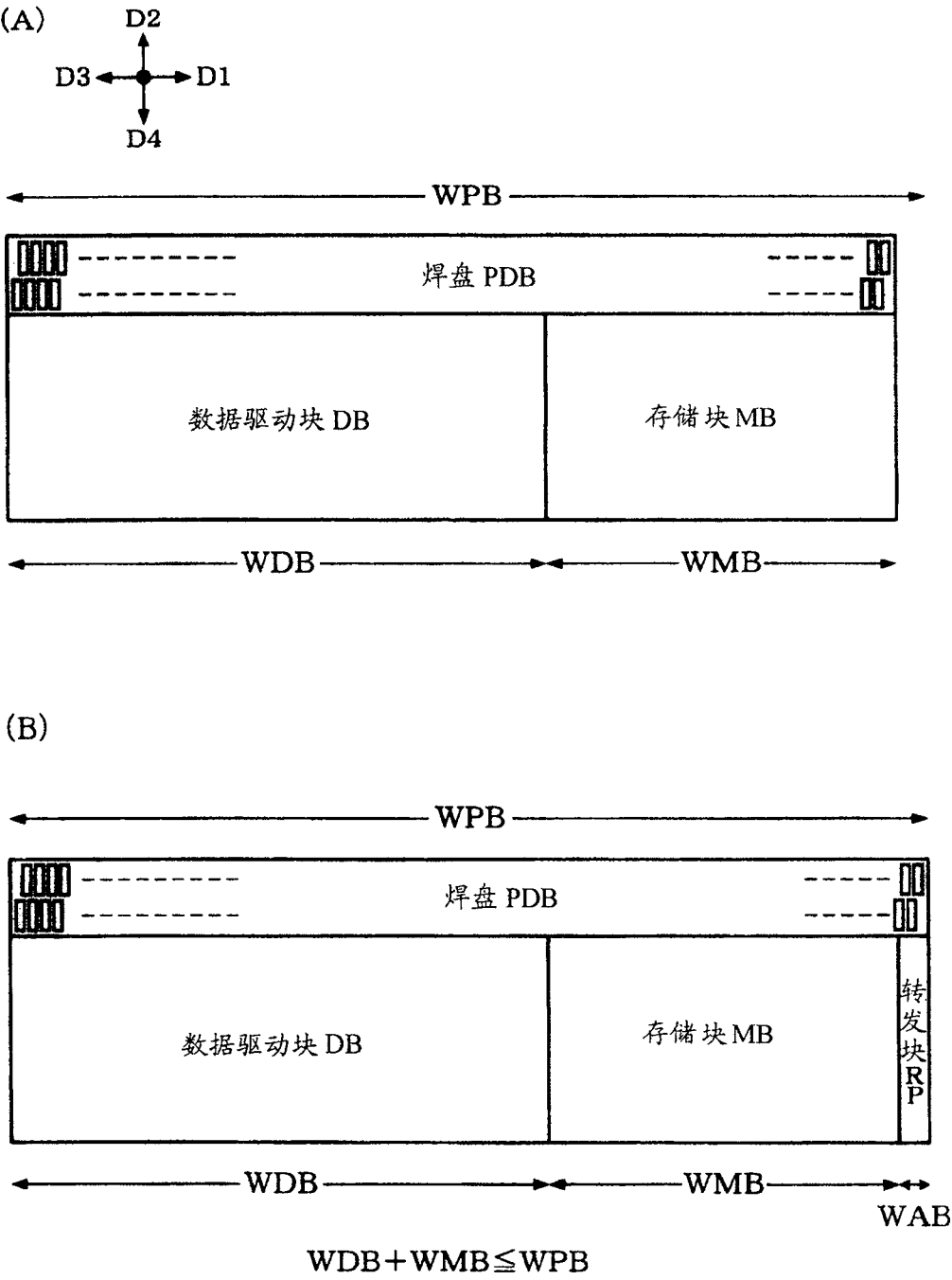


图 11

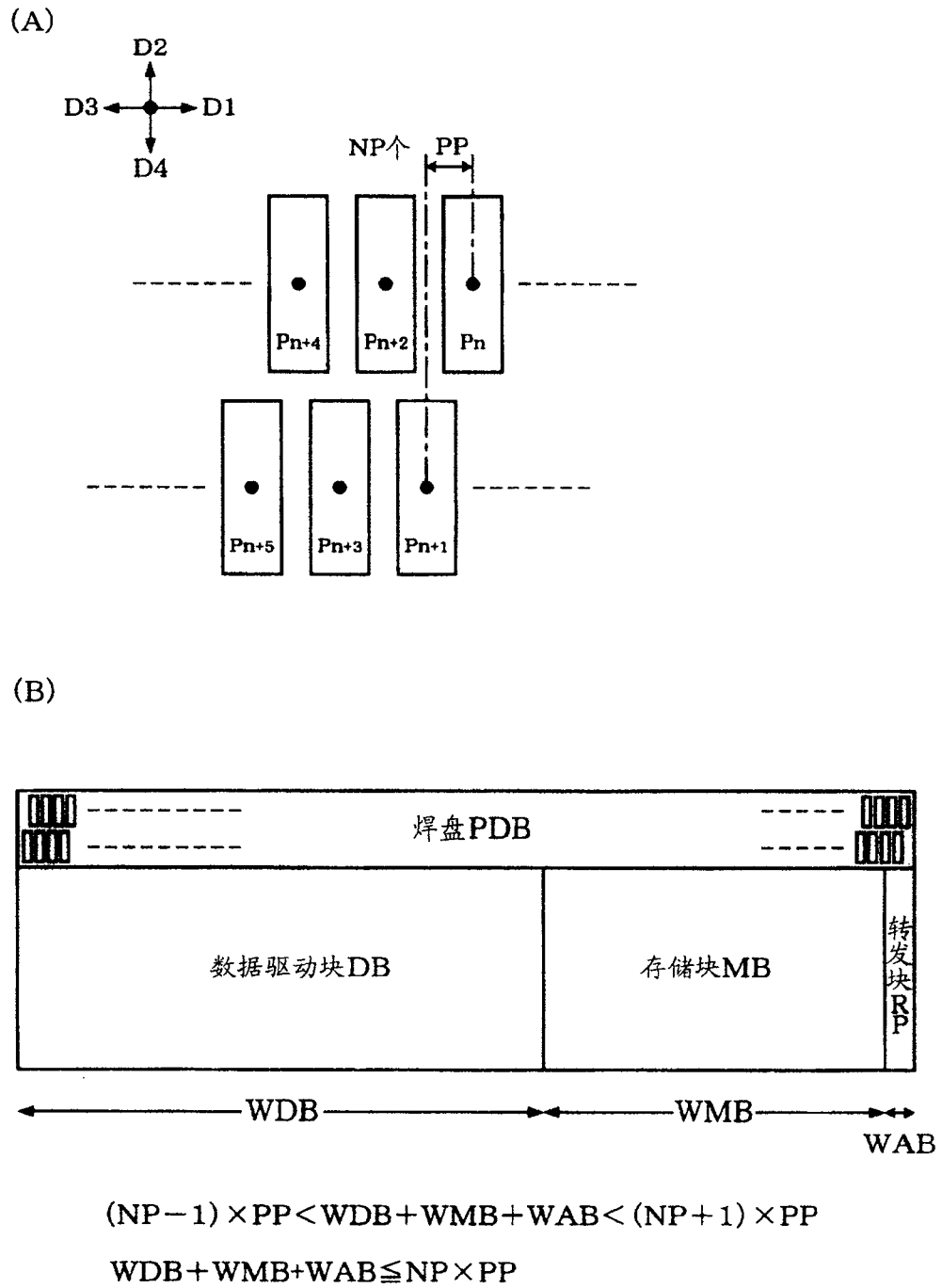


图 12

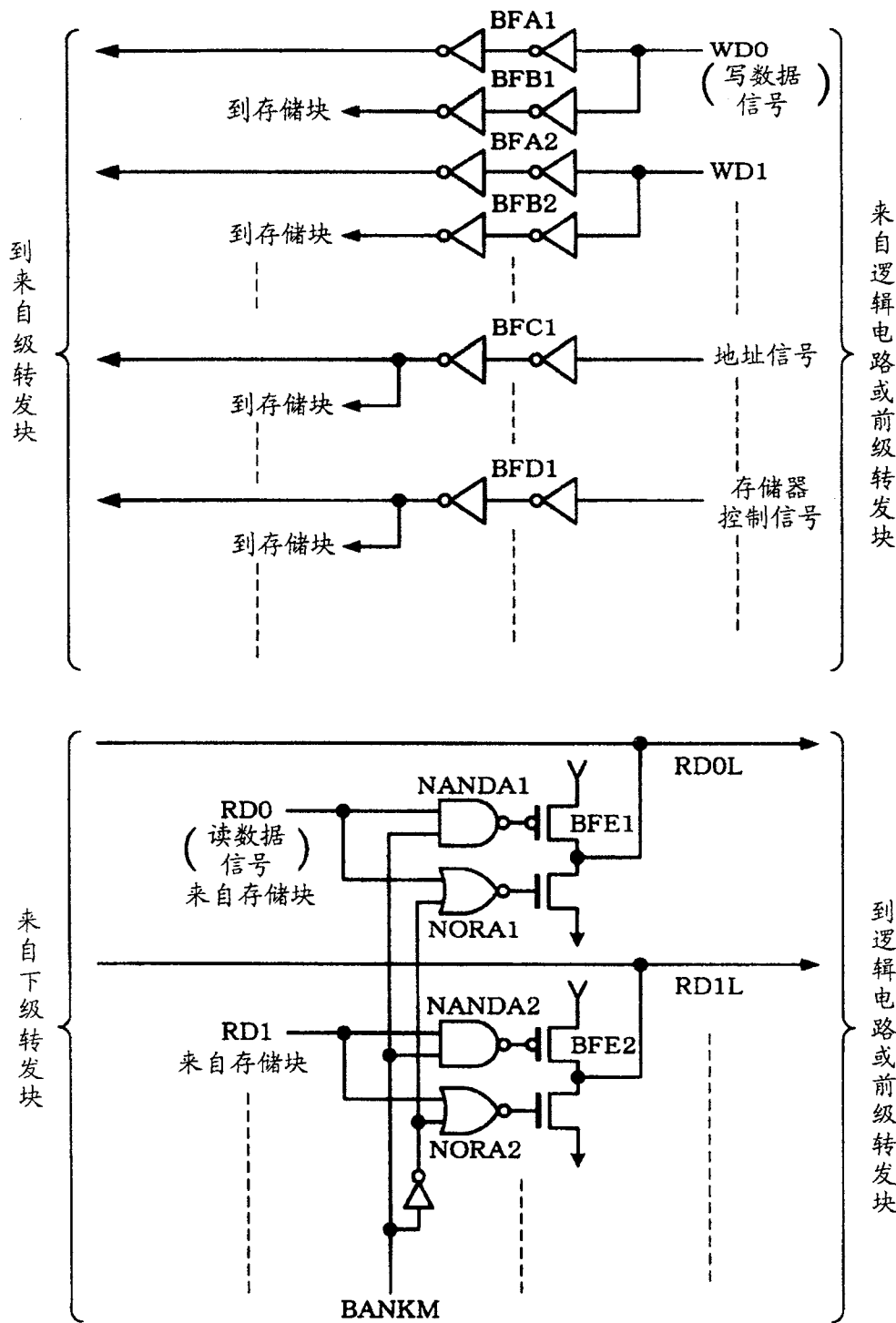


图 13

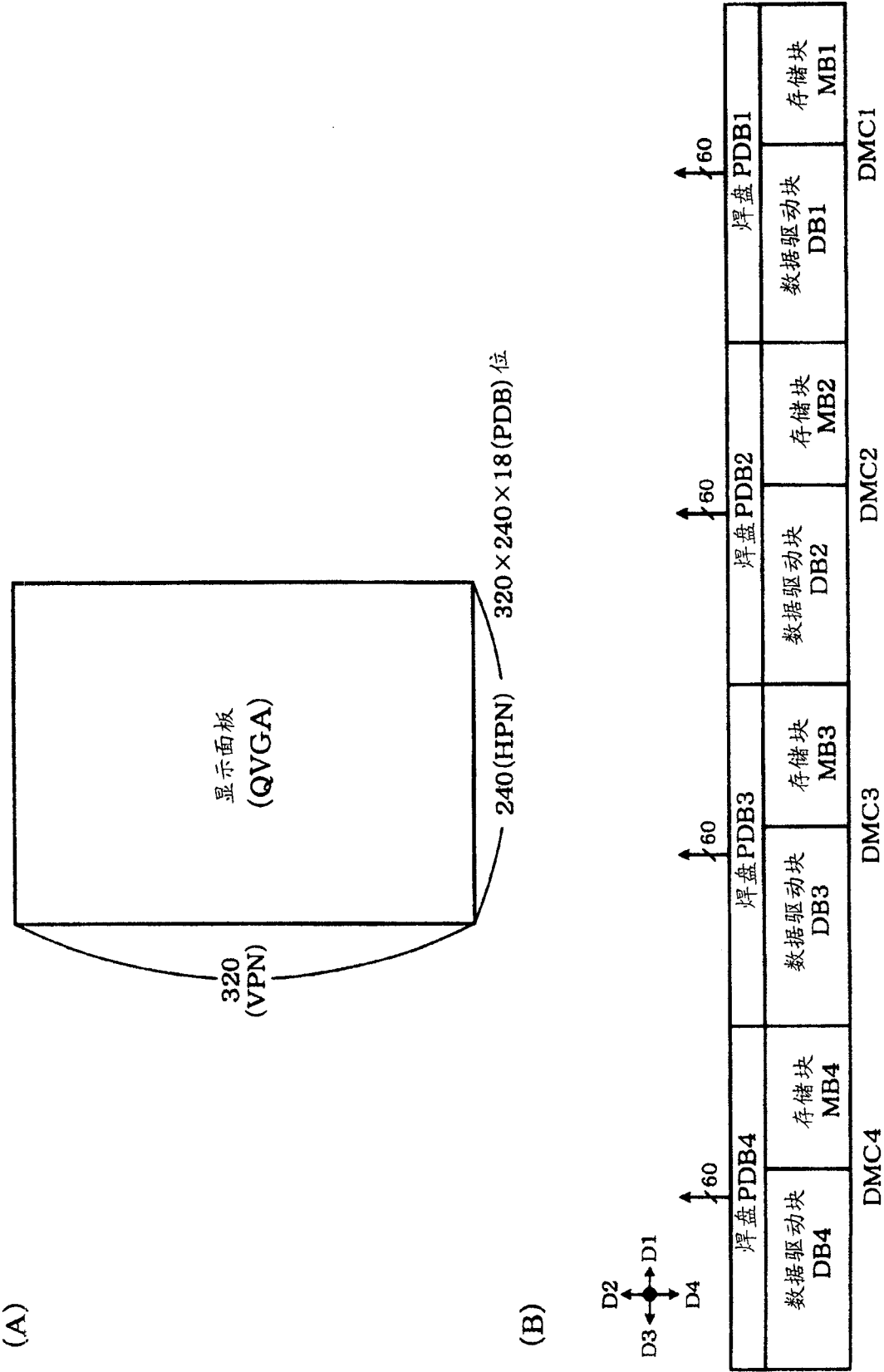


图 14

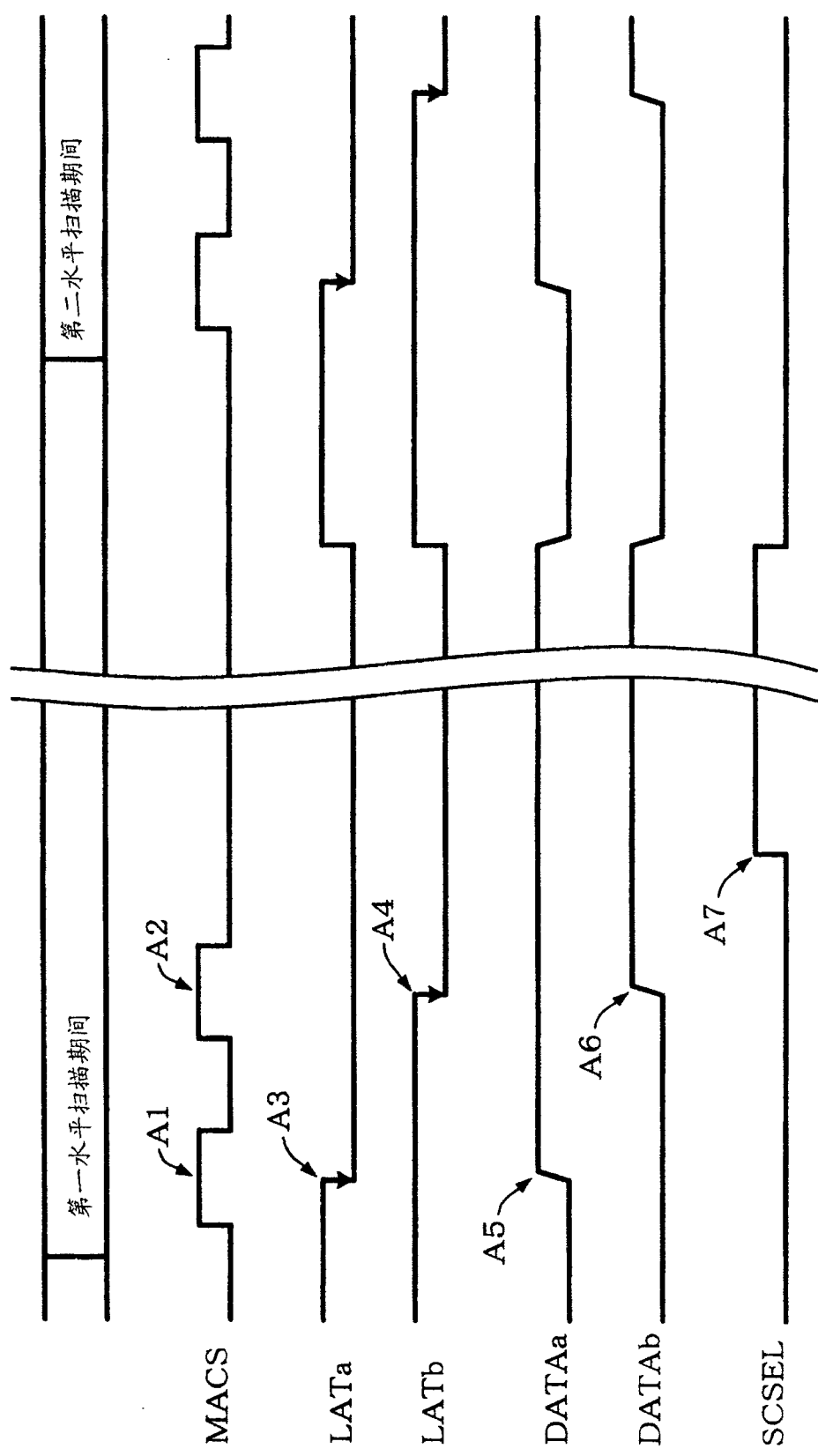


图 15

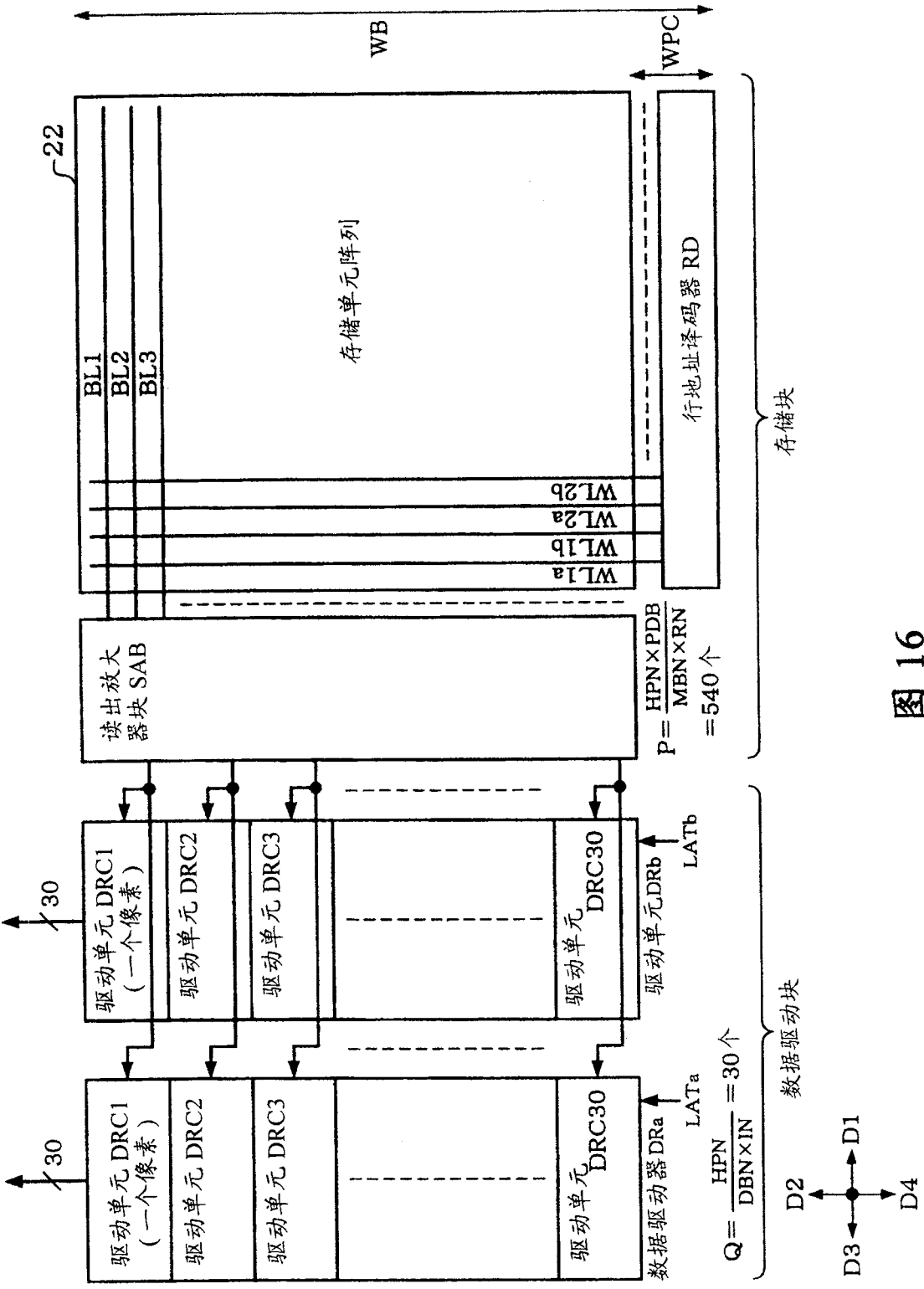


图 16

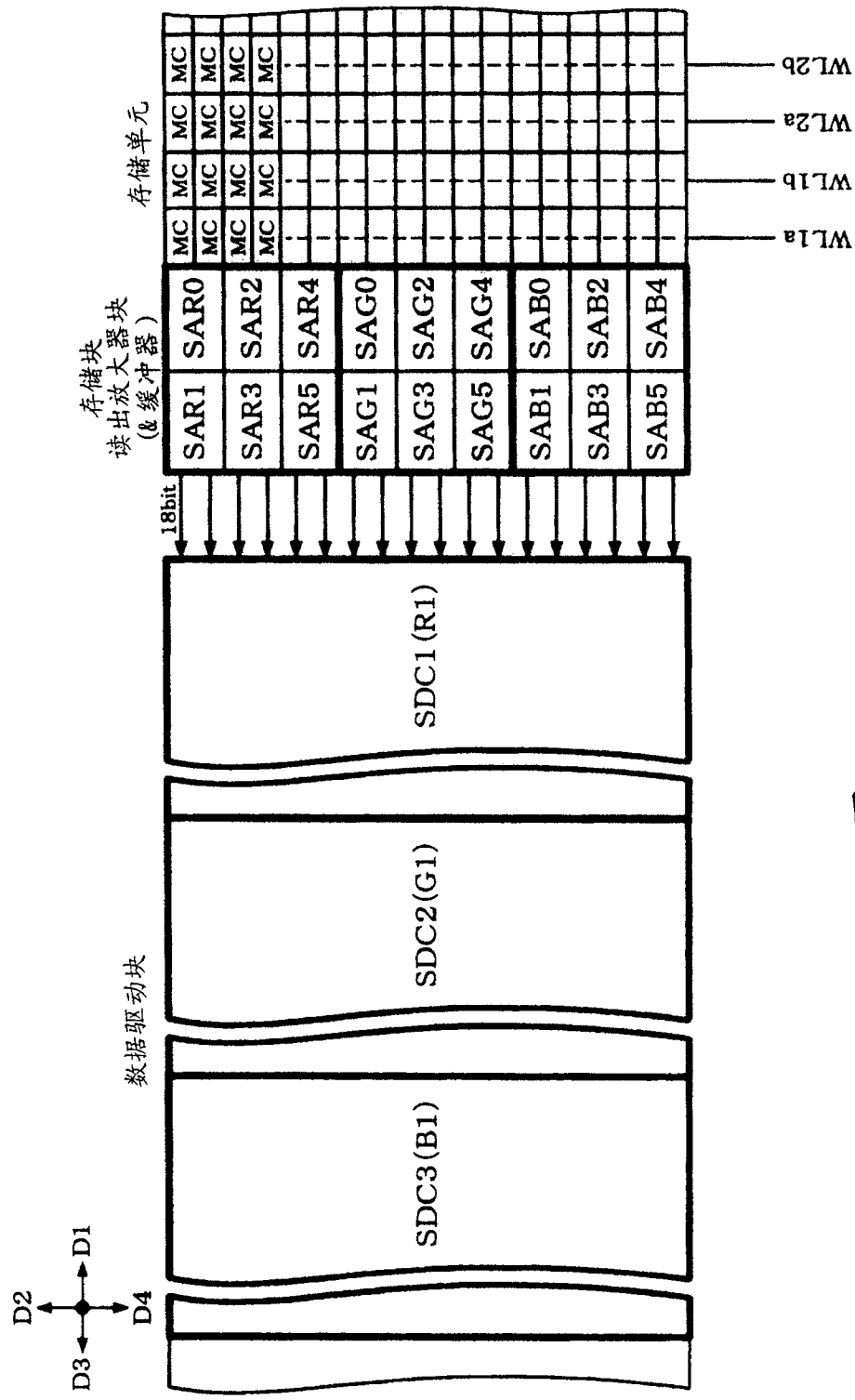


图 18

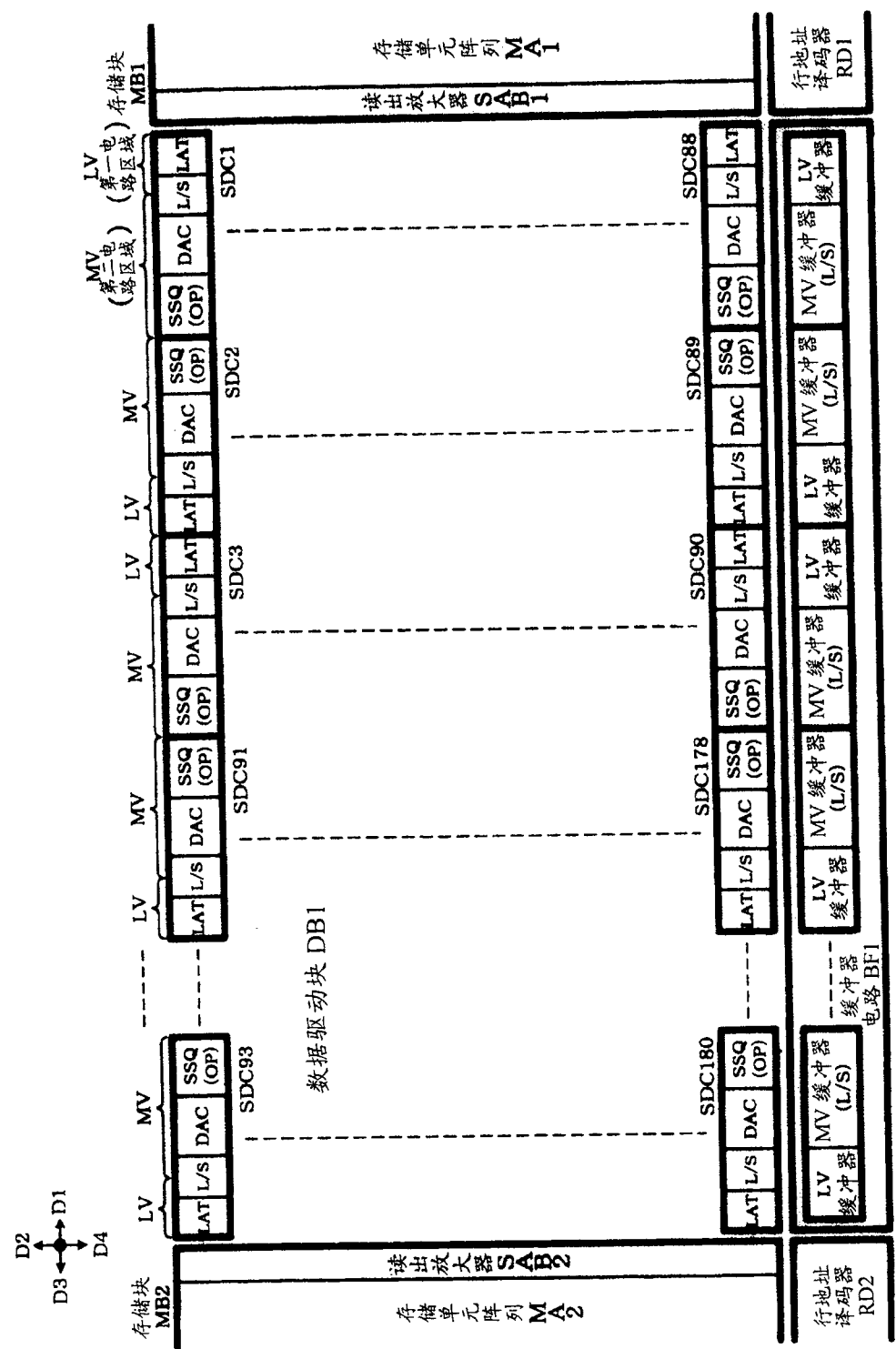


图 19

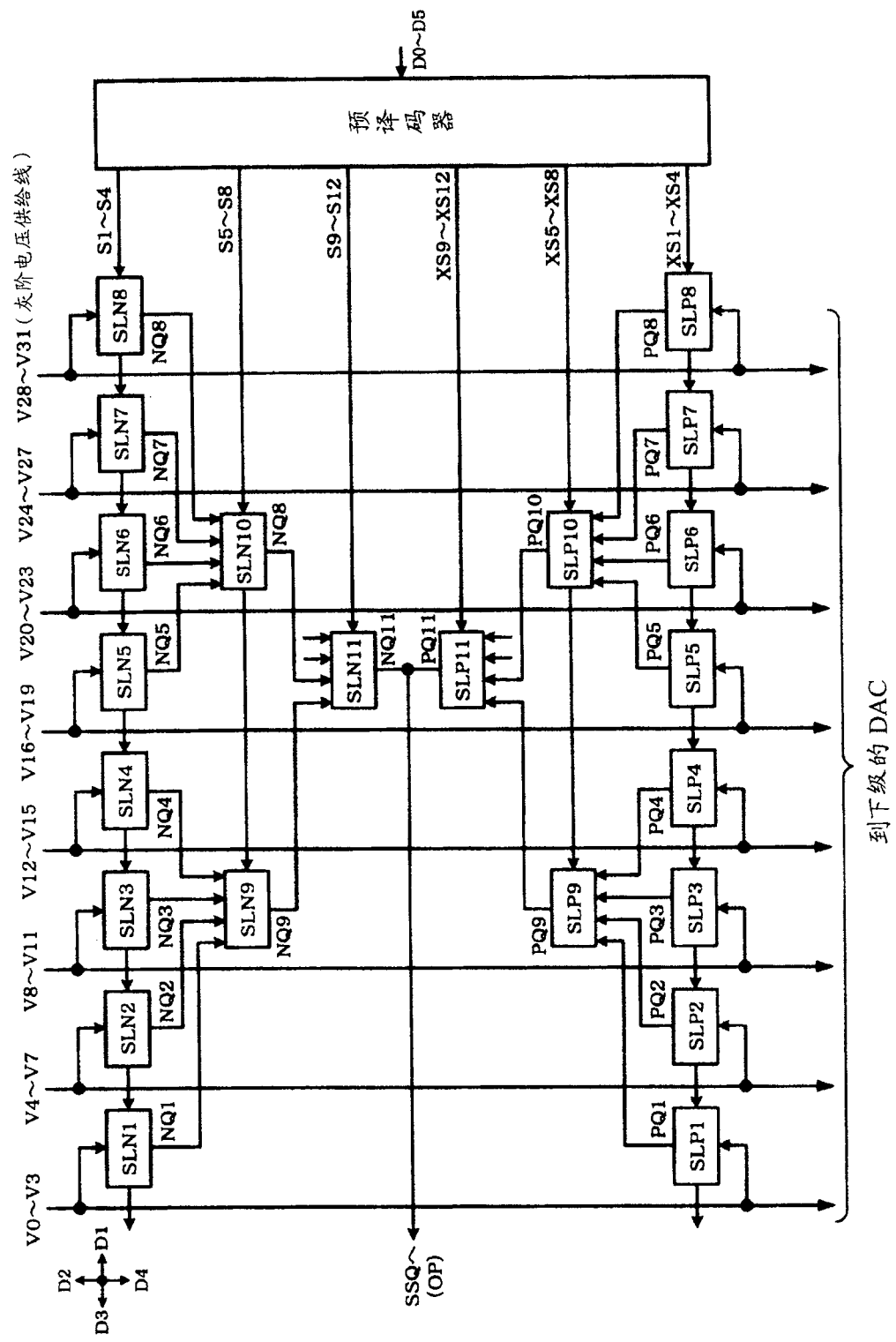


图 20

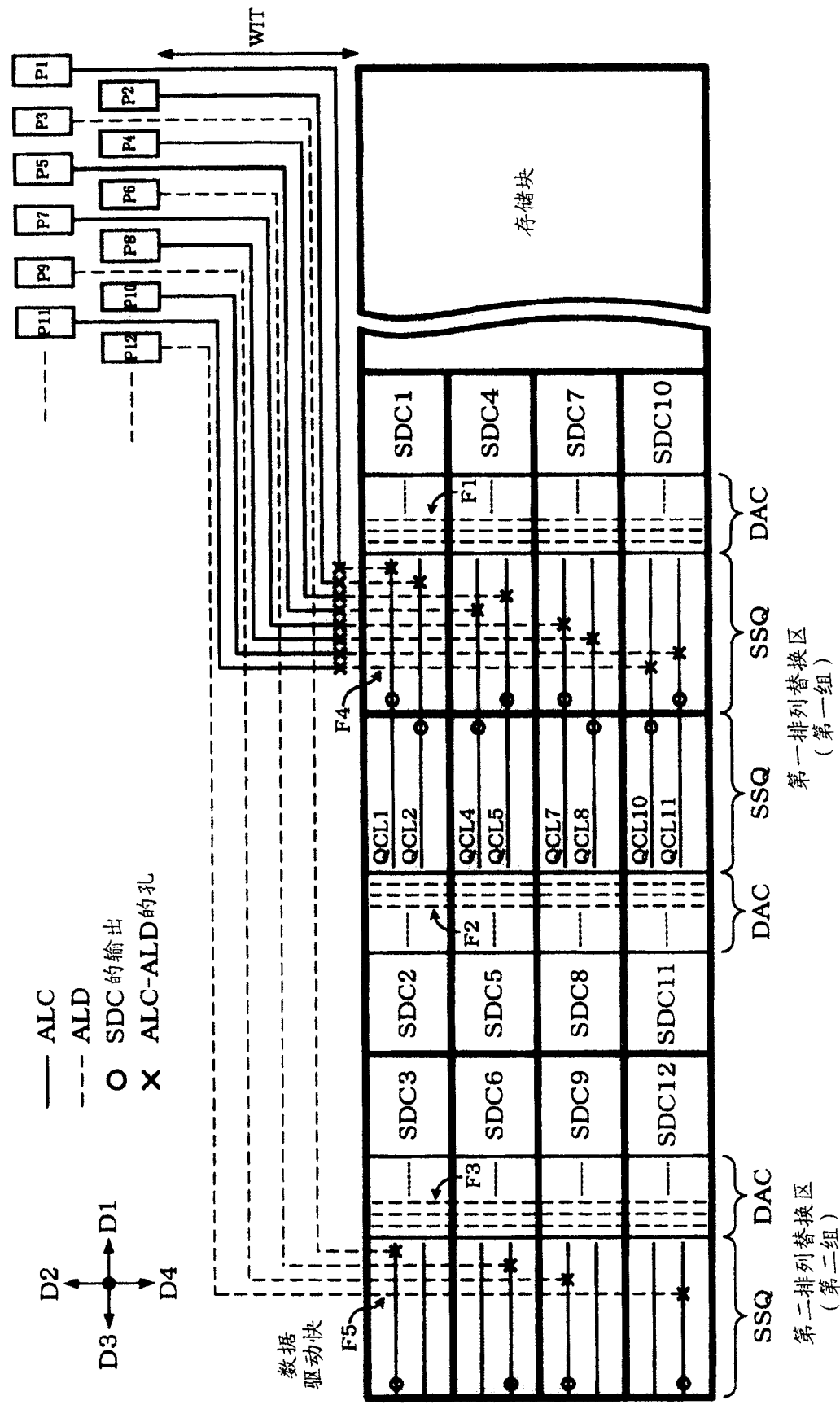


图 22

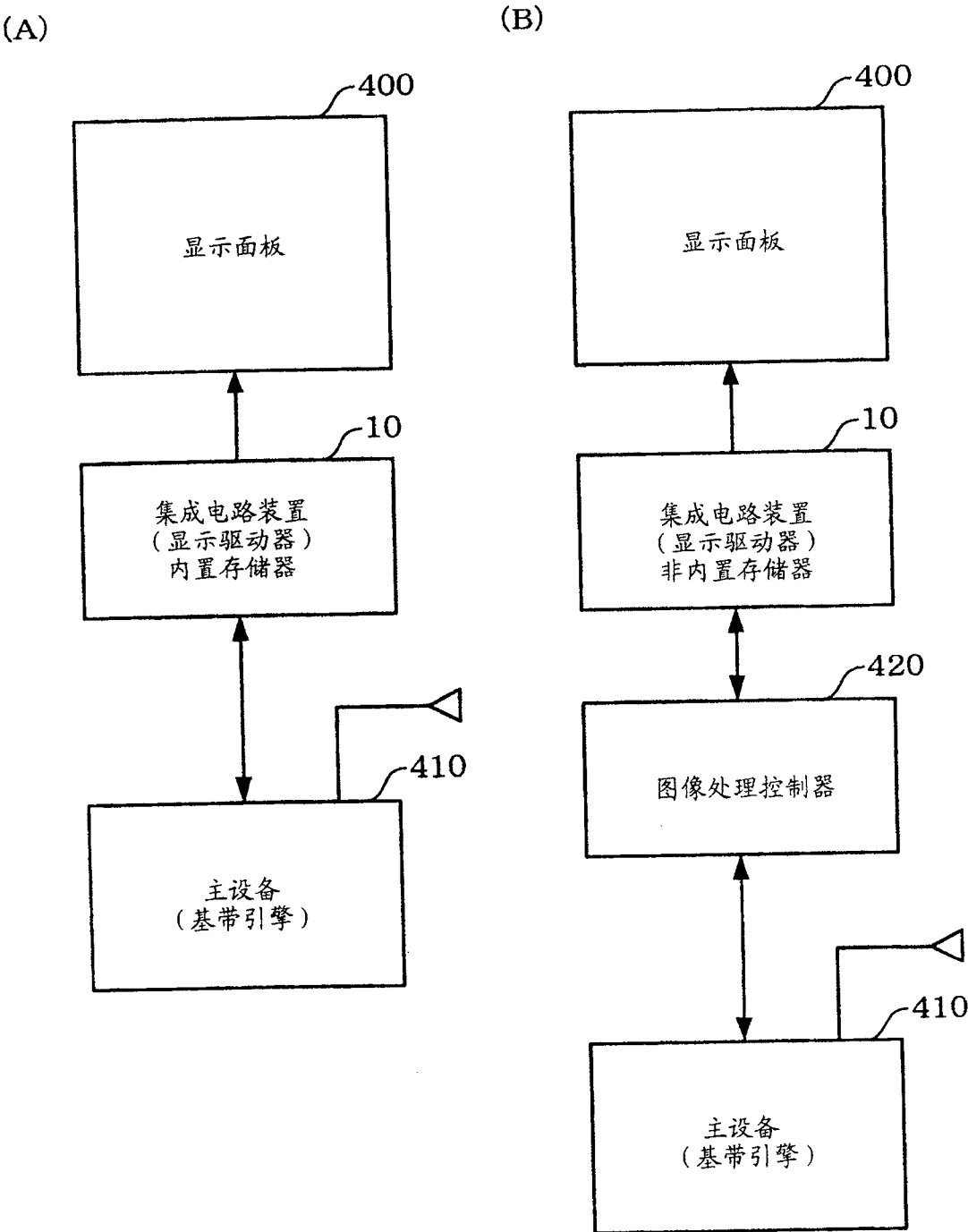


图 23