



Patent dodatkowy
do patentu nr _____

Zgłoszono: 16.10.78 (P. 210342)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 17.11.80

Opis patentowy opublikowano: 10.08.1983

Int. Cl.³ G06F 5/04

Twórca wynalazku: Leszek Mulka

Uprawniony z patentu: Instytut Komputerowych Systemów Automatyki
i Pomiarów, Wrocław (Polska)

Sposób i układ szeregowego przesyłania danych

1

Przedmiotem wynalazku jest sposób i układ szeregowego przesyłania danych, mający zastosowanie w automatyce cyfrowej i cyfrowych urządzeniach pomiarowych, a szczególnie do rejestracji i przesyłania danych.

Stan techniki. Znanie są z książki Pienkos J. i Turczyński J. „Układy scalone TTL serii UCY 74 i ich zastosowanie”, WKŁ, Warszawa 1976 oraz z książki Misiurewicz P. i Grzybek M. „Półprzewodnikowe układy logiczne” WNT, Warszawa 1975, układy przetwarzania informacji równoległej na szeregową, zbudowane z rejestrów przesuwnych, których wejścia równoległe są połączone z magistralą danych, zaś ich wyjścia oprócz ostatniego, z którego wyprowadza się informację szeregową, są połączone z wielowejsściowym funktorem NAND, przy czym z wyjścia tego funkora jest wyprowadzana informacja o końcu nadawania i umożliwiająca ponowne wpisanie informacji równoległej.

Po wyzerowaniu następuje wpisanie do rejestru informacji równoległej z magistrali danych, którą dalej wyprowadza się szeregowo z ostatniego wyjścia rejestru w takt impulsów podawanych na jego wejście zegarowe, aż do zakończenia wyprowadzania informacji szeregowej, co jest sygnalizowane stanem logicznym na wyjściu funkora NAND. W podanej na wstępie literaturze jest także opisany układ szeregowego przesyłania informacji równoległej, zbudowany z multipleksa, którego wejścia danych są połączone z magistralą

2

danych, a wejścia adresowe są połączone z licznikiem binarnym, zaś jego wejście zegarowe jest połączone z wejściem strobuującym multipleksa. Kolejne bity informacji wyprowadza się z wyjścia multipleksa w takt impulsów zegarowych, przy czym równocześnie generuje się adresy kolejnych bitów przy pomocy licznika binarnego.

Znany jest również z podanej na wstępie książki Pienkos J. Turczyński J. układ zmiany informacji równoległej na szeregową, zawierający rejestr przesuwny zbudowany z przerzutników J. K, których wejścia taktowe są połączone z wejściem zegarowym licznika binarnego, a wejścia kasujące z układem bramek NAND wprowadzającym do rejestru informację równoległą z magistrali danych. Informację równoległą wpisuje się do rejestru impulsem startowym, a następnie wyprowadza się bit po bicie w takt impulsów zegarowych z wyjścia ostatniej komórki rejestru.

Inny układ opisany w cytowanej literaturze zawiera rozdzielacz, którego wyjścia są połączone z jednymi wejściami bramek NAND, a drugie wejścia tych bramek są połączone z magistralą danych, zaś wyjścia tych bramek są połączone z wielowejsściowym funktorem NAND, którego jedno wejście jest połączone z wejściem taktowym rozdzielacza. Kolejne bity informacji równoległej są wyprowadzane z wyjścia wielowejsściowego funkora NAND w takt sygnałów z kolejnych pozycji rozdzielacza synchronizowanych z impulsami

zegarowymi podawanymi na wejście rozdzielacza.

Istota wynalazku. Sposobem według wynalazku format danych z magistrali danych programuje się przy pomocy układu programowania formatu i sprzężonego z nim przesuwne rejestru, przy czym równocześnie kolejne grupy danych adresuje się z przesuwne rejestru przy pomocy adresowego układu i dalej w momencie wyznaczonym przez blok funkcji interface steruje się multiplexer, kolejno zaś przy ostatniej grupie danych, kasuje się przesuwne rejestr i blokuje się multiplexer, za pomocą logicznego układu.

W układzie realizującym sposób, wejście szeregowo przesuwne rejestru jest połączone z blokiem funkcji interface, a wejścia programowane tego rejestru są połączone poprzez układ programowania formatu z magistralą danych, zaś wyjścia przesuwne rejestru poprzez adresowy układ są połączone z wejściami adresowymi multiplexera, podczas gdy logiczny układ jest sprzężony z przesuwne rejestrem i adresowym układem.

Zastosowanie rozwiązania według wynalazku umożliwia przetwarzanie informacji z postaci równoległej na szeregową i przesyłanie jej grupami. Dzięki zastosowaniu układu programowania formatu sprzężonego z rejestrem przesuwne uzyskuje się żadaną postać formatu przetwarzanej informacji. Zastosowanie zaś bloku funkcji interface pozwala na sterowanie przesyłaniem informacji z magistrali interface, co stwarza możliwość wykorzystania przedmiotowego rozwiązania w urządzeniach systemowych pracujących w oparciu o interface IEC.

Objaśnienie rysunku. Przedmiot wynalazku zostanie bliżej objaśniony w przykładzie wykonania na rysunku przedstawiającym schemat blokowy układu.

Przykład realizacji wynalazku. W sposobie szeregowo przesyłania danych, dane z magistrali danych MD przesyła się do magistrali interface MI za pomocą multiplexera 1 sterowanego logicznym układem 2 sprzężonym z blokiem funkcji interface 3 połączonym z magistralą interface MI. Format danych z magistrali danych MD programuje się przy pomocy układu programowania formatu 5 i sprzężonego z nim przesuwne rejestru 4, przy czym równocześnie kolejne grupy danych adresuje się z przesuwne rejestru 4 przy pomocy adresowego układu 6 i dalej w momencie wyznaczonym przez blok funkcji interface 3 steruje się multiplexer 1, kolejno zaś przy ostatniej grupie danych kasuje się przesuwne rejestr 4 i blokuje się multiplexer 1 za pomocą logicznego układu 2.

Układ do szeregowo przesyłania danych, zawiera multiplexer 1 połączony wejściami z magistralą danych MD i wyjściami z magistralą interface MI, zaś wejściem strobojącym z logicznym układem 2 sprzężonym z blokiem 3 funkcji interface, połączonym z magistralą interface MI. Wejście szeregowo przesuwne rejestru 4 jest połączone z blokiem 3 funkcji interface, a wejścia programowe tego rejestru są połączone poprzez układ 5 programowania formatu z magistralą da-

nych MD, zaś wyjścia przesuwne rejestru 4 poprzez adresowy układ 6 są połączone z wejściami adresowanymi multiplexera 1, natomiast logiczny układ 2 jest sprzężony z przesuwne rejestrem 4 i adresowym układem 6.

Działanie układu jest następujące. Informacje z magistrali danych MD są przesyłane do magistrali interface MI przy pomocy multiplexera 1. Adresy poszczególnych grup przesyłanych danych są generowane w adresowym układzie 6 sterowanym z przesuwne rejestru 4, który z kolei jest sterowany z logicznego układu 2 i bloku 3 funkcji interface. Blok 3 jest połączony z magistralą interface MI, z której otrzymuje się sygnały o początku i końcu przesyłania informacji oraz sygnały gotowości do przyjęcia danych i ich akceptacji. Blok 3 generuje sygnał sterujący przesuwne rejestrem 4, który poprzez adresowy układ 6 adresuje kolejne grupy danych w momencie akceptacji aktualnie wysyłanej grupy danych.

Natomiast wysyłaniem przez multiplexer 1 każdej zaadresowanej grupy danych steruje logiczny układ 2 wysyłając sygnał strobojący do multiplexera 1 w momencie wygenerowania w bloku 3 funkcji interface sygnału ważności danych. Przy ostatniej grupie danych, dzięki sprzężeniu z adresowym układem 6, logiczny układ 2 zeruje przesuwne rejestr 4, blokuje multiplexer 1.

Zastrzeżenia patentowe

1. Sposób szeregowo przesyłania danych, w którym dane z magistrali danych przesyła się do magistrali interface za pomocą multiplexera sterowanego logicznym układem sprzężonym z blokiem funkcji interface sterowanym z magistrali interface, **znamienny tym**, że format danych z magistrali danych (MD) programuje się przy pomocy układu programowania formatu (5) i sprzężonego z nim przesuwne rejestru (4), przy czym równocześnie kolejne grupy danych adresuje się z przesuwne rejestru (4) przy pomocy adresowego układu (6) i dalej w momencie wyznaczonym przez blok funkcji interface (3) steruje się multiplexer (1), kolejno zaś przy ostatniej grupie danych kasuje się przesuwne rejestr (4) i blokuje się multiplexer (1), za pomocą logicznego układu (2).

2. Układ szeregowo przesyłania danych zawierający multiplexer połączony wejściami z magistralą danych, a wyjściami z magistralą interface, zaś wejściem strobojącym z logicznym układem sprzężonym z blokiem funkcji interface, połączonym z magistralą interface, **znamienny tym**, że wejście szeregowo przesuwne rejestru (4) jest połączone z blokiem funkcji interface (3), a wejścia programowane tego rejestru są połączone poprzez układ programowania formatu (5) z magistralą danych (MD), zaś wyjścia przesuwne rejestru (4) poprzez adresowy układ (6) są połączone z wejściami adresowymi multiplexera (1), podczas gdy logiczny układ (2) jest sprzężony z przesuwne rejestrem (4) i adresowym układem (6).

