



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월15일
(11) 등록번호 10-2066724
(24) 등록일자 2020년01월09일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) G11C 13/00 (2006.01)
(21) 출원번호 10-2013-0050859
(22) 출원일자 2013년05월06일
심사청구일자 2018년04월02일
(65) 공개번호 10-2013-0125320
(43) 공개일자 2013년11월18일
(30) 우선권주장
13/466,922 2012년05월08일 미국(US)
(56) 선행기술조사문헌
JP2008052781 A*
KR101047052 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
용, 아드리안 이.
미국, 캘리포니아 94588, 플리샌톤, 허프 드라이브 2770
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 9 항

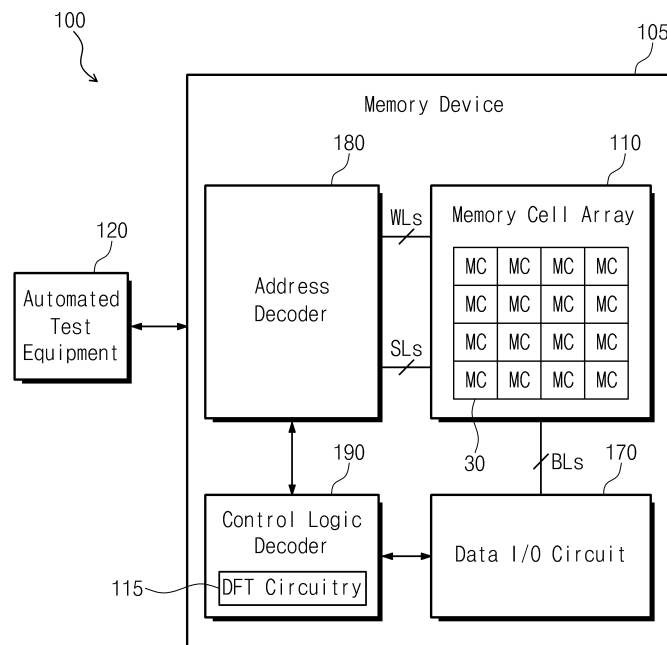
심사관 : 손윤식

(54) 발명의 명칭 저항성 메모리 테스트를 위한 방법, 시스템 및 아키텍처

(57) 요약

본 발명은 저항성 메모리 회로를 테스트하는 것에 관한 것이다. 본 발명의 기술적 사상에 따른 일 실시 예에 따르면, 저항성 메모리들의 대량 병렬 테스트 방법은 복수의 저항성 메모리 셀들의 비트 라인들을 전류 구동기에 커플링하고, 상기 저항성 메모리 셀들의 소스 라인들을 VCP 패드 또는 외부 핀에 커플링하는 단계, 상기 전류 구(뒷면에 계속)

대표도 - 도1



동기가 상기 비트 라인들에 접지 전압 레벨을 제공하고, 상기 VCP 패드 또는 외부 핀을 테스트 쓰기 펄스 폭과 관련된 시간 동안 테스트 쓰기 전압 레벨로 유지하는 단계, 상기 메모리 셀들에 제 1 데이터를 기입하기 위하여, 상기 메모리 셀들에 제 1 방향으로 제 1 쓰기 테스트 전류를 병렬적으로 제공하여 구동하는 단계, 상기 전류 구동기가 상기 비트 라인들에 상기 테스트 쓰기 전압 레벨을 제공하고, 상기 VCP 패드 또는 외부 핀을 상기 테스트 펄스 폭과 관련된 시간 동안 상기 접지 전압 레벨로 유지하는 단계, 그리고 상기 메모리 셀들에 상기 제 1 데이터와 상반되는 제 2 데이터를 기입하기 위하여, 상기 메모리 셀들에 상기 제 1 방향과 상반되는 제 2 방향으로 제 2 쓰기 테스트 전류를 병렬적으로 제공하여 구동하는 단계를 포함한다. 본 발명에 따르면 대량 병렬 스크리닝을 가능하게 하여 테스트 시간 및 비용을 줄일 수 있으며, 메모리의 신뢰성을 향상시킬 수 있다.

명세서

청구범위

청구항 1

저항성 메모리 셀들의 비트 라인들을 전류 구동기에 커플링하고, 상기 저항성 메모리 셀들의 소스 라인들을 VCP (common plane voltage) 패드 또는 외부 핀에 커플링하는 단계;

상기 전류 구동기가 상기 비트 라인들에 접지 전압 레벨을 제공하는 동안, 상기 VCP 패드 또는 외부 핀을 테스트 쓰기 펄스 폭과 관련된 시간 동안 테스트 쓰기 전압 레벨로 유지하는 단계;

상기 저항성 메모리 셀들에 제 1 데이터를 기입하기 위하여, 상기 저항성 메모리 셀들에 제 1 방향으로 제 1 쓰기 테스트 전류를 병렬적으로 제공하여 구동하는 단계;

상기 전류 구동기가 상기 비트 라인들에 상기 테스트 쓰기 전압 레벨을 제공하고, 상기 VCP 패드 또는 외부 핀을 상기 테스트 쓰기 펄스 폭과 관련된 시간 동안 상기 접지 전압 레벨로 유지하는 단계; 그리고

상기 저항성 메모리 셀들에 상기 제 1 데이터와 상반되는 제 2 데이터를 기입하기 위하여, 상기 저항성 메모리 셀들에 상기 제 1 방향과 상반되는 제 2 방향으로 제 2 쓰기 테스트 전류를 병렬적으로 제공하여 구동하는 단계를 포함하는 저항성 메모리들의 병렬적 테스트 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

저항성 메모리 셀들;

내부 아날로그 전압 발생기;

VCP (common plane voltage) 패드 또는 외부 핀;

제 1 테스트 컨트롤 신호에 응답하여 상기 내부 아날로그 전압 발생기 또는 '상기 VCP 패드 또는 외부 핀' 중 어느 하나를 선택하여 상기 저항성 메모리 셀들의 소스 라인들에 연결시키는 스위치;

전류 구동기; 그리고

복수의 비트 라인들과 관련되며, 각 트랜지스터가 제 2 테스트 컨트롤 신호에 응답하여 대응하는 비트 라인을 상기 전류 구동기에 연결하는 복수의 트랜지스터들을 포함하되,

상기 전류 구동기가 상기 비트 라인들에 접지 전압 레벨을 제공하는 동안에, 상기 VCP 패드 또는 외부 핀은 제 1 쓰기 펄스 폭과 관련된 시간 동안에 테스트 쓰기 전압 레벨로 유지되고,

상기 VCP 패드 또는 외부 핀과 상기 전류 구동기는 제 1 쓰기 테스트 전류를 제 1 방향으로 상기 저항성 메모리 셀들에 제공하여 구동하고,

상기 VCP 패드 또는 외부 핀과 상기 전류 구동기는 제 1 데이터를 상기 저항성 메모리 셀들에 병렬적으로 기입하는 메모리 장치.

청구항 16

제 15 항에 있어서,

상기 제 1 및 제 2 테스트 컨트롤 신호들은 패스트 에러 스트레스 테스트 모드를 제공하는 메모리 장치.

청구항 17

삭제

청구항 18

제 15 항에 있어서,

상기 전류 구동기가 상기 비트 라인들에 상기 테스트 쓰기 전압 레벨을 제공하는 동안에, 상기 VCP 패드 또는 외부 핀은 제 2 쓰기 펄스 폭 또는 시간 동안에 상기 접지 전압 레벨로 유지되고,

상기 VCP 패드 또는 외부 핀과 상기 전류 구동기는 제 2 쓰기 테스트 전류를 상기 제1 방향과 상반되는 제 2 방향으로 상기 저항성 메모리 셀들에 제공하여 구동하고,

상기 VCP 패드 또는 외부 핀과 상기 전류 구동기는 상기 제 1 데이터와 상반되는 제 2 데이터를 상기 저항성 메모리 셀들에 병렬적으로 기입하는 메모리 장치.

청구항 19

제 15 항에 있어서,

상기 제 1 및 제 2 쓰기 테스트 전류는 일반 쓰기 전류의 X%이며, 상기 X는 100보다 작고,
상기 제 1 및 제 2 쓰기 펄스 폭 또는 시간은 일반 쓰기 펄스 폭 또는 시간보다 짧은 메모리 장치.

청구항 20

제 15 항에 있어서,

상기 VCP 패드 또는 외부 핀과 상기 전류 구동기는 상기 저항성 메모리 셀들에 초기화 전류를 병렬적으로 제공하여 구동함으로써 상기 저항성 메모리 셀들을 제 1 데이터 또는 제 2 데이터 중 하나로 초기화하는 메모리 장치.

청구항 21

제 20 항에 있어서,

상기 VCP 패드 또는 외부 핀과 상기 전류 구동기는 읽기 디스터브 테스트 전류를 상기 저항성 메모리 셀들에 병렬적으로 제공하여 구동함으로써 상기 저항성 메모리 셀들의 읽기 에러를 스크린하는 메모리 장치.

청구항 22

제 21 항에 있어서,

상기 VCP 패드 또는 외부 핀과 상기 전류 구동기는 상기 저항성 메모리 셀들에 상기 제 1 또는 제 2 방향으로 상기 읽기 디스터브 테스트 전류를 병렬적으로 제공하여 구동하고,

일반 읽기 전류를 이용하여 상기 저항성 메모리 셀들 각각으로부터 상기 제 1 또는 제 2 데이터를 독출하고, 읽기 컴프레션 모드에서 상기 제 1 또는 제 2 데이터의 정확성에 대한 검증 동작을 수행하는 회로를 더 포함하는 메모리 장치.

청구항 23

제 22 항에 있어서,

상기 읽기 디스터브 테스트 전류는 일반 읽기 전류의 X%이며, 상기 X는 100보다 큰 메모리 장치.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 저항성 메모리 회로(resistive type memory circuit)를 테스트하는 것이며, 좀더 구체적으로는 메모리 회로의 신뢰성 향상을 위한 스트레스 테스트(stress testing), 리텐션 테스트(retention testing), 기능 테스트(functional testing), 그리고 패스트 테스트 초기화(fast test initialization)에 관한 것이다.

배경 기술

[0002] 저항성 메모리는 차세대 비휘발성 메모리로 궁극적으로는 플래시 메모리, EPROM(Erasable Programmable Read Only Memory) 등과 같은 종래의 비휘발성 메모리를 대체할 것으로 기대된다. 또한 저항성 메모리는 궁극적으로 휘발성 메모리가 사용되는 기술분야에서도 DRAM, SRAM과 같은 종래의 휘발성 메모리를 대체할 것으로 기대된다.

[0003] 종래의 비휘발성 메모리 기술은 그 성능에 관한 이슈 및 장기간의 신뢰성 이슈가 있었고, 종래의 휘발성 메모리 기술은 영구적으로 데이터를 저장하지 못한다는 문제가 있었다. 반면에, 저항성 메모리는 플래시 메모리 및 DRAM의 단점들은 갖지 않으면서 동시에 많은 장점들을 갖는 특징이 있다. 저항성 메모리는, 예를 들어, STT-MRAM(Spin Transfer Torque Magnetoresistive Random-Access Memory), MRAM(Magnetoresistive Random-Access Memory), PRAM(Phase change RAM), 멤리스터 RAM(memristor RAM), ReRAM, CBRAM 등을 포함한다. 비휘발성 메모리의 영구적 저장 특성과 DRAM과 같은 휘발성 메모리의 높은 성능 및 신뢰 특성을 결합함으로써, 저항성 메모리는 시장에서 중요한 위치를 차지한다.

[0004] 실제로 사용되기 전에, 메모리 회로는 반드시 테스트되어야 한다. 반면, 메모리 셀의 초기 불량률은 높은 편이다. 이러한 메모리 셀의 불량률은 컴퓨터 장비, 임베디드 장치(embedded device), 소프트웨어 알고리즘 등에 지장

을 줄 수 있다. 또한 메모리 회로의 집적도가 증가함에 따라, 효율적인 테스트 방법에 대한 요구가 증가하고 있다.

[0005] 저항성 메모리 셀들은 보통 가변 저항과 트랜지스터를 포함한다. 일반적으로 저항이 낮은 상태는 논리 '0' 또는 논리 로우 상태(low logic state)로 정의되고, 저항이 높은 상태는 논리 '1' 또는 논리 하이 상태(high logic state)로 정의된다. 다만 이는 예시적인 것이며, 저항이 낮은 상태가 논리 '1'로 저항이 높은 상태가 논리 '0'으로 정의될 수도 있다.

[0006] 저항성 메모리 셀들은 스위칭 전압(switching voltage) 또는 스위칭 전류(switching current)를 갖도록 설계된다. 예를 들어, 스위칭 전류 레벨을 만족시키기 위해 충분한 전류가 셀을 통과하는 경우에, 해당 셀은 전형적으로 하나의 논리 값에서 다른 논리 값으로 스위칭된다. 논리 하이 상태에서 논리 로우 상태로 스위칭되거나 논리 로우 상태에서 논리 하이 상태로 셀을 스위칭하는 것은 개연성이 있는 것이다. 다시 말하면, 스위칭 전압 또는 스위칭 전류는 메모리 셀을 '1'에서 '0'으로 또는 그 반대로 변화시킬 것이다. 어떠한 경우에, 메모리 셀에 대한 읽기 동작 또는 쓰기 동작이 수행될 때 에러(error)가 발생할 수 있다. 예를 들어, 메모리 셀에 대한 읽기 동작이 수행될 때, 해당 셀은 스위칭되지 말아야 함에도 불구하고 이따금 스위칭된다. 읽기 동작 동안에 의도치 않게 메모리 셀의 데이터가 변경될 때 메모리 셀의 읽기 디스터브(read disturb)가 발생한다. 읽기 디스터브는 메모리 셀의 읽기 에러 율(read error rate)이 비정상적으로 높을 때 발생하는 경향이 있다. 메모리 셀에 대한 쓰기 동작을 수행할 때, 가끔 메모리 셀의 스위칭이 일어나야 함에도 불구하고 스위칭이 일어나지 않는 경우가 있다. 쓰기 에러는 메모리 셀의 쓰기 에러 율(write error rate)가 비정상적으로 높을 때 발생한다.

[0007] 몇몇 메모리 셀들은 다른 것들에 비하여 높은 에러 율을 보인다. 만약 메모리 장치의 총 에러 율이 너무 높다면, 해당 메모리 장치들은 양산에 들어갈 수 없다. 종래의 테스트 방법들은 보통 DRAM, 플래시 등의 전통적인 메모리들에 효과적인 것일 뿐 STT-MRAM과 같은 저항성 메모리 특유의 물리적 특성은 고려하지 않은 것이다. 더욱이 저항성 메모리 들의 크기 및 집적도가 계속적으로 증가함에 따라, 저항성 메모리를 테스트하기 위한 시간 및 그 난이도가 증가하고 있다. 따라서 테스트 시간 및 비용을 줄이기 위한 대량 병렬 스크리닝(massive parallel screening)의 적용이 요구된다. 또한 메모리 회로의 신뢰성 향상을 위한 리텐션 테스트(retention testing), 기능 테스트(functional testing), 그리고 패스트 테스트 초기화(fast test initialization)에 관한 기술의 개발이 요구된다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 테스트 시간 및 비용을 줄이기 위한 대량 병렬 스크리닝의 적용이 가능한 테스트 방법을 제공하는 것을 일 목적으로 한다. 또한 본 발명은 메모리 회로의 신뢰성 향상을 위한 리텐션 테스트, 기능 테스트, 그리고 패스트 테스트 초기화에 관한 기술에 적용될 수 있는 테스트 방법을 제공하는 것을 일 목적으로 한다.

과제의 해결 수단

[0009] 본 발명의 기술적 사상에 따른 일 실시 예에 따르면, 저항성 메모리들의 대량 병렬 테스트 방법은 복수의 저항성 메모리 셀들의 비트 라인들을 전류 구동기에 커플링하고, 상기 저항성 메모리 셀들의 소스 라인들을 VCP 패드 또는 외부 핀에 커플링하는 단계, 상기 전류 구동기가 상기 비트 라인들에 접지 전압 레벨을 제공하고, 상기 VCP 패드 또는 외부 핀을 테스트 쓰기 펄스 폭과 관련된 시간 동안 테스트 쓰기 전압 레벨로 유지하는 단계, 상기 메모리 셀들에 제 1 데이터를 기입하기 위하여, 상기 메모리 셀들에 제 1 방향으로 제 1 쓰기 테스트 전류를 병렬적으로 제공하여 구동하는 단계, 상기 전류 구동기가 상기 비트 라인들에 상기 테스트 쓰기 전압 레벨을 제공하고, 상기 VCP 패드 또는 외부 핀을 상기 테스트 펄스 폭과 관련된 시간 동안 상기 접지 전압 레벨로 유지하는 단계, 그리고 상기 메모리 셀들에 상기 제 1 데이터와 상반되는 제 2 데이터를 기입하기 위하여, 상기 메모리 셀들에 상기 제 1 방향과 상반되는 제 2 방향으로 제 2 쓰기 테스트 전류를 병렬적으로 제공하여 구동하는 단계를 포함한다.

[0010] 본 발명의 기술적 사상에 따른 다른 실시 예에 따르면, 메모리 장치는 복수의 저항성 메모리 셀들, 내부 아날로그 전압 발생기, VCP 패드 또는 외부 핀, 제 1 테스트 컨트롤 신호에 응답하여 상기 내부 아날로그 전압 발생기 또는 '상기 VCP 패드 또는 외부 핀' 중 어느 하나를 선택하여 상기 메모리 셀들의 소스 라인들에 연결시키는 스위치, 전류 구동기, 그리고 복수의 비트 라인들과 관련되며, 각 트랜지스터는 제 2 테스트 컨트롤 신호에 응답하여 대응하는 비트 라인을 상기 전류 구동기에 연결하는 복수의 트랜지스터들을 포함한다.

[0011] 본 발명의 기술적 사상의 다른 실시 예에 따르면, 복수의 저항성 메모리 셀들을 포함하는 어레이 그리고 DFT 회로를 포함하며, 상기 DFT 회로는 상기 메모리 셀들을 포함하는 어레이의 비트 라인들을 제 1 방향의 제 1 테스트 쓰기 전류 및 제 2 방향의 제 2 테스트 쓰기 전류로 구동하는 전류 구동기 및 복수의 테스트 컨트롤 신호들을 상기 전류 구동기에 제공하는 쓰기 펄스 폭 컨트롤 회로를 포함한다.

발명의 효과

[0012] 본 발명에 따르면 대량 병렬 스크리닝을 가능하게 하여 테스트 시간 및 비용을 줄일 수 있으며, 메모리의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0013] 도 1 은 메모리 장치 및 자동 테스트 장비를 포함하는 메모리 테스트 시스템의 예시적인 블록 다이어그램이다. 도 1 을 참조하면, 메모리 장치는 메모리 셀 어레이, 데이터 입출력 회로, 어드레스 디코더 및 컨트롤 로직을 포함한다.

도 2a 및 도 2b 는 도 1 의 메모리 장치의 메모리 셀 어레이에 포함된 예시적 SIT-MRAM 메모리셀의 구성도이다.

도 3a 및 도 3b는 기술적 사상의 일부 실시 예에 따라 패스트 에러 스트레스 테스트 회로(fast error stress test circuitry)를 포함하는, 도 1 의 메모리 장치의 DFT 회로의 예시적인 블록도이다.

도 4는 서브 어레이 블록과 같은 서브 어레이 블록들(sub-array blocks)을 포함하는 64Mb 메모리 블록을 예시적으로 보여주는 블록 다이어그램이다.

도 5는 본 발명의 기술적 사상의 다른 실시 예에 따른 도 1의 메모리 장치의 DFT 회로의 일 실시 예를 보여주는 블록다이어그램이다. 도 5는 패스트 에러 스트레스 테스트 회로를 포함한다.

도 6은 본 발명의 기술적 사상의 다른 실시 예에 따른 쓰기 펄스 폭 컨트롤 회로를 예시적으로 보여주는 블록도이다. 쓰기 펄스 폭 컨트롤 회로는 도 1의 DFT 회로에 포함될 수 있다.

도 7a 및 도 7b는 본 발명의 기술적 사상에 따른 메모리 셀의 병렬적 테스트 방법을 보여주는 순서도이다.

도 8은 본 발명의 기술적 사상의 실시 예에 따른 메모리 장치, 메모리 어레이의 메모리 셀들을 테스트하기 위한 DFT 회로를 갖는 ATE를 포함하는 메모리 테스트 시스템을 보여주는 블록도이다.

도 9는 본 발명의 기술적 사상의 실시 예에 따른 DFT 회로를 갖는 저항성 메모리 장치를 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

[0015] 도면들에 있어서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 또한 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소를 나타낸다.

[0016] 본 명세서에서 '및/또는'은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 또한, '연결되는/결합되는' 표현은 다른 구성요소와 직접적으로 연결되거나 다른 구성요소를 통해 간접적으로 연결되는 것을 포함하는 의미로 사용된다. 본 명세서에서 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 명세서에서 사용되는 '포함한다' 또는 '포함하는'으로 언급된 구성요소, 단계, 동작 및 소자는 하나 이상의 다른 구성요소, 단계, 동작, 소자 및 장치의 존재 또는 추가를 의미한다.

[0017] 도 1 은 메모리 장치(105) 및 자동 테스트 장비(120)를 포함하는 메모리 테스트 시스템 (100) 의 예시적인 블록 다이어그램이다. 도 1 을 참조하면, 메모리 장치(105)는 메모리 셀 어레이(110), 데이터 입출력 회로(170), 어드레스 디코더(180) 및 컨트롤 로직(190)을 포함한다. 컨트롤 로직(190)은 기술적 사상의 일 실시 예에 따라 메모리 셀 어레이(110)의 메모리 셀들을 테스트 하기 위한 DFT 회로(115, design for test circuitry) 를 포함할 수 있다.

- [0018] 도 1 을 참조하면, 메모리 셀 어레이(110) 는 각각 하나 이상의 비트를 저장하는 복수의 메모리 셀(30, MC)을 포함할 수 있다. 메모리 셀(MC)은 복수의 워드라인들(WLs), 복수의 소스라인들(SLs) 및 복수의 비트라인들(BLs)에 연결될 수 있다.
- [0019] 어드레스 디코더(180)는 워드라인들(WLs)과 소스라인들(SLs)을 통해 메모리 셀 어레이(110)와 연결될 수 있다. 어드레스 디코더(180)는 컨트롤 로직(190)의 제어에 따라 동작할 수 있다. 어드레스 디코더(180)는 워드라인들(WLs)과 소스라인들(SLs)을 선택하기 위해 입력 어드레스를 디코딩할 수 있다. 어드레스 디코더(180)는 컨트롤 로직(190)으로부터 파워(예를 들어, 전압 또는 전력)를 공급받아, 이를 선택 또는 선택되지 않은 워드라인에 제공할 수 있다.
- [0020] 데이터 입출력 회로(170)는 비트라인들 (BLs)을 통해 메모리 셀 어레이(110)에 연결될 수 있다. 데이터 입출력 회로(170)는 컨트롤 로직(190)의 제어에 따라 동작할 수 있다. 데이터 입출력 회로(170)는 어드레스 디코더(180)로부터의 비트라인 선택 신호 (도면에 도시되지 않음)에 따라 비트라인을 선택할 수 있다. 데이터 입출력 회로(170)는 컨트롤 로직(190)으로부터 파워(예를 들어, 전압 또는 전력)를 공급받아, 이를 선택된 비트라인에 제공할 수 있다.
- [0021] 컨트롤 로직(190)은 메모리 장치(105)의 전체 동작을 제어하도록 구성될 수 있다. 컨트롤 로직(190)은 외부 파워 및/또는 제어 신호를 공급받을 수 있다. 컨트롤 로직(190)은 외부 파워를 이용하여 내부 동작에 필요한 파워를 생성할 수 있다. 컨트롤 로직(190)은 제어 신호에 따라 읽기, 쓰기 및/또는 소거 동작을 제어할 수 있다. 컨트롤 로직(190)은 기술적 사상의 일 실시 예에 따라 메모리 셀 어레이(110)의 메모리 셀들을 테스트 하기 위한 DFT 회로(115)를 포함할 수 있다.
- [0022] 도 2a 및 도 2b 는 도 1 의 메모리 장치(105)의 메모리 셀 어레이(110)에 포함된 예시적 STT-MRAM 메모리셀의 구성도이다. 도 3a 및 도 3b는 기술적 사상의 일부 실시 예에 따라 패스트 에러 스트레스 테스트 회로 (fast error stress test circuitry)를 포함하는, 도 1 의 메모리 장치(105)의 DFT 회로(115)의 예시적인 블록도이다. 도 1 에서 도 3b 에 대한 참조가 이하에서 서술된다.
- [0023] 여기에 개시된 기술적 사상의 실시 예들은 높은 에러율과 낮은 리텐션을 차단하는데 사용될 수 있다. 도 1 에 개시된 바와 같이, 메모리 장치(105)는 예를 들어, 메모리 셀 어레이(110) DFT 회로(115)를 포함할 수 있다. DFT 회로(115)는 메모리 코어로 디자인될 수 있다. 선택적으로, 자동 테스트 장비(120)는 메모리 장치(105)의 테스트를 돕기 위해 메모리 장치(105)에 연결될 수 있다. 상술한 바와 같이, 일부 실시 예에서 DFT 회로(115) 또는 DFT 회로(115)의 일부는 자동 테스트 장비(120,)에 빌트인 (built-in) 된다. 다른 실시 예에서, DFT 회로(115) 또는 DFT 회로(115)의 일부는 자동 테스트 장비(120,) 또는 다른 호스트 시스템에 위치할 수 있다. 쓰기 테스트 전류는 동시에 복수의 메모리 셀들에 의해 구동된 후 검증될 수 있으며, 이 후에 쓰기 테스트 전류는 복수의 메모리 셀들에 의해 동시에 반대 방향으로 구동되고 검증될 수 있다. 복수의 메모리 셀에 대량으로 쓰는 기능은 쉽고 효율적인 테스트 초기화를 제공한다. 즉, 이하에서 개시되는 바와 같이, 같은 데이터가 메모리 집적도에 따라 하나 또는 복수의 선택된 블록들 또는 모든 메모리 블록 (예를 들어, 전체 메모리 장치의 복수 메모리 셀들)에 대량의 방식으로 병렬적으로 기입된다. 또한, 읽기 디스터브 테스트 전류는 복수의 메모리 셀들에 의해 어느 하나의 방향으로 동시에 구동된 후 검증된다. 또한, 셀간의 영향 및 리텐션 에러 역시 방지될 수 있다.
- [0024] 일부 실시 예에서, 메모리 셀 어레이(110)는 복수의 STT-MRAM 메모리 셀들을 포함한다. 그러나, 여기 개시된 기술적 사상은 저항성 메모리의 다른 타입, 예를 들어, STT 타입 이외의 MRAM, PRAM, 멤리스터 RAM, ReRAM, CBRAM 등에 적용될 수 있다.
- [0025] 도 2a 는 STT-MRAM 타입 메모리 셀에서 가변 저항을 형성하는 마그네틱 터널 접합 (10, MJT) 과 이와 함께 STT-MRAM 셀(30)을 구성하는 관련 선택 트랜지스터(20)를 개시한다. MJT(10) 는 고정층(12), 자유층(16) 및 이들 사이에 위치한 터널링 층(14)을 포함한다. 본질적으로 높은 전류 구동, 낮은 전압 및 PMOS 트랜지스터에 비해 상대적으로 적은 면적 때문에, 트랜지스터(20)로서 NMOS 트랜지스터가 자주 사용된다. MRAM(30)에 “1”을 기입하는데 사용되는 전류는 “0”을 기입하는데 사용되는 전류와 다르다. 이 두 기입 과정 동안의 전류 방향의 비대칭성은 트랜지스터(20)의 게이트 대 소스 전압의 비대칭에 의해 발생한다.
- [0026] 이어지는 개시에서, MJT 의 자유층 및 고정층이 평행(P, Parallel) 상태일 때, 즉 MJT 가 낮은 저항성을 나타낼 때 MRAM 셀은 “0” 로직 상태로 정의된다. 이와 반대로, MJT 의 자유층 및 고정층이 반 평행(AP, Anti-Parallel)상태일 때, 즉 MJT 가 높은 저항성을 나타낼 때, MRAM 셀은 “0” 로직 상태로 정의된다. 다른 실시

예에서, MRAM 셀은 AP 상태에서 “1” 로직 상태로 정의될 수 있으며, P 상태에서 “0” 로직 상태로 정의될 수 있다. 나아가, 도 2a 에 도시된 바와 같이, MJT(10) 의 고정층이 그와 관련된 선택 트랜지스터를 향한다고 가정될 수 있다.

[0027] 위에서 논의된 바에 따라서, 화살표 (35) 의 방향(즉, 상향)에 따라 흐르는 전류는, (i) “1” 을 기입하기 위해 P 상태에서 AP 상태로 스위칭 시키거나, (ii) 이전에 형성된 MJT 의 AP 상태를 안정시킨다. 이와 같이, 화살표(40)의 방향(즉, 하향)에 따라 흐르는 전류는, (i) “0” 을 기입하기 위해 AP 상태에서 P 상태로 스위칭 시키거나, (ii) 이전에 형성된 MJT 의 P 상태를 안정시킨다. 하지만, 다른 실시 예에서, 이 방향은 반대가 되어 MJT 의 자유층이 그와 관련된 선택 레지스터를 향할 수 있다. 도시되지 않은 다른 실시 예에서, 화살표(35)의 방향을 따라 흐르는 전류는 (i) AP 상태에서 P 상태로 스위칭 시키거나, (ii) 이전에 형성된 MJT 의 P 상태를 안정시킨다. 이러한 실시 예에서, 화살표(40)의 방향을 따라 흐르는 전류는 (i) P 상태에서 AP 상태로 스위칭 시키거나, (ii) 이전에 형성된 AP 상태를 안정시킨다.

[0028] 도 2b 는 도 2a 의 MRAM(30) 의 구성 표현도로서, MJT(10)는 저장된 데이터에 따라 가변 저항을 가지는 저장소자로 개시된다. MJT(10)는 전류는 (i) 화살표 방향(35) 에 따라 전류가 흐를 때 P 상태에서 AP 상태로 변화시키고, 및/또는 (ii) 화살표 방향(40) 에 따라 전류가 흐를 때 AP 상태에서 P 상태로 변화시킨다.

[0029] MJT(10)를 AP 상태에서 P 상태로, 또는 이와 반대로 스위칭하는데 요구되는 전압은 스위칭 전압 V_{c0} 을 초과해야 한다. 이에 대응하는 전류는 스위칭 전류 I_{c0} 으로 불린다. 특정 스위치 전압 V_{c0} 및 관련된 특정 스위칭 전류 I_{c0} 은 다양한 방식으로 정의될 수 있으며, 이러한 값들은 특정 시간 내에 메모리 셀의 50 % 스위칭 가능성에 기초하여 선택될 수 있다. 즉, 스위칭 전류 I_{c0} 는 MJT(10)의 설계에 기초하여 선택 또는 결정되거나, 특정 스위치 전압 V_{c0} 및/또는 스위칭 전류 I_{c0} 에서의 스위칭 가능성 측정에 기초하여 선택 또는 결정될 수 있다. 임계 스위치 전압 커런트 I_{c0} 이 만족되면, 저장된 메모리 비트가 값을 스위치 할 (예를 들어, “0” 에서 ” 1” 로, ” 1” 에서 ” 0” 으로) 확률 50% 가 존재한다. 표준 안정성 기대치를 만족시키기 위해 수용 가능한 에러율에서 스위칭이 일어나는 것을 보장하기 위해 과구동 전류(overdrive current)가 적용된다. 이 과구동 전류 I_{sw} 는 I_{c0} 값의 1.3 배, 1.5 배, 2 배 또는 2 배 이상일 수 있다. 예를 들어, MJT 장치에 대한 전류 I_{c0} 의 값이 쓰기 펄스폭 20 ns 에서 7 μ A 라면, MTJ의 상태를 안정적으로 스위치 하기 위해 사용되는 I_{sw} 는 11 μ A 이상일 수 있다.

[0030] 일부 경우에, “안전(safe)” 쓰기 전류 (예를 들어, 쓰기 에러율이 약 $10e-9$ 보다 작은 경우) 는, 특정 기간, 예를 들어 10 ns 동안 스위칭 전류 I_{c0} 의 1.5 배에서 2 배일 수 있다. 메모리 셀로부터 비트 값을 독출하기 위해 상대적으로 “안전” 읽기 전류가 가해질 수 있다 (예를 들어, 읽기 에러율이 $10e-9$ 보다 작은 경우). 예를 들어, “안전” 읽기 전류는 스위칭 전류 I_{c0} 의 0.2 배(즉, 20%) 일 수 있다. 다른 예로서, 스위칭 전류 I_{c0} 가 6 μ A 이면, 정상 동작 모드에서의 쓰기 전류는 적어도 12 μ A 이거나 대략 12 μ A 일 수 있으며, 정상 동작 모드에서의 읽기 전류는 1.2 μ A 보다 작거나 대략 1.2 μ A 일 수 있다. 이러한 방식으로, 정상 쓰기 동작 모드에서 메모리 셀이 적절하게 스위칭 할 수 있는 확률이 일부 경우에는 거의 100% 일 정도로 굉장히 높다. 유사하게, 정상 읽기 모드에서 우연히 메모리 셀의 값이 스위칭하는 확률은 일부 경우에는 0 에 가까울 정도로 굉장히 낮다.

[0031] AP 상태에서, 공급된 전압을 제거하는 것은 MJT(10) 의 상태에 영향을 주지 않는다. 이와 같이, 정상 동작 모드에서 AP 상태에서부터 P 상태로의 천이를 위해, 적어도 V_{c0} 의 음전압이 적용되어 메모리 셀에서 반대방향으로 적어도 스위칭 전류 I_{c0} 크기의 전류가 흐르게 된다. P 상태에서 공급된 전압을 제거하는 것인 MJT(10) 의 상태에 영향을 미치지 않는다.

[0032] 즉, MJT(10)는 반평형 상태 (즉, 높은 저항 상태 또는 “1” 로직 상태) 에서 “0” 을 저장하기 위해 평형 상태 (즉, 낮은 저항 상태 또는 “1” 로직 상태) 로 스위칭될 수 있다. MJT(10) 가 정상 동작 모드에서 초기에 “1” 로직 상태 또는 AP 상태 가정하면, 스위칭 전류 I_{c0} 보다 같거나 큰 전류가 화살표(40) 방향으로 트랜지스터(20)를 통해 흐른다. 이를 달성하기 위해 트랜지스터(20) 의 소스 노드(SL)는 저항 경로를 통해 접지 전위에 연결되며, 양전압은 트랜지스터(20)의 게이트 노드(WL)로 공급되며, 양전압은 트랜지스터(20)의 드레인 노드(BL)로 공급된다.

[0033] 상술한 바와 같이, MTJ(10)은 평형 상태에서 반 평형 상태로 스위치 됨으로써 "1"을 저장할 수 있다. MTJ(10)가 초기에 논리 "0" 또는 P 상태라고 가정하면, 일반 동작 모드(normal operation mode)에서 "1"을 저장하기 위하여 전류 I_{c0} 보다 크거나 같은 전류가 화살표(35) 방향으로 트랜지스터(20)를 통하여 흐른다. 이 동작을 위하여, 노드(SL)에는 저항성 경로(resistive path, 미도시)를 통하여 양 전압(positive voltage)이 제공되고, 노드

(WL)에는 양 전압이 제공되고, 노드(BL)는 저항성 경로(resistive path, 미도시)를 통하여 접지 전위에 연결된다.

[0034] 도 3a는 도 1의 메모리 어레이(110)의 일부 또는 블록(102)을 보여주는 블록도이다. 블록(102)은 예를 들어, STT-MRAM 셀(30)과 같은 메모리 셀들을 포함한다. 도 2a 및 도 2b를 참조하여 설명한 바와 같이, 각 STT-MRAM 셀의 자유층(16)은 비트 라인(BL0, 예를 들어 112) 및 비트 라인(BL1, 114)에 연결될 수 있다. 각 STT-MRAM 셀(30)의 고정층(12)은 그것과 관련 있는 선택 트랜지스터(20)의 드레인에 연결될 수 있다. 각 선택 트랜지스터(20)의 소스는 소스 라인들(예를 들어, 116, 118)에 연결될 수 있다. 소스 라인들(예를 들어, 116, 118)은 이하에서 설명될 바와 같이 일반 동작 모드에서 내부 공통 전압 플레인 발생기(120; internal common voltage plane generator, 이하 내부 VCP 발생기)와 같은 내부 아날로그 전압 발생기에 연결되거나, 또는 테스트 모드에서 VCP 패드 또는 외부 VCP 핀(125)에 연결될 수 있다. 선택 트랜지스터들의 게이트들은 워드 라인들(예를 들어, WL0, WL1, WLn-1~WLn)에 의하여 제어될 수 있다.

[0035] DFT 회로(115, 도 1 참조)는, 예를 들어, 하나 또는 그 이상의 정전류 구동기(135), 패스트 에러 스트레스 테스트 회로(140), 하나 또는 그 이상의 VCP 선택 스위치들(130), VCP 패드 또는 외부 VCP 핀(125), 그리고 선택적으로 하나 또는 그 이상의 쓰기 펄스 폭 컨트롤 회로들(145)을 포함한다.

[0036] VCP 선택 스위치(130)은 내부 VCP 발생기(120) 또는 VCP 패드 또는 외부 핀(125) 중 어느 하나를 선택할 수 있다. 즉, 소스 라인들(예를 들어, 116, 118)은 테스트 컨트롤 신호(DVCP) 및/또는 테스트 컨트롤 신호(/DVCP)에 응답하여 내부 VCP 발생기(120) 또는 VCP 패드 또는 외부 핀(125) 중 어느 하나에 연결될 수 있다. 예를 들어, DVCP 신호가 어SSERT(assert)될 때, 내부 VCP 발생기(120)는 디스에이블(disable)되거나 또는 메모리 셀 어레이(110)의 소스 라인들로부터 연결이 끊어질(disconnected) 수 있고, VCP 패드 또는 외부 핀(125)은 인에이블(enable)되거나 또는 메모리 셀 어레이(110)의 소스 라인들에 연결(connect)될 수 있다. 반대로, DVCP 신호가 어SSERT되지 않을 때, 내부 VCP 발생기(120)은 인에이블 되거나 또는 메모리 셀 어레이(110)의 소스 라인들에 연결될 수 있고, VCP 패드 또는 외부 핀(125)은 디스에이블되거나 또는 메모리 셀 어레이(110)의 소스 라인들로부터 연결이 끊어질 수 있다. VCP 선택 스위치(130)는 멀티플렉서(multiplexer) 또는 적당한 스위치일 수 있다.

[0037] 정전류 구동기(135)는, 예를 들어, 양 전압 제공기(132)에 연결된 p-채널 타입 트랜지스터(137)와 음 전압 또는 접지 전압 제공기(134)에 연결된 n-채널 타입 트랜지스터(139)를 포함할 수 있다. 트랜지스터(137)는 PMOS 전류 미러 회로(current mirror circuit, 미도시)에 연결될 수 있다. 이와 유사하게, 트랜지스터(139)는 NMOS 전류 미러 회로(current mirror circuit, 미도시)에 연결될 수 있다. 트랜지스터들은 테스트 컨트롤 신호들(/EP, EN)에 의하여 컨트롤될 수 있다. 테스트 컨트롤 신호들(/EP, EN)은 이하에서 설명될 바와 같이 하나 또는 그 이상의 쓰기 펄스 폭 컨트롤 회로(145)를 이용하여 메모리 장치 내부에서 생성될 수 있다. 다른 실시 예로, 테스트 컨트롤 신호들(/EP, EN)은 메모리 장치(105) 외부에서 생성되어 정전류 구동기(135)에 제공될 수 있다. 일반 동작 모드에서, 정전류 구동기(135)는 테스트 되는 상태가 아닐 때 메모리 장치(105)의 다른 부분에 대한 영향을 제거하기 위하여 3상태(tri-state)일 수 있다.

[0038] FEST 회로(140)는 비트 라인들(112, 114)과 각각 관련된 FEST 트랜지스터들(142, 144)을 포함한다. 이는 각 비트 라인이 연결된 FEST 트랜지스터와 관련된다고 이해될 수 있다. 각 FEST 트랜지스터는 FEST 테스트 컨트롤 신호에 응답하여 비트 라인들(BL0, BL1) 각각에 연결되어 정전류 구동기(135)에 연결될 수 있다. 컬럼 선택 신호들(CS0, CS1 또는 이와 관련된 신호)은 메모리 셀 어레이(110)의 컬럼들을 선택하는 것을 컨트롤한다. FEST 트랜지스터들(142, 144)은 FEST 테스트 신호에 응답하여 테스트 모드 동안에 감지 증폭기 및 쓰기 구동기(150)을 바이패스(bypass)할 수 있다.

[0039] DVCP, /DVCP 및/또는 FEST 테스트 컨트롤 신호들은 패스트 에러 스트레스 테스트 모드(fast error stress test mode)에 진입하는데 사용될 수 있다. FEST 테스트 컨트롤 신호는 비트 라인들이 정전류 구동기(135)에 연결되도록 한다. DVCP 및/또는 /DVCP 신호는 소스 라인들이 VCP 패드 또는 외부 핀(125)에 연결되도록 한다.

[0040] I. 쓰기 에러율(Write Error Rate, WER) 스크리닝

[0041] 테스트 모드에서 쓰기 에러를 스크리닝(screening)할 때, VCP 패드 또는 외부 핀(125)은 정전류 구동기(135)가 비트 라인들에 접지 전압 레벨을 제공하는 동안에 제 1 쓰기 펄스 폭 또는 시간에 해당하는 시간 만큼 양의 테스트 쓰기 전압 레벨(positive test write voltage level)로 유지될 수 있다. 정전류 구동기(135)의 n-채널 트랜지스터(139)는 EN 신호에 의하여 인에이블(enable)될 수 있고, p-채널 트랜지스터(137)은 /EP 신호에 의하여

디스에이블(disable)될 수 있다.

- [0042] 테스트 단계에서, VCP 패드 또는 외부 핀(125)과 정전류 구동기(135)는 제 1 테스트전류가 제 1 방향(예를 들어, 소스 라인들로부터 선택 트랜지스터(20)를 통과한 후 MTJ(10)을 통과하는 화살표(35) 방향)으로 메모리 셀들에 흐르도록 주입(inject)하거나 구동할 수 있다. 따라서, 제 1 데이터(예를 들어, 모두 "1"이거나 모두 "0")가 메모리 셀들에 기입될 수 있다. 이러한 스트레스 테스트 동작은 대량 병렬 스케일(massive parallel scale)로 수행될 수 있다. 일 실시 예로, 메모리 장치(105, 도 1 참조)의 모든 메모리 셀들 또는 실질적으로 모든 메모리 셀들은 이러한 방식(예를 들어, 병렬적(parallel))으로 동시에 테스트될 수 있다. 일 실시 예로, 예를 들어 적어도 1K(예를 들어, 1024)의 메모리 셀들을 포함하는 메모리 블록의 모든 메모리 셀들 또는 실질적인 모든 메모리 셀들은 이러한 방식(예를 들어, 병렬적)으로 동시에 테스트 될 수 있으며, 그 결과 총 전류(total current)는 관리할 수 있는 레벨 내에 있을 수 있다. 예를 들어, 소정 컬럼 내의 적어도 1024 개의 메모리 셀들과 관련된 적어도 1024 개의 워드 라인들은 동시에 턴 온(turn on) 될 수 있다. 다른 방법의 실시 예로, 하나의 워드 라인이 턴 온 될 수 있고, 복수의 컬럼들(예를 들어, 1024의 컬럼들)이 턴 온 될 수 있고, 그렇게 함으로써 적어도 1024의 메모리 셀들을 병렬적으로 테스트할 수 있다.
- [0043] 동시에, 예를 들어 병렬적으로, 제 1 데이터를 대량 스케일(massive scale)로 메모리 셀들에 기입한 후에, 데이터는 검증 동작을 수행하기 위하여 다시 독출될 수 있다. 즉, 대량 병렬 쓰기 동작(massive parallel write operation) 후의 검증은 플립(flip) 되지 않은 메모리 셀들이 있는 지 체크하는 것을 포함한다. 예를 들어, 감지 증폭기(150)와 그 밖의 읽기 회로들을 이용하는 일반적인 읽기 동작은 제 1 데이터가 각 메모리 셀에 올바르게 기입 되었는지를 검증하는 것으로 수행될 수 있다. 다른 예로, 검증 회로(미도시)는 제 1 데이터가 각 메모리 셀에 성공적으로 기입되었는지를 검증하는데 이용될 수 있다. 더욱이, 어드레스와 데이터 컴프레션 회로(data compression circuit)가 메모리 셀들에 저장된 동일한 데이터의 읽기 시간을 줄이기 위하여 사용될 수 있다. 동일한 데이터가 메모리 셀들에 쓰여져 있기 때문에, 읽기 컴프레션 모드(read compression mode)에서 데이터를 검증하는 것은 유용하고 효율적이며, 따라서 빠른 검증을 가능하게 한다. 더욱이, 어드레스와 데이터 컴프레션을 사용하지 않을 때, 오류 비트(failed bits) 또는 메모리 셀들은 기록될 수 있고 또는 하나 또는 그 이상의 리던던트 메모리 셀들(redundant memory cells)에 의하여 대체될 수 있다.
- [0044] 제 1 데이터를 메모리 셀들에 기입하고 검증 절차를 수행한 후에, 반대의 데이터가 유사한 대량 스케일로 메모리 셀들에 쓰여질 수 있다. 정전류 구동기(135)가 비트 라인들에 테스트 쓰기 전압 레벨을 제공하는 동안에, VCP 패드 또는 외부 핀(125)은 제 2 펄스 폭 또는 시간 동안에 접지 전압 레벨로 유지될 수 있다. 정전류 구동기(135)의 n-채널 트랜지스터(139)는 EN 신호에 의하여 디스에이블 될 수 있고, p-채널 트랜지스터(137)는 /EP 신호에 의하여 인에이블 될 수 있다.
- [0045] 테스트 단계에서, VCP 패드 또는 외부 핀(125)과 정전류 구동기(135)는 제 2 테스트전류가 제 1 방향과 반대인 제 2 방향(예를 들어, 비트 라인들로부터 MJT(10)를 통과한 후 선택 트랜지스터(20)을 통과하는 화살표(40) 방향)으로 메모리 셀들에 흐르도록 주입(inject)하거나 구동할 수 있다. 따라서, 제 2 데이터(예를 들어, 모두 "0"이거나 모두 "1")가 메모리 셀들에 기입될 수 있다. 이러한 스트레스 테스트 동작은 대량 병렬 스케일(massive parallel scale)로 수행될 수 있다. 일 실시 예로, 메모리 장치(105, 도 1 참조)의 모든 메모리 셀들 또는 실질적으로 모든 메모리 셀들은 이러한 방식(예를 들어, 병렬적(parallel))으로 동시에 테스트될 수 있다. 일 실시 예로, 예를 들어 적어도 1K(예를 들어, 1024)의 메모리 셀들을 포함하는 메모리 블록의 모든 메모리 셀들 또는 실질적인 모든 메모리 셀들은 이러한 방식(예를 들어, 병렬적)으로 동시에 테스트 될 수 있다. 제 2 쓰기 테스트 전류는 제 1 테스트 전류와 다르거나 실질적으로 같을 수 있다.
- [0046] 보다 큰 진폭(amplitude), 긴 주기(periods, 예를 들어 펄스 폭(pulse width))을 가지는 쓰기 전류들 및/또는 높은 온도 환경 하에서 테스트는 스위칭 확률(switching probability)을 증가시킬 수 있다. 반대로, 작은 진폭, 짧은 주기를 가지는 쓰기 전류 및/또는 낮은 온도 환경에서의 테스트는 스위칭 확률을 감소시킬 수 있으며, 따라서 데이터가 성공적으로 기입되는 것이 어려울 수 있다. 따라서, 쓰기 에러 율(write error rates)을 체크하기 위해서는, 쓰기 전류 진폭, 펄스 폭 및/또는 테스트 온도는 줄어들 수 있고, 스위칭 확률이 감소될 수 있으며, 그렇게 함으로써 이하에서 설명될 바와 같이 쓰기 에러 율을 의도적으로 증가시킬 수 있다.
- [0047] 제 2 데이터를 메모리 셀들에 대량 스케일로 동시에 기입한 후에, 데이터는 검증을 위하여 다시 독출될 수 있다. 예를 들어, 감지 증폭기와 그 밖의 읽기 회로들을 이용하는 일반적인 읽기 동작은 제 2 데이터가 각 메모리 셀에 올바르게 기입 되었는지를 검증하는 것으로 수행될 수 있다. 위에서 언급한 바와 같이, 검증 회로는 제 1 데이터가 각 메모리 셀에 성공적으로 기입되었는지를 검증하는데 이용될 수 있다. 더욱이, 어드레스와 데이터

컴프레션 회로(data compression circuit)가 메모리 셀들에 저장된 동일한 데이터의 읽기 시간을 줄이기 위하여 사용될 수 있다. 동일한 데이터가 메모리 셀들에 쓰여져 있기 때문에, 읽기 컴프레션 모드(read compression mode)에서 데이터를 검증하는 것은 유용하고 효율적이며, 따라서 빠른 검증을 가능하게 한다.

[0048] II. 읽기 에러율(read error rate, RER) 스크리닝, 펄스 테스트 초기화, 리텐션 테스트

[0049] 메모리 셀들에 대한 쓰기 스트레스 테스트에 더하거나 이를 대체하여, 위에서 설명된 바와 같이, 메모리 셀들은 읽기 에러를 위하여 스크린 될 수 있다. 예를 들어, RER 스크리닝(screening)은 이하에서 설명될 바와 같이 대량 스케일(massive scale)에서의 읽기 디스터브(read disturb)를 테스트하는 것을 포함할 수 있다. 더하여, 펄스 테스트 초기화(fast test initialization) 및 리텐션 테스트(retention-testing)이 유사한 대량 스케일로 수행될 수 있다.

[0050] 읽기 디스터브 또는 리텐션 테스트 전에, 위에서 설명된 대량 병렬 쓰기 기술(massive parallel writing techniques)이 전체 메모리 어레이 또는 메모리 어레이의 하나 또는 그 이상의 메모리 블록들을 소정 데이터 값으로 빠르고 효율적으로 초기화하는데 사용될 수 있다. 즉, VCP 패드 또는 외부 핀 그리고 정전류 구동기는 제 1 데이터(예를 들어, "1") 또는 제 2 데이터(예를 들어, "0") 중 어느 하나가 메모리 셀들에 쓰여지도록 초기화 전류(initialization current)를 메모리 셀들에 병렬적으로 구동할 수 있다. 다른 실시 예로, 외부의 마그네틱 필드(magnetic field, 미도시)가 메모리 셀들 내에 전류를 유도하고 데이터가 메모리 셀들에 쓰여지도록 사용될 수 있으며, 그렇게 함으로써 읽기 디스터브 또는 리텐션 타입 테스트(retention type test)의 준비를 할 수 있다. 대체적인 실시 예로, 보다 긴 테스트 셋업 타임(setup time)을 초래한다 하더라도, 메모리 셀들은 일반적인 메모리 쓰기 절차를 이용하여 초기화 될 수 있다.

[0051] 하나 또는 그 이상의 메모리 블록들이 알고 있는 데이터 값으로 초기화된 후에, 읽기 디스터브 테스트 전류가 메모리 셀들에 대량 스케일로 병렬적으로 주입되거나 구동될 수 있다. 읽기 디스터브 전류는 병렬적으로 메모리 셀들에 제 1 또는 제 2 방향으로 제공되어 구동될 수 있다. 예를 들어, 읽기 디스터브 전류는 VCP 패드 또는 외부 핀으로부터 메모리 셀들을 통과하여 정전류 구동기를 향하는 방향으로 구동될 수 있다. 다른 예로, 읽기 디스터브 전류는 정전류 구동기로부터 메모리 셀들을 통과하여 VCP 패드 또는 외부 핀을 향하는 방향으로 구동될 수 있다. 읽기 디스터브 전류는 아래에서 설명될 바와 같이 일반 읽기 전류보다 높을 수 있으며, 이는 하나 또는 그 이상의 메모리 셀들의 데이터 비트 값이 테스트를 하는 동안에 플립(flip)될 확률을 증가시킬 수 있다.

[0052] 좀더 구체적으로, RER 스크리닝은 정전류 구동기가 비트 라인들에 접지 전압 레벨을 제공하는 동안에 VCP 패드 또는 외부 핀을 테스트 읽기 펄스 폭과 관련된 시간 동안에 테스트 읽기 전압 레벨로 유지함으로써 읽기 디스터브 전류를 메모리 셀들에 주입하는 것을 포함한다. 대체적으로, RER 스크리닝은 정전류 구동기가 비트 라인들에 테스트 읽기 전압 레벨을 제공하는 동안에 VCP 패드 또는 외부 핀을 테스트 읽기 펄스 폭 또는 시간 동안 접지 전압 레벨로 유지함으로써 읽기 디스터브 전류를 메모리 셀들에 주입하거나 구동하는 것을 포함한다. 테스트 읽기 펄스 폭 또는 시간은 이하에서 설명될 바와 같이 일반 읽기 펄스 폭 또는 시간 보다 길 수 있으며, 이는 또한 의도적으로 테스트 동안에 비트 값이 플립(flip) 될 가능성을 증가시킬 수 있다.

[0053] 읽기 디스터브 전류를 메모리 셀들에 대량 스케일로 구동한 후에, 메모리 셀들에 저장된 데이터는 검증을 위하여 다시 독출될 수 있다. 예를 들어, 초기화되었던 데이터 값들이 플립되었는지 또는 플립되지 않았는지의 여부를 검증하기 위하여, 일반적인 읽기 동작이 일반 읽기 전류, 감지 증폭기(150), 그리고 다른 메모리 읽기 회로를 이용하여 수행될 수 있다. 다른 예로, 데이터는 컴프레션 회로(compression circuitry)를 사용하는 읽기 컴프레션 모드(read compression mode)에서 독출되고 검증될 수 있다. 더하여, 어드레스와 데이터 컴프레션을 사용하지 않을 때, 오류 비트(failed bits) 또는 메모리 셀들은 기록될 수 있고 또는 하나 또는 그 이상의 리던던트 메모리 셀들(redundant memory cells)에 의하여 대체될 수 있다.

[0054] 비록 읽기 전류가 쓰기 전류보다 적기 때문에 읽기 디스터브 전류를 구동할 때 보다 많은 메모리 셀들이 동시에 테스트 될 수 있다고 하더라도, 읽기 디스터브 전류는 쓰기와 유사한 대량 스케일에 적용될 수 있다. 더하여, 스트레스 전압 또는 전류로 데이터를 메모리 셀들에 병렬적으로 기입하고(예를 들어, 초기화), 메모리 셀들을 병렬적으로 독출하고, 정확한 비트 값들의 리텐션을 테스트함으로써 리텐션 실패(retention failures)가 스크린 될 수 있다.

- [0055]
- [0056] III. WER 스크리닝과 RER 스크리닝의 다양한 예
- [0057] 일반적으로, 보다 높은 전류, 보다 긴 주기(예를 들어, 펄스 폭), 보다 높은 온도는 스위칭 확률을 증가시킨다. 쓰기 에러율을 체크하기 위해서는, 스위칭 확률을 줄이기 위해 쓰기 전류, 주기 및/또는 테스트 환경 온도를 낮게 할 수 있고, 그렇게 함으로써 의도적으로 쓰기 에러율을 증가시킬 수 있다. 읽기 에러율을 체크하기 위해서는, 스위칭 확률을 증가시키기 위하여 전류, 주기 및/또는 테스트 환경 온도를 높일 수 있고, 그렇게 함으로써 의도적으로 읽기 에러율을 증가시킬 수 있다.
- [0058] 예를 들어 어느 한 방향으로 대량 병렬 쓰기에 관련된 테스트를 수행하는 동안, 일반 쓰기 전류 또는 안전(safe) 쓰기 전류보다 낮은 진폭(amplitude)을 갖는 쓰기 전류는 메모리 셀 값이 스위치되는 가능성을 낮추기 위하여 사용될 수 있고, 약한 비트들(weaker bits)이 테스트 모드 동안 스크린 되고 하나 또는 그 이상의 리던던트 메모리 셀들(redundant memory cells)에 의하여 대체될 것이다. 낮은 전류를 이용하여 MTJ(10)를 평형 상태에서 반 평형 상태로의 또는 반 평형 상태에서 평형 상태로의 스위칭을 일으키는 것은 보다 힘들기 때문에, 스위칭의 가능성은 줄어든다. 예를 들어, 제 1 및/또는 제 2 쓰기 테스트 전류는 일반 쓰기 전류의 X%이며, X는 100보다 작을 수 있다. 즉, 쓰기 전류의 진폭은 테스트 모드 동안에 줄어들 수 있으며, 하여 테스트 쓰기 전류는 일반 쓰기 전류의 X%일 수 있다. X는 시뮬레이션(simulation), 모델링(modeling) 또는 다른 실험 방법들을 통하여 결정될 수 있다. 예를 들어, X는 95, 90, 85, 80, 75, 70, 65, 60, 55, 50 등 일 수 있으며, 원하는 스트레스 레벨에 따라 달라질 수 있다.
- [0059] 쓰기 전류의 진폭의 조정 뿐만 아니라, 쓰기 펄스 폭 또는 시간 역시 테스트 모드 동안에 조정될 수 있다. 일반 쓰기 펄스 폭보다 짧은 쓰기 펄스 폭(write pulse width)은 쓰기 에러율을 증가시킨다. 쓰기 테스트 전류 및/또는 쓰기 펄스 폭은 의도적으로 쓰기 에러율을 증가시키기 위하여 일반 값들보다 줄어들 수 있으며, 약한 비트들이 스크린 되거나 대체될 수 있다. 예를 들어, 만약 일반 쓰기 펄스 폭이 20ns 이라면, 테스트 모드에서의 쓰기 펄스 폭은 10ns 또는 그와 유사한 범위일 수 있다. 진폭의 감소 및 펄스 폭 감소가 조합되어 사용될 수도 있다. 더하여, 테스트 환경의 온도가 일반 동작 온도 범위(normal operating temperature range)에 비하여 낮아질 수 있으며, 이는 MTJ(10)이 스위치 되는 것을 더욱 어렵게 만들 수 있다. 예를 들어, 테스트 환경 온도는 섭씨 영하 20도 이하 또는 그와 유사한 온도, 섭씨 영하 40도 이하 또는 그와 유사한 온도와 같이 일반 동작 온도 범위보다 낮을 수 있다. 번-인 오븐(burn-in oven) 또는 다른 온도 사이클링 기구(temperature cycling appliance) 또는 ATE가 테스트 환경 온도를 조정하기 위하여 사용될 수 있다. 낮은 쓰기 전압과 쓰기 전류, 짧은 쓰기 펄스 폭, 및/또는 낮은 온도의 조합이 대량 병렬 쓰기가 수행되는 동안에 테스트 시간을 줄이기 위하여 사용될 수 있다.
- [0060] 대량 병렬 읽기와 관련된 테스트를 수행하는 동안에, 일반 또는 안전(safe) 읽기 전류보다 큰 진폭을 갖는 읽기 전류가 읽기 디스터브(read disturb)의 가능성을 증가시키기 위하여 사용될 수 있으며, 따라서 약한 비트들이 테스트 모드 동안에 스크린 되고 하나 또는 그 이상의 리던던트 메모리 셀들에 의하여 대체될 수 있다. MTJ(10)는 높은 전류에서 평형 상태에서 반 평형 상태로 또는 반 평형 상태에서 평형 상태로 좀더 쉽게 스위치 되기 때문에, 읽기 디스터브의 가능성은 증가될 수 있다. 예를 들어, 제 1 및/또는 제2 읽기 테스트 전류는 일반 읽기 전류의 X% 일 수 있으며, X는 100 보다 클 수 있다. 즉, 읽기 전류의 진폭은 테스트 모드 동안에 증가될 수 있으며, 하여 테스트 읽기 전류는 일반 읽기 전류의 X%(X는 100 이상) 일 수 있다. X는 시뮬레이션(simulation), 모델링(modeling) 또는 다른 실험 방법들을 통하여 결정될 수 있다. 예를 들어, X는 105, 110, 115, 120, 125, 130, 135, 140, 145, 150 등 일 수 있으며, 원하는 스트레스 레벨에 따라 달라질 수 있다.
- [0061] 읽기 전류의 진폭의 조정 뿐만 아니라, 읽기 펄스 폭 역시 테스트 모드 동안에 조정될 수 있다. 일반 읽기 펄스 폭보다 긴 읽기 펄스 폭(read pulse width)은 읽기 에러율을 증가시킨다. 읽기 테스트 전류 및/또는 읽기 펄스 폭은 의도적으로 읽기 에러율을 증가시키기 위하여 일반 값들보다 증가될 수 있으며, 약한 비트들이 스크린 되거나 대체될 수 있다. 예를 들어, 만약 일반 읽기 펄스 폭이 10ns 이라면, 테스트 모드에서의 읽기 펄스 폭은 20ns 또는 그와 유사한 범위일 수 있다. 진폭의 증가 및 펄스 폭 증가가 조합되어 사용될 수도 있다. 더하여, 테스트 환경의 온도가 일반 동작 온도 범위(normal operating temperature range)에 비하여 높아질 수 있으며, 이는 MTJ(10)이 스위치 되는 것을 더욱 쉽게 만들 수 있다. 예를 들어, 테스트 환경 온도는 섭씨 영상 120도 정도 또는 그와 유사한 온도, 섭씨 영상 150도 정도 또는 그와 유사한 온도와 같이 일반 동작 온도 범위보다 높을 수 있다. 번-인 오븐(burn-in oven) 또는 다른 온도 사이클링 기구(temperature cycling appliance) 또는 ATE가 테스트 환경 온도를, 예를 들어 섭씨 260 이상까지 조정하기 위하여 사용될 수 있다. 높은 읽기 전압과 읽기

전류, 긴 읽기 펄스 폭, 및/또는 높은 온도의 조합이 대량 병렬 쓰기가 수행되는 동안에 테스트 시간을 줄이기 위하여 사용될 수 있다.

[0062] 상술한 대량 병렬 쓰기 기술들은 빠르고 효율적으로 전체 메모리 어레이 또는 메모리 어레이의 하나 또는 그 이상의 메모리 블록을 소정 데이터 값으로 초기화 하는데 사용될 수 있다. 즉, 본 발명의 기술적 사상은 패스트 테스트 셋업(fast test setup)을 제공할 수 있고, 이후 정확성을 위한 데이터의 리텐션 테스트 및 읽기 또는 검증이 수행될 수 있다. 다른 실시 예로, 외부 매그네틱 필드(external magnetic field, 미도시)가 메모리 셀들 내에 전류를 유도하고 데이터가 메모리 셀에 기입되도록 하기 위하여 사용될 수 있다.

[0063] IV. 기능 테스트 및 셀 투 셀 영향 스크리닝

[0064] 본 발명의 기술적 사상의 실시 예는 저항성 메모리 셀들의 기능 테스트(functional test)를 수행하는 데에도 사용될 수 있다. 더하여, 셀 투 셀(cell-to-cell) 영향이 기능 테스트의 일부로 체크될 수 있다. 예를 들어, 어드레스 및 체커보드 패턴(checkerboard pattern), 무빙 인버전 패턴(moving inversion pattern), 로우 스트라이프 패턴(row stripe pattern) 및/또는 컬럼 스트라이프 패턴(column stripe pattern)과 같은 데이터 패턴이 생성될 수 있으며, 다른 기능 테스트 모드에서 테스트 될 수 있다. 다른 실시 예로, 모든 컬럼(column)들이 인에이블 되고, 하나의 로우(row) 또는 워드 라인이 인에이블 되고, 그렇게 함으로써 해당 로우의 모든 셀들을 기능적으로 테스트할 수 있다. 다른 실시 예로, 모든 로우 또는 워드 라인들이 인에이블 되고, 하나의 컬럼이 인에이블 되고, 그렇게 함으로써 해당 컬럼의 모든 메모리 셀들을 기능적으로 테스트 할 수 있다.

[0065] 다른 실시 예로, 제 1 데이터(예를 들어, "1")는 짝수 번째 로우(row)들에 쓰여질 수 있고, 제 2 데이터(예를 들어, "0")는 홀수 번째 로우들에 쓰여질 수 있다. 다른 실시 예로, 제 1 데이터(예를 들어, "1")는 짝수 번째 컬럼(column)들에 쓰여질 수 있고, 제 2 데이터(예를 들어, "0")는 홀수 번째 컬럼들에 쓰여질 수 있다. 다른 실시 예로, 싱글(single), double(double), 멀티플(multiple) 컬럼 스트라이프 패턴(column stripe pattern)들이 하나 또는 그 이상의 메모리 블록의 메모리 셀들에 기입될 수 있다. 체커 보드 패턴(checker board pattern)이 하나 또는 그 이상의 메모리 블록의 메모리 셀들에 기입될 수 있다. 체커 보드 패턴은 로우들을 하나 걸러 하나씩 선택하고 컬럼들을 하나 걸러 하나씩 선택하고 난 후 제 1 데이터(예를 들어, "1")를 기입하고, 남은 하나 걸러 하나의 로우들을 선택하고 남은 하나 걸러 하나의 컬럼들을 선택하고 난 후 제 2 데이터(예를 들어, "0")를 기입함으로써 만들어 질 수 있다. 모드 레지스터 셋(MRS, Mode Register Set) 명령은 하나 또는 그 이상의 기능 테스트 모드를 선택하거나 상술한 다른 테스트 모드를 선택하는데 사용될 수 있다.

[0066] 셀 투 셀(cell-to-cell) 영향은 기능 테스트가 발생한 이후에 검증 목적으로 데이터를 다시 읽음으로써 체크되거나 측정될 수 있다. 즉, 하나 또는 그 이상의 기능 테스트들을 수행한 후에, 데이터가 올바르게 기입되었는지 또는 올바른 값을 유지하고 있는 지를 검증하기 위하여 데이터는 일반적인 읽기 동작 을 이용하여 다시 독출될 수 있다. 메모리 장치의 외부로부터 오거나 인접 메모리 셀들에 의하여 발생하는 전자기 방해(electromagnetic interference)는 데이터 품질의 지속성 및 데이터 리텐션에 영향을 줄 수 있다. 본 출원에서 설명된 기능 테스트를 수행함으로써, 약한 비트 또는 메모리 셀들이 셀 투 셀 영향 또는 다른 디스터브(disturbance)로 인한 오류(failure)를 의도적으로 증가시킴으로써 스크린 될 수 있다.

[0067] 도 3a는 도 1의 메모리 어레이(110)의 일부분 또는 블록(102)을 보여주는 블록도이다. 도 3b는 도 3a와 유사하며, 주된 다른 부분은 FEST 트랜지스터(144)의 소스가 제 1 정전류 구동기(135)와 다른 정전류 구동기인 제 2 정전류 구동기(195)에 연결된다는 것이며, 이는 정전류 구동기(195)가 정전류 구동기(135)에 추가된다는 것이다. 정전류 구동기(195)의 구성요소는 정전류 구동기(135)의 구성요소와 유사하거나 동일하다. 이 실시 예는 짝수 또는 홀수 번째 컬럼에 대하여 독립적인 전류 구동기가 대응하는 것을 가능하게 한다. 즉, 홀수 및 짝수 번째 비트 라인들은 135 또는 195에 의하여 인에이블 되는 상반되는 전류에 의하여 스트레스 받을 수 있고, VCP로부터 플로팅(floating)되거나 연결이 끊어질 수 있다. 만약 정전류 구동기(135)의 PMOS 트랜지스터가 온(on) 이고 정전류 구동기(195)의 NMOS 트랜지스터가 온 이라면, 전류는 135에서 195의 방향으로 흐를 것이며, 상반되는 전류가 메모리 셀들의 홀수 및 짝수 번째 컬럼들을 통과하면서 스트레스를 줄 것이다.

[0068] 다시 말하면, 전류는 제 1 방향으로 홀수 번째 비트 라인들과 관련된 메모리 셀들에 흐를 것이며, 제 1 방향과 반대의 제 2 방향으로 짝수 번째 비트 라인들과 메모리 셀들에 흐를 것이다. 만약 VCP로부터 플로팅되어 있거나 연결이 끊어져 있는 동안에 정전류 구동기(195)의 PMOS 트랜지스터가 온 이고 정전류 구동기(135)의 NMOS 트랜

지스터가 온 이라면, 상반되는 전류가 흐를 것이다(예를 들어, 메모리 셀들의 다른 컬럼들과 관련되어 제 1 방향과 제 2 방향이 바뀔 것이다). 더하여, 정전류 구동기들(135, 195)의 출력 라인은 외부 테스트기 또는 ATE를 통하여 직접적으로 컨트롤 하기 위하여 본딩 패드(bonding pad)에 직접적으로 연결될 수 있다.

[0069] 즉, 짝수 번째 컬럼들 또는 비트 라인들은 제 1 정전류 구동기(135)에 연결될 수 있고 홀수 번째 컬럼들 또는 비트 라인들은 제 2 정전류 구동기(195)에 연결될 수 있다. 따라서 다른 컬럼들은 동시에 다른 방향으로 스트레스를 받거나 테스트 될 수 있다. 셀 투 셀 스트레스는 예를 들어 다른 컬럼들의 셀들 사이의 터널링(tunneling) 또는 다른 간섭(interference)을 스크린 함으로써 측정되거나 관찰될 수 있다.

[0070] 도 4는 서브 어레이 블록(210)과 같은 서브 어레이 블록들(sub-array blocks)을 포함하는 64Mb 메모리 블록(205)을 예시적으로 보여주는 블록 다이어그램이다. 각 서브 어레이 블록(210)은 복수의 메모리 어레이 타일들(MATs, memory array tiles)을 포함한다. 각 메모리 어레이 타일(215)은 어레이 또는 메모리셀들의 블록을 포함할 수 있다. 예를 들어, 각 메모리 어레이 타일(215)은 메모리 블록(220)과 같이 M 개의 워드 라인들(WL)과 N 개의 비트 라인들(BL)을 갖는 메모리 블록을 포함할 수 있다. 워드 라인들의 숫자 M은 1부터 1024의 숫자 중 하나일 수 있으며, 다른 예로 1024 이상일 수 있다. 이와 유사하게, 비트 라인들의 숫자 N은 1부터 1024의 숫자 중 하나일 수 있으며, 다른 예로 1024 이상일 수 있다. 각 메모리 어레이 타일(215)는 제 1 정전류 구동기(135) 및/또는 제 2 정전류 구동기(235)와 관련될 수 있으며, 이는 두 개의 메모리 어레이 타일들(215) 사이에 배치된 로컬 컬럼 선택 섹션(225, LCS)에 포함될 수 있다. 정전류 구동기들(135, 235)은 여기에서 설명되는 다양한 테스트 모드들 동안에 메모리 셀들에 충분한 구동을 제공하도록 분배될 수 있다. 일 실시 예에 있어서, 정전류 구동기들(135, 235) 중 어느 하나 또는 두 개의 구동기들 모두가 패드 또는 외부 핀에 연결될 수 있으며, 패드 또는 외부 핀을 통하여 하나 또는 복수의 테스트 컨트롤 신호들(예를 들어, /EP and EP)을 수신할 수 있다. 일 실시 예에 있어서, 두 개의 정전류 구동기들(135, 235) 모두 동일한 패드 또는 외부 핀에 연결될 수 있다. 로컬 컬럼 선택 섹션(225)은 FEST 회로(140)를 포함할 수 있다. 일 실시 예로, 로컬 컬럼 선택 섹션(225)은 64Mb 메모리 블록(205) 전체에서 다양한 메모리 어레이 타일들(215) 사이에 복제될 수 있다. 많은 64Mb 메모리 블록들(205)이 결합되어 보다 큰 메모리 셀 어레이 및/또는 적절한 크기의 장치를 형성할 수 있다. 감증 증폭기 및 쓰기 구동기(150)는 로컬(local) 감지 증폭기 및 쓰기 구동기 일 수 있으며, 이 경우에 다양한 메모리 어레이 타일들(215) 사이에 배치될 수 있다. 다른 예로, 하나 또는 복수의 글로벌(global) 센스 감지 증폭기 및 쓰기 구동기가 메모리 어레이 타일들(215)과 분리되어 존재할 수 있으며, 로컬 컬럼 선택 섹션(225)에 포함되지 않을 수 있다.

[0071] 도 5는 본 발명의 기술적 사상의 다른 실시 예에 따른 도 1의 메모리 장치의 DFT 회로의 일 실시 예를 보여주는 블록다이어그램이다. 도 5는 패스트 에러 스트레스 테스트 회로를 포함한다. 도 5의 많은 구성요소들은 도 3과 동일 또는 유사하며, 따라서 이러한 구성요소들에 대한 자세한 설명은 생략된다.

[0072] 비트 라인들(예를 들어, 112, 114)를 정전류 구동기(135)에 연결시키기 위하여 FEST 트랜지스터들을 사용하는 대신에, 비트라인 프리차지 트랜지스터들(bit line precharge transistors, BLPR, 320, 325)이 사용된다. 메모리 장치들에 보통 비트라인 트랜지스터들이 보통 이미 존재하기 때문에, 본 발명의 기술적 사상을 실현하는 데는 보다 적은 부분이나 작은 다이 공간(die space)이 요구된다. 추가적인 비트라인 프리차지 트랜지스터들(310)이 또한 사용될 수 있으며, 이는 블록(112)의 다른 한쪽 끝에 배치될 수 있다. 더욱이, 비트라인 프리차지 트랜지스터들은 큰 물리적 특성을 갖도록 설계되거나 충분한 구동을 제공하도록 부스트(boost)될 수 있다. 스위치 회로(315)는 FEST 스위치 회로(330)와 DVCP 스위치 회로(335)를 포함한다. DVCP 스위치(335)는, 이 경우에 비록 FEST 스위치(330)와 함께 동작하지만, VCP 선택 스위치(130)과 유사한 방식으로 동작한다. 예를 들어, DVCP 신호와 FEST 신호가 어SSERT(asserT)될 때 내부 VCP 발생기(120)는 디스에이블(disable)되거나 또는 BLRP 트랜지스터들(예를 들어, 320, 325)로부터 분리될 수 있고, 정전류 구동기(135)는 BLRP 트랜지스터들이 턴 온 될 때 BLRP 트랜지스터들의 소스들에 연결되고, 따라서 비트 라인들(예를 들어, 112, 114)에 연결된다. 반대로, DVCP 신호가 어SSERT(asserT)되지 않을 때 내부 VCP 발생기(120)는 인에이블(enable)되거나 BLRP 트랜지스터들의 소스들에 연결될 수 있고, 따라서 BLPR 트랜지스터들이 턴 온 될 때 비트 라인들(예를 들어, 112, 114)에 연결된다. BLPR 트랜지스터들(예를 들어, 305 및/또는 310)은 스위치(315)와 유사한 스위치를 사용하여 정전류 구동기(135) 또는 다른 정전류 구동기에 연결될 수 있다고 이해될 수 있다. 따라서, 메모리 장치의 각 컬럼을 위한 FEST 트랜지스터들을 설계하지 않고도, 전체 메모리 어레이의 메모리 셀들 또는 메모리 셀들의 블록은 상기 설명된 바와 같이 동시에 테스트될 수 있다.

[0073] 도 6은 본 발명의 기술적 사상의 다른 실시 예에 따른 쓰기 펄스 폭 컨트롤 회로(405)를 예시적으로 보여주는 블록도이다. 쓰기 펄스 폭 컨트롤 회로(405)는 도 1의 DFT 회로(115)에 포함될 수 있다. 일 실시 예에 있어서,

테스트 컨트롤 신호들(예를 들어, EP, /EP, EN, 및/또는 EN)은 외부 자동 테스트 장비(ATE)에 의하여 도 1의 DFT 회로(115)에 제공될 수 있고, 따라서 펄스 폭 컨트롤 회로(405)는 선택적인 것일 수 있다. 그러나 쓰기 펄스 폭 컨트롤 회로(405)를 DFT 회로(115)에 포함함으로써, 메모리 장치(105)는 최소한의 외부 회로 또는 테스트 장비를 가지고 테스트될 수 있다는 장점이 있다.

[0074] 위에서 설명한 바와 같이, 메모리 장치(105, 도 1)은 메모리 셀 어레이(110)와 DFT 회로(115)를 포함할 수 있다. DFT 회로(115)는 하나 또는 그 이상의 정전류 구동기들(예를 들어, 도 3의 135)를 포함할 수 있고, 정전류 구동기 각각은 메모리 셀 어레이의 비트 라인들을 위에서 자세히 설명된 서로 다른 방향 또는 극성을 갖는 쓰기 테스트 전류들로 구동한다. DFT 회로(115)는 쓰기 펄스 폭 컨트롤 회로(405)를 포함할 수 있으며, 이는 테스트 컨트롤 신호들(예를 들어, EP, /EP, /EN 및/또는 EN)을 하나 또는 그 이상의 정전류 구동기들에 제공한다.

[0075] 쓰기 펄스 폭 컨트롤 회로(405)는 클럭 신호(CLK)를 수신하는 제 1 입력 버퍼(410)와 DQx 핀과 같은 리퍼퍼스 입출력 DQ 핀(repurposed input/output DQ pin)으로부터 신호를 수신하는 제 2 입력 버퍼(415)와 같은 다양한 구성요소를 포함할 수 있다. 일 실시 예에 있어서, DQx 핀은 비록 다른 DQ 핀들이 사용될 수 있다고 하더라도 DQ0 핀에 대응한다. 쓰기 펄스 폭 컨트롤 회로(405)의 어드레스 버퍼(425)는 A<0:i> 어드레스 신호들을 수신할 수 있다. 테스트 쓰기 컨트롤 회로(420)는 제 1 입력 버퍼(410), 제2 입력 버퍼(415) 그리고 어드레스 버퍼(425)에 연결되며, 클럭 신호(CLK), 리퍼퍼스 DQx 핀으로부터의 신호, 그리고 A<0:i> 어드레스 신호들 중 적어도 하나에 기초하여 복수의 테스트 컨트롤 신호들(예를 들어, EP, /EP, EN, 및/또는 /EN)을 발생한다. 일 실시 예에 있어서, DQ0 핀은 읽기 및/또는 쓰기 전류의 극성(polarity)을 정의하기 위하여 사용되고, CLK 하이 주기(CLK high period)는 읽기 및/또는 쓰기 펄스 폭을 정의하기 위하여 사용된다. 입력 테스트 신호 TEST가 어SSERT(assert)되지 않을 때(예를 들어, inactive 또는 LOW), 테스트 컨트롤 신호(EP)는 HIGH로 강제될 수 있고, 테스트 컨트롤 신호(EN)는 LOW로 강제될 수 있는데, 이는 전류 구동기를 3상(tri-states)로 되게 한다. 입력 테스트 신호(TEST)가 어SSERT(예를 들어, active 또는 HIGH)될 때, 전류 구동기 컨트롤 회로(145)는 인에이블(enable)될 수 있고, DQ0의 상태에 따라 EP가 액티브 LOW로 강제되거나 또는 EP가 액티브 HIGH로 강제된다. 동기화 동작(synchronous operation)에서, n-비트 카운터(n은 2 또는 그 이상임)는 펄스 폭 딜레이(pulse width delay)를 생성하도록 사용될 수 있다.

[0076] 테스트 쓰기 컨트롤 회로(420)는 n-비트 카운터(430)를 더 포함한다. 쓰기 펄스 폭 컨트롤 회로(405)는 어드레스 버퍼(425)와 테스트 컨트롤 회로(420)에 연결된 레지스터(435)를 더 포함한다. 레지스터(435)는 펄스의 타이밍(timing)을 컨트롤할 수 있다. 레지스터(435)는 또한 A<0:i> 신호들에 기초하여 DLY<0:n> 신호들을 생성한다. DLY<0:n> 신호들은 n-비트 카운터의 출력을 선택하는데 사용될 수 있다. 예를 들어, DLY<1>은 카운터의 최하위 비트(least significant bit)의 출력을 선택하는데 사용될 수 있으며, 그렇게 함으로써 카운터로부터 나오는 가장 짧은 펄스 폭을 생성할 수 있다. DLY<2>는 두 번째 최하위비트(second least significant bit)를 선택하는데 사용될 수 있다. DLY<0>는 카운터를 바이-패스(by-pass)하고 가장 짧은 펄스 폭을 CLK 주기로 선택할 수 있다. n-비트 카운터(430)의 출력과 클럭 신호의 주기는 테스트 컨트롤 신호들의 액티브 시간(active time)을 결정하는데 사용될 수 있다.

[0077] 제 1 논리 AND 게이트(440)는 제 1 입력 버퍼(410)와 테스트 쓰기 컨트롤 회로(420)에 연결되고, 클럭 신호(CLK)와 입력 테스트 신호(TEST)를 입력으로 수신하고, 입력 테스트 신호(TEST)가 어SSERT(assert)될 때 클럭 신호(CLK)를 재생산한다. 제 2 논리 AND 게이트(445)는 제 2 입력 버퍼(415)와 테스트 쓰기 컨트롤 회로(420)에 연결되고, 리퍼퍼스 DQx 핀으로부터의 신호와 입력 테스트 신호(TEST)를 입력으로 수신하고, 입력 테스트 신호(TEST)가 어SSERT(assert)될 때 리퍼퍼스 DQx 핀으로부터의 신호를 재생산한다. 테스트 쓰기 컨트롤 회로(420)는 클럭 신호(CLK), 리퍼퍼스 DQx 핀으로부터의 신호, 그리고 입력 테스트 신호(TEST)를 수신할 수 있고, 클럭 신호(CLK), 리퍼퍼스 DQx 핀으로부터의 신호, 그리고 입력 테스트 신호(TEST) 중 적어도 하나에 기초하여 복수의 테스트 컨트롤 신호들(예를 들어, EP, /EP, EN, 및/또는 /EN)을 생성할 수 있다. 정전류 구동기(예를 들어, 도 3의 135)는 쓰기 펄스 폭 컨트롤 회로(405)의 테스트 쓰기 전류 회로(420)로부터 복수의 테스트 컨트롤 신호들을 수신할 수 있다.

[0078] 일 실시 예에 있어서, 쓰기 테스트 전류의 방향 또는 극성은 적어도 하나의 리퍼퍼스 DQ 핀으로부터의 신호에 기초할 수 있다. 더욱이, 쓰기 테스트 전류들의 펄스 폭은 적어도 하나의 클럭 신호의 하이 주기에 기초할 수 있다.

[0079] 정전류 구동기(예를 들어, 도 3의 135)는 입력 테스트 신호(TEST)가 어SSERT(assert)되지 않을 때 테스트 컨트롤 신호들(예를 들어, EP, /EP, EN 및/또는 /EN)에 의하여 3상태(tir-state)가 될 수 있다. 예를 들어, 입력 테스트

트 신호(TEST)가 어쨌되지 않을 때(예를 들어 inactive 또는 LOW), EP 테스트 컨트롤 신호가 어쨌될 수 있고(예를 들어, HIGH 논리 상태로 강제) EN 테스트 컨트롤 신호는 어쨌되지 않을 수 있으며(예를 들어, LOW 논리 상태로 강제), 그렇게 함으로써 전류 구동기들이 3상태로 된다. 반대로, 입력 테스트 신호(TEST)가 어쨌될 때(예를 들어, active 또는 HIGH), EP 테스트 컨트롤 신호 및/또는 EN 테스트 컨트롤 신호는 테스트 모드 of 국면(phase)에 따라 어쨌될 수 있다.

[0080] 입력 테스트 신호(TEST)는 일반적인 모드 레지스터 셋(mode register set, MRS) 기술에 의하여 어쨌될 수 있다. 이와 유사하게, MRS 기술은 리퍼퍼스 DQx 핀을 인에이블(enable) 또는 재할당(reassign)하거나, CLK 신호를 인에이블(enable)하는데 사용될 수 있다. 더욱이, 테스트 쓰기 컨트롤 회로(420)는 외부 ATE 장비 및/또는 내부 스마트 메모리 컨트롤러에 의하여 컨트롤될 수 있다.

[0081] 도 7a는 본 발명의 기술적 사상에 따른 메모리 셀의 병렬적 테스트 방법을 보여주는 순서도이다. 단계 505에서 시작되며, 동작 모드가 테스트 모드인지의 여부가 판단된다. 만약 아니라면, 읽기 및/또는 쓰기 동작들이 일반 동작 모드에서 진행되는 단계 510으로 진행된다.

[0082] 반면, 만약 테스트 모드라면, 패스트 에러 스트레스 테스트 모드(fast error test mode)가 인에이블되고, 하나 또는 그 이상의 내부 VCP 전압 발생기와 같은 내부 아날로그 전압 발생기들을 디스에이블(disable)하는 것을 포함하는 단계 515로 진행된다. 그리고 나서, 저항성 메모리 셀들을 정전류 구동기에 연결하는 것을 포함하는 단계 520으로 진행된다. 단계 525에서, 메모리 셀들의 소스 라인들이 VCP 패드 또는 외부 핀에 연결된다. 단계 530 및 535는 정전류 구동기가 비트 라인들에 접지 전압 레벨을 제공하는 동안에, 제 1 쓰기 펄스 폭과 관련된 시간 동안에 VCP 패드 또는 외부 핀을 테스트 쓰기 전압 레벨로 유지하는 단계를 포함한다. 단계 540에서, 제 1 테스트 전류는 제 1 방향으로 메모리 셀들에 제공된다. 단계 545가 진행되며, 제 1 데이터가 메모리 셀들에 기입되고, 그 후 어느 메모리 셀의 비트가 플립(flip)되지 않았는지의 여부를 검증하기 위하여 읽기 동작이 다시 수행된다. 즉, 메모리 비트들은 플립될 것으로 예상되며, 만약 플립되지 않는다면 해당 메모리 셀의 조건은 기록될 수 있고, 리던던트 메모리 셀(redundant memory cell)이 해당 위치에 할당될 수 있다.

[0083] 단계 550 및 555는 정전류 구동기가 비트 라인들에 테스트 쓰기 전압 레벨을 제공하는 동안에, 제 2 쓰기 펄스 폭 또는 시간 동안에 VCP 패드 또는 외부 핀을 접지 전압 레벨로 유지하는 단계를 포함한다. 단계 560에서, 제 2 테스트 전류는 제 1 방향과 상반되는 제 2 방향으로 메모리 셀들에 제공되고, 그렇게 함으로써 단계 565에서 제 1 데이터와 상반되는 제 2 데이터가 메모리 셀들에 기입된다. 그 후 어느 메모리 셀의 비트가 플립(flip)되지 않았는지의 여부를 검증하기 위하여 읽기 동작이 다시 수행된다. 즉, 메모리 비트들은 플립될 것으로 예상되며, 만약 플립되지 않는다면 해당 메모리 셀의 조건은 기록될 수 있고, 리던던트 메모리 셀(redundant memory cell)이 해당 위치에 할당될 수 있다.

[0084] 도 7b는 본 발명의 기술적 사상의 실시 예에 따른 메모리 셀들을 병렬적으로 테스트하기 위한 기술을 보여주는 순서도(501)이다. 단계 506에서 시작하며, 동작 모드가 테스트 모드인지의 여부가 판단된다. 만약 아니라면, 읽기 및/또는 쓰기 동작이 일반 동작 모드에서 진행되는 단계 511로 진행된다.

[0085] 반면, 만약 테스트 모드라면, 패스트 에러 스트레스 테스트 모드(fast error test mode)가 인에이블되고, 하나 또는 그 이상의 내부 VCP 전압 발생기와 같은 내부 아날로그 전압 발생기들을 디스에이블(disable)하는 것을 포함하는 단계 516으로 진행된다. 그리고 나서, 저항성 메모리 셀들의 비트 라인들을 정전류 구동기에 연결하는 것을 포함하는 단계 521로 진행된다. 단계 526에서, 메모리 셀들의 소스 라인들이 VCP 패드 또는 외부 핀에 연결된다. 단계 531 및 536은 정전류 구동기가 비트 라인들에 접지 전압 레벨을 제공하는 동안에, 제 1 읽기 펄스 폭과 관련된 시간 동안에 VCP 패드 또는 외부 핀을 테스트 읽기 전압 레벨로 유지하는 단계를 포함한다. 단계 541에서, 읽기 디스터브 테스트 전류는 제 1 방향으로 메모리 셀들에 제공된다. 단계 546이 진행되며, 어느 메모리 셀의 비트가 플립(flip)되었는지의 여부를 검증하기 위하여 읽기 동작이 다시 수행된다. 즉, 메모리 비트들은 플립되지 않을 것으로 예상되며, 만약 플립된다면 해당 메모리 셀의 조건이 기록될 수 있고, 리던던트 메모리 셀(redundant memory cell)이 해당 위치에 할당될 수 있다.

[0086] 단계 551 및 556은 정전류 구동기가 비트 라인들에 테스트 읽기 전압 레벨을 제공하는 동안에, 제 2 읽기 펄스 폭과 관련된 시간 동안에 VCP 패드 또는 외부 핀을 접지 전압 레벨로 유지하는 단계를 포함한다. 단계 561에서, 읽기 디스터브 테스트 전류는 제 1 방향과 상반되는 제 2 방향으로 메모리 셀들에 제공된다. 단계 566이 진행되며, 어느 메모리 셀의 비트가 플립(flip)되었는지의 여부를 검증하기 위하여 읽기 동작이 다시 수행된다. 즉, 메모리 비트들은 플립되지 않을 것으로 예상되며, 만약 플립된다면 해당 메모리 셀의 조건이 기록될 수 있고, 리던던트 메모리 셀(redundant memory cell)이 해당 위치에 할당될 수 있다.

[0087] 도 8은 본 발명의 기술적 사상의 실시 예에 따른 메모리 장치(105), 메모리 어레이의 메모리 셀들을 테스트하기 위한 DFT 회로(115)를 갖는 ATE(120)를 포함하는 메모리 테스트 시스템을 보여주는 블록도이다. 메모리 테스트 시스템(800)은 도 1의 메모리 테스트 시스템(100)과 유사하며, 따라서 자세한 설명은 생략된다. 도 8을 참조하면, DFT 회로(115)는 ATE(120)와 관련되거나 ATE(120) 내에 위치할 수 있으며, 그렇게 함으로써 상술한 본 발명의 테스트 개념보다 호스트 측면의 컨트롤이 강조된 것을 제공할 수 있다. DFT 회로(115)의 일부 또는 모든 구성요소들은 메모리 장치(105)와 관련되거나 메모리 장치(105) 내에 위치할 수 있다. 앞서 설명한 병렬적 테스트 방법의 특징과 개념은 DFT 회로(115)의 실제 위치와 무관하게 적용되고 컨트롤될 수 있다.

[0088] 도 9는 본 발명의 기술적 사상의 실시 예에 따른 DFT 회로(115)를 갖는 저항성 메모리 장치(105)를 포함하는 컴퓨팅 시스템(900)을 보여주는 블록도이다. 도 9를 참조하면, 컴퓨팅 시스템(900)은 중앙 처리 장치(910), 램(915), 유저 인터페이스(920), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(925) 및/또는 ATE(120)를 포함할 수 있으며, 시스템 버스(905)에 전기적으로 연결될 수 있다. DFT 회로(115)를 포함하는 저항성 메모리 장치(105)는 시스템 버스(905)에 전기적으로 연결될 수 있다. 저항성 메모리 장치(105)는 번-인 오븐(burn-in oven, 930)에 의하여 둘러싸여 질 수 있으며, 또는 테스트 환경 온도를 조정하는 적당한 온도 사이클 기구에 의하여 둘러싸여 질 수 있다.

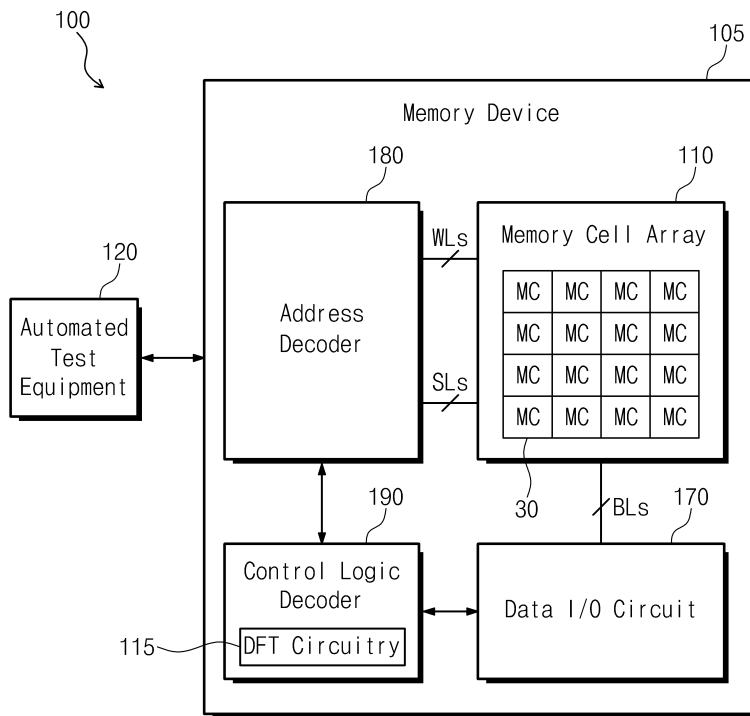
[0089] 상기에서 설명된 본 발명의 기술적 사상은 예시적인 것이며, 본 발명의 기술적 사상은 이에 한정되지 않는다. 본 발명의 기술적 사상은 MRAM 셀에 한정되지 않는다. 본 발명의 기술적 사상은 병렬 읽기 및 쓰기의 크기에 한정되지 않는다. 본 발명의 기술적 사상은 마그네틱 터널 접합 장치를 포함하여, PMOS, NMOS와 같은 트랜지스터의 종류에 한정되지 않는다. 본 발명의 실시 예는 논리 게이트에 한정되지 않으며, NOR 또는 NAND가 논리 컬럼 선택(logical column selection)을 위하여 적용될 수 있다. 본 발명의 기술적 사상은 회로의 집적 타입에 한정되지 않으며 어떠한 프로세스 기술(예를 들어, CMOS, Bipolar, 또는 BICMOS)도 메모리를 만들기 위하여 사용될 수 있다. 본 발명의 기술적 사상은 메모리 테스트 회로에 적용되나 이에 한정되는 것은 아니다. 본 발명의 실시 예들은 메모리 셀들의 신뢰성을 향상시키는데 유용하다고 판단되는 어떠한 곳에도 적용될 수 있다.

부호의 설명

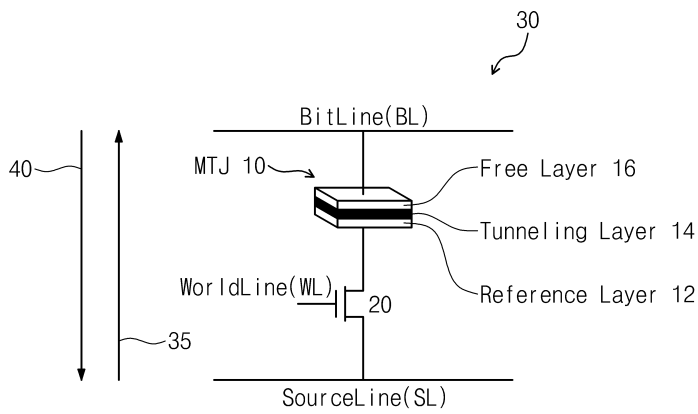
- [0090] WL: 워드 라인
- SL: 소스 라인
- BL: 비트 라인
- DFT circuitry: design for test circuitry, DFT 회로
- ATE: automated test equipment, 자동 테스트 장비
- MTJ: magnetic tunnel junction
- AP: anti-parallel, 반 평형
- P: parallel, 평형
- VCP PAD OR EXTERNAL VCP PIN 125: VCP 패드 또는 외부 핀(125)

도면

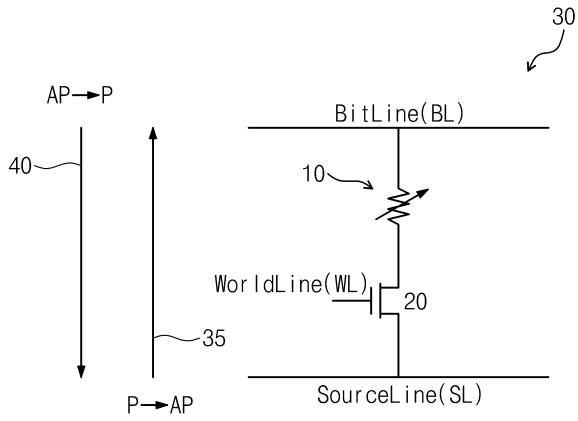
도면1



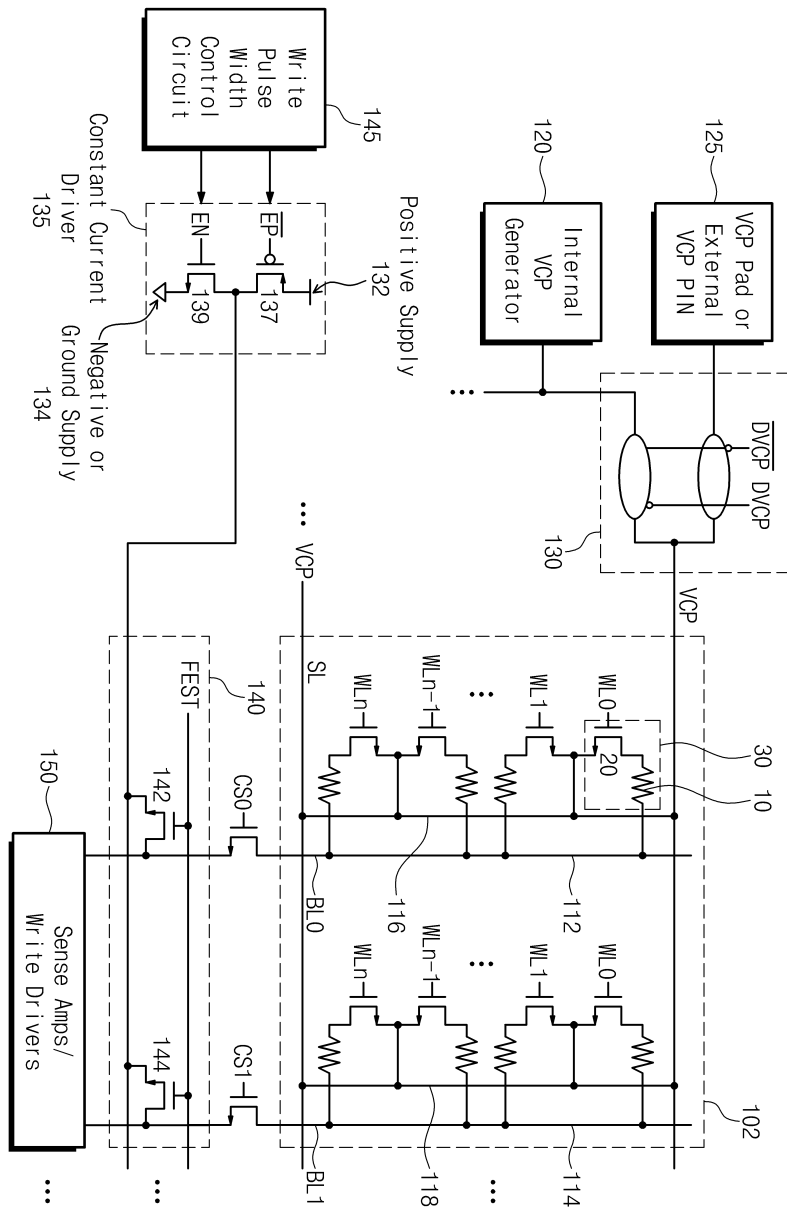
도면2a



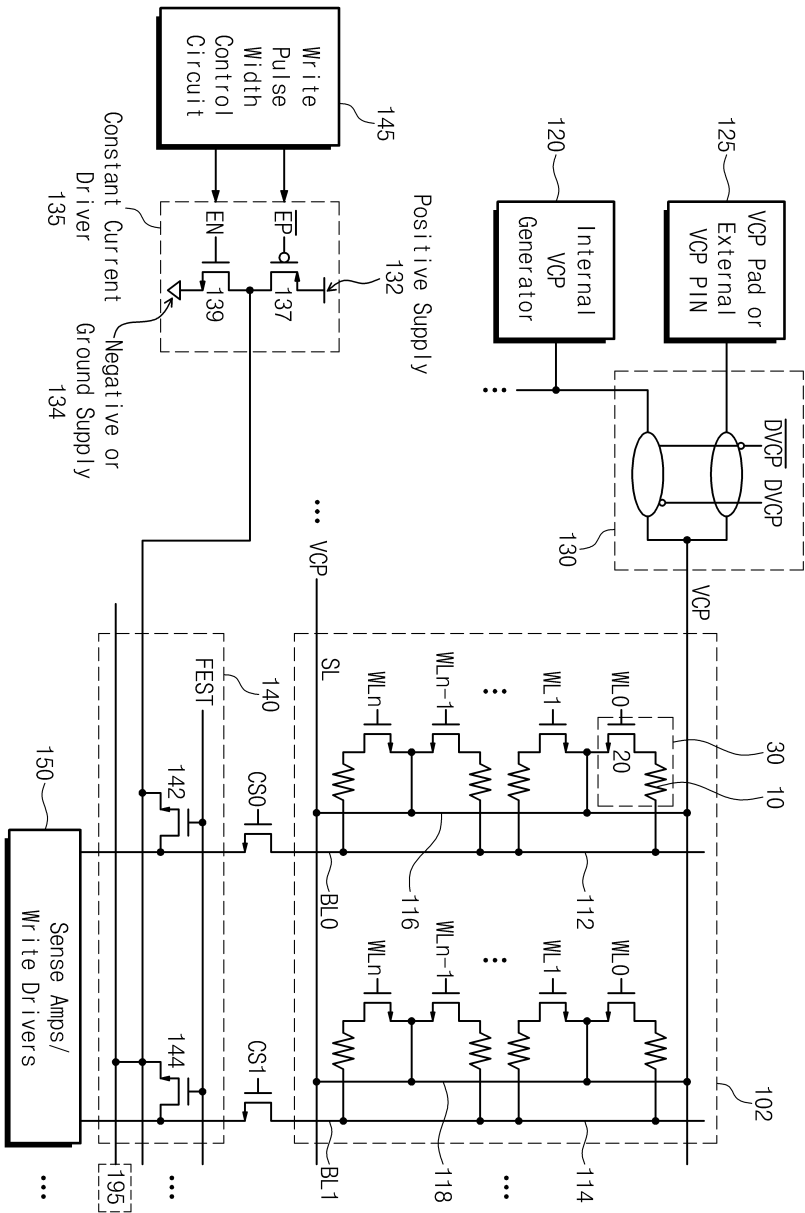
도면2b



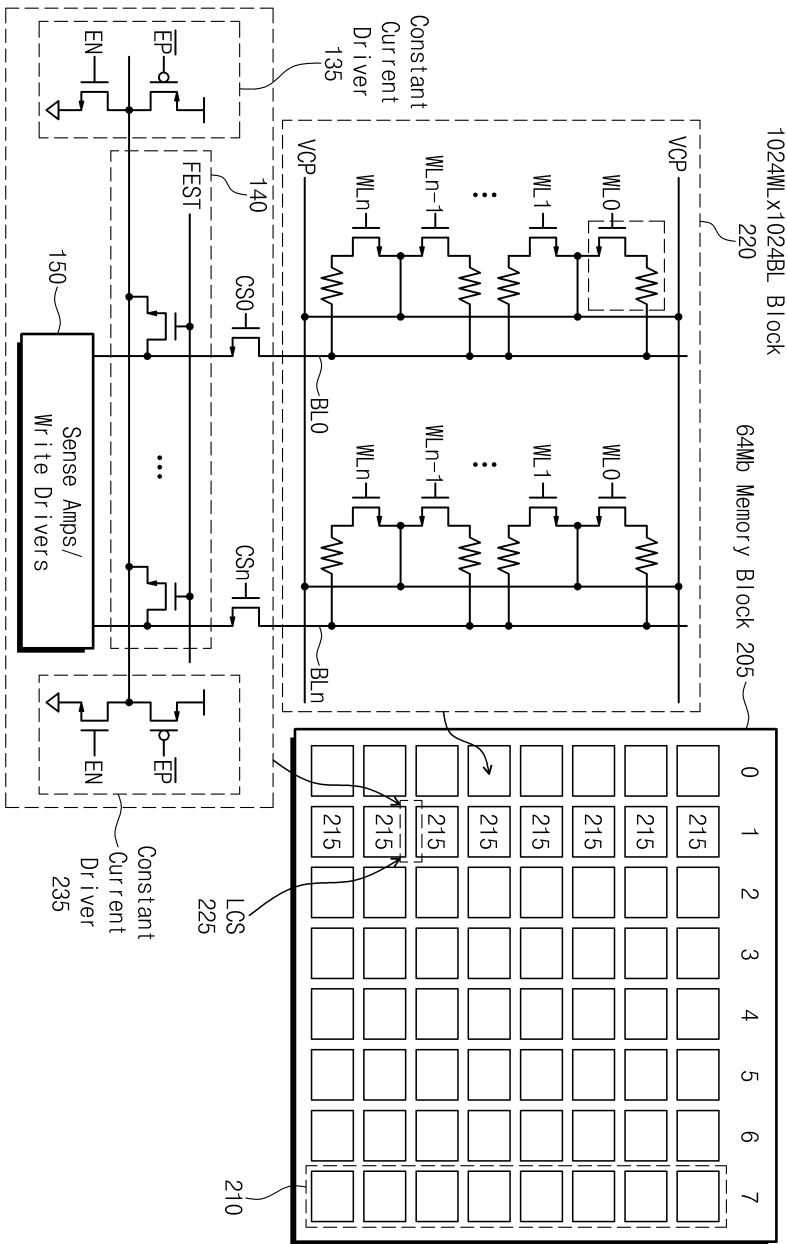
도면3a



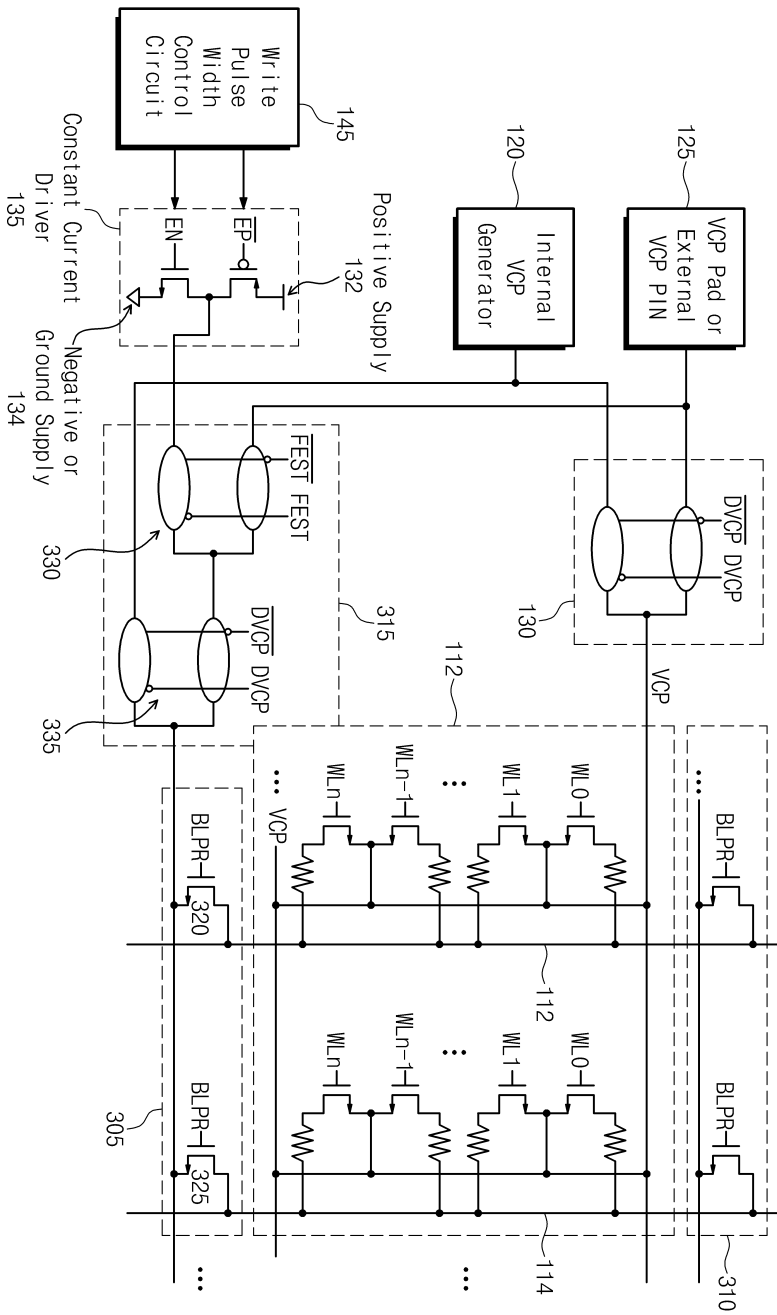
도면3b



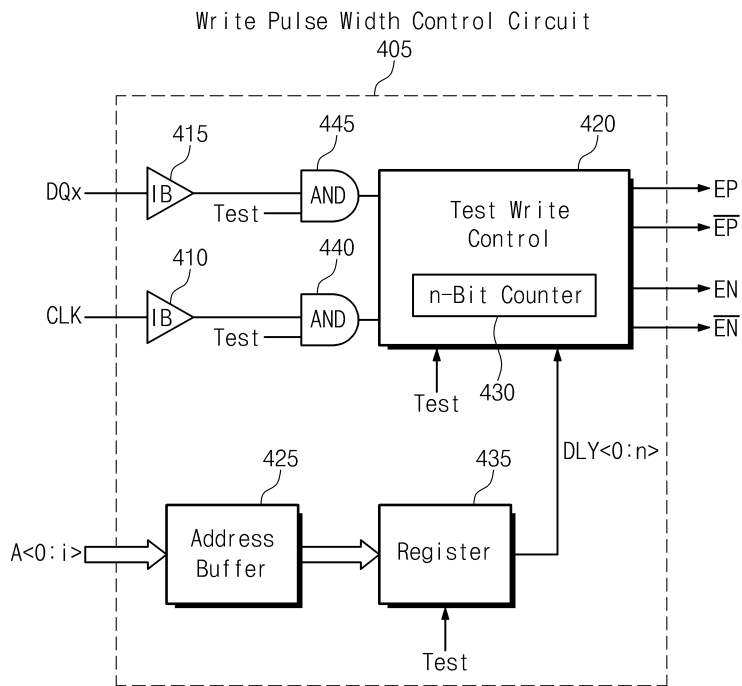
도면4



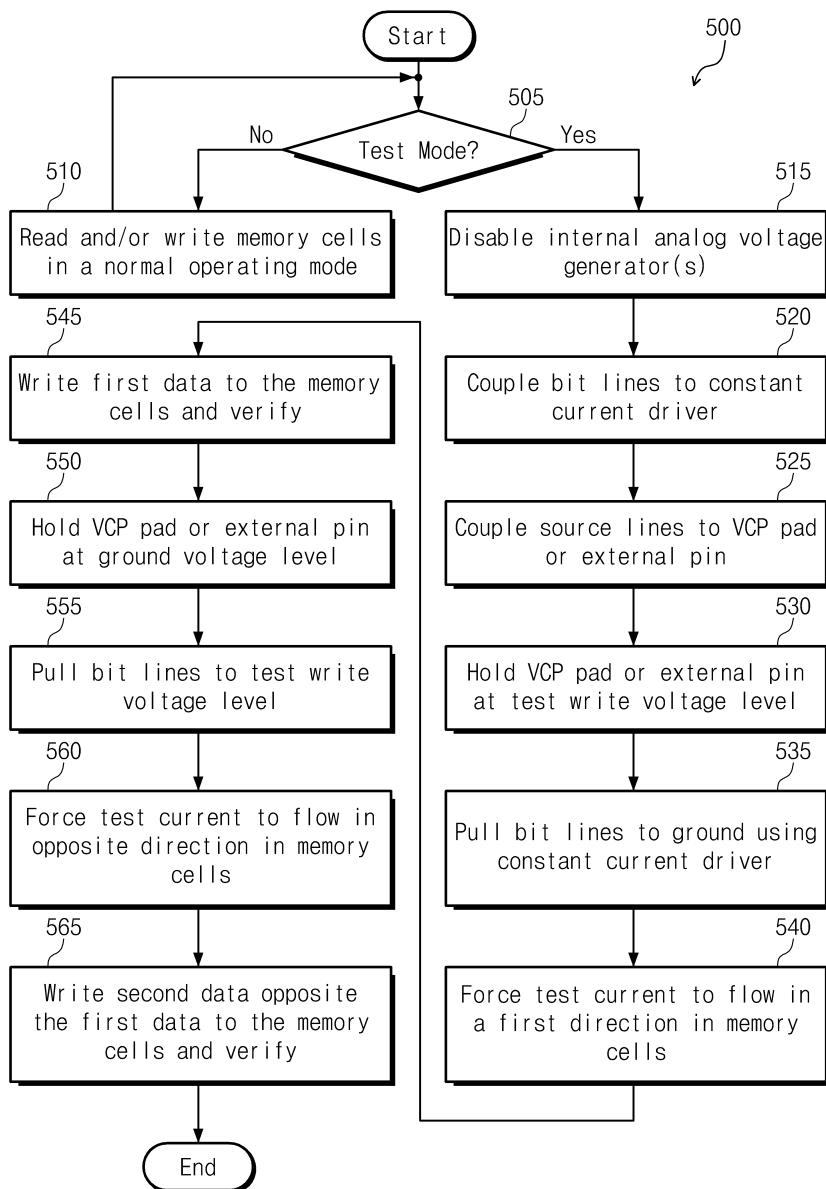
도면5



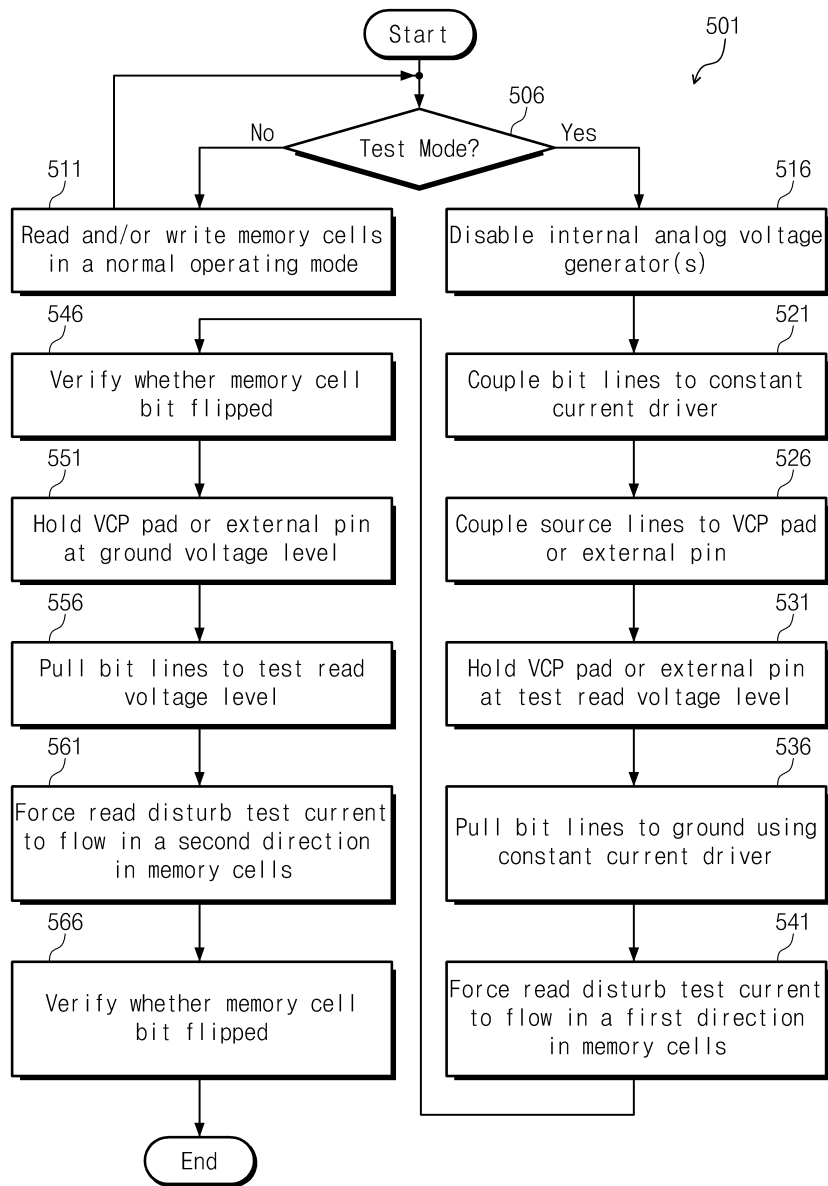
도면6



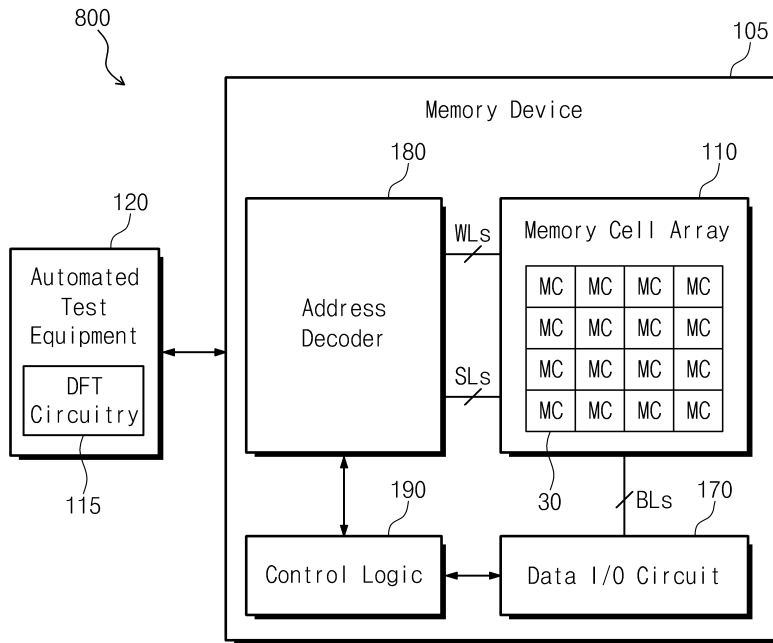
도면7a



도면7b



도면8



도면9

