



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0090852
(43) 공개일자 2014년07월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0002982
(22) 출원일자 2013년01월10일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박정민
서울 서초구 강남대로10길 91, 3층 (양재동)
김지현
서울 영등포구 도신로29길 7-4, (도림동)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

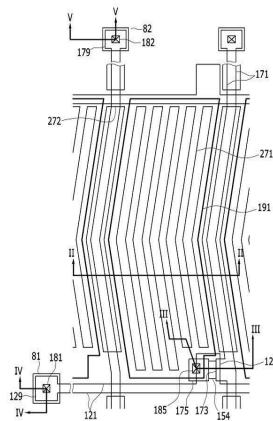
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판은 표시 영역에서 게이트 절연막은 식각하지 않고, 드레인 전극과 전기장 생성 전극 사이에 위치하는 제1 보호막만을 식각하여, 전기장 생성 전극과 박막 트랜지스터의 드레인 전극을 연결하기 위한 제1 접촉 구멍을 형성한 후에, 주변 영역에서, 게이트 배선과 데이터 배선 위에 위치하는 게이트 절연막, 제1 보호막 및 제2 보호막 등의 절연막들을 동시에 식각하여 게이트 패드부와 데이터 패드부를 드러내는 제2 접촉 구멍과 제3 접촉 구멍을 형성함으로써, 표시 영역에 형성되는 제1 접촉 구멍의 폭이 넓어지는 것을 방지할 수 있다. 또한, 표시 영역에 제1 접촉 구멍을 형성할 때, 게이트 절연막을 식각하지 않기 때문에, 제1 접촉 구멍이 게이트 배선과 적어도 일부분 중첩하더라도 게이트 배선 위에는 게이트 절연막이 위치하기 때문에, 드레인 전극과 게이트 배선 사이의 쇼트를 방지할 수 있다.

대표도 - 도1



(72) 발명자

이정수

서울 강남구 선릉로 221, 411동 1802호 (도곡동,
도곡렉슬아파트)

박성균

서울 금천구 독산로50길 89, 103동 1501호 (시
흥동, 삼익아파트)

특허청구의 범위

청구항 1

표시 영역과 상기 표시 영역 주변의 주변 영역을 포함하는 기관,
 상기 기관의 표시 영역에 위치하는 게이트선과 상기 기관의 주변 영역에 위치하는 게이트 패드부,
 상기 게이트선 및 상기 게이트 패드부 위에 위치하는 게이트 절연막,
 상기 게이트 절연막 위에 위치하며, 상기 기관의 표시 영역에 위치하는 데이터선 및 드레인 전극과 상기 기관의 주변 영역에 위치하는 데이터 패드부,
 상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지는 제1 보호막,
 상기 제1 보호막의 상기 제1 접촉 구멍을 통해 상기 드레인 전극과 연결된 제1 전기장 생성 전극,
 상기 제1 전기장 생성 전극 위에 위치하는 제2 보호막, 그리고
 상기 제2 보호막 위에 위치하는 제2 전기장 생성 전극을 포함하고,
 상기 제1 접촉 구멍에 위치하는 상기 제1 전기장 생성 전극은 상기 제2 보호막에 의해 덮여 있고,
 상기 주변 영역에 위치하는 상기 게이트 절연막, 상기 제1 보호막 및 상기 제2 보호막은 상기 게이트 패드부를 드러내는 제2 접촉 구멍을 가지고, 그리고
 상기 주변 영역에 위치하는 상기 제1 보호막 및 상기 제2 보호막은 상기 데이터 패드부를 드러내는 제2 접촉 구멍을 가지는 박막 트랜지스터 표시판.

청구항 2

제1항에서,
 상기 제1 보호막과 상기 제2 보호막 사이에 위치하는 유기막을 더 포함하는 박막 트랜지스터 표시판.

청구항 3

제2항에서,
 상기 유기막은 선택필터인 박막 트랜지스터 표시판.

청구항 4

제2항에서,
 상기 유기막은 상기 표시 영역에 위치하고, 상기 주변 영역에는 위치하지 않는 박막 트랜지스터 표시판.

청구항 5

제2항에서,
 상기 유기막은 상기 표시 영역과 상기 주변 영역에 위치하고, 상기 주변 영역에 위치하는 상기 유기막의 두께는 상기 표시 영역에 위치하는 상기 유기막의 두께보다 얇은 박막 트랜지스터 표시판.

청구항 6

제2항에서,

상기 제1 전기장 생성 전극과 상기 제2 전기장 생성 전극 중 어느 하나는 복수의 가지 전극을 가지는 박막 트랜지스터 표시판.

청구항 7

제2항에서,

상기 제1 접촉 구멍은 상기 드레인 전극과 중첩하지 않는 상기 게이트선의 일부와 중첩하고, 상기 제1 접촉 구멍과 중첩하는 상기 게이트선의 일부는 상기 게이트 절연막으로 덮여 있는 박막 트랜지스터 표시판.

청구항 8

제1항에서,

상기 제1 전기장 생성 전극과 상기 제2 전기장 생성 전극 중 어느 하나는 복수의 가지 전극을 가지는 박막 트랜지스터 표시판.

청구항 9

제1항에서,

상기 제1 접촉 구멍은 상기 드레인 전극과 중첩하지 않는 상기 게이트선의 일부와 중첩하고, 상기 제1 접촉 구멍과 중첩하는 상기 게이트선의 일부는 상기 게이트 절연막으로 덮여 있는 박막 트랜지스터 표시판.

청구항 10

주변 영역과 표시 영역을 가지는 기판을 준비하는 단계,

상기 기판의 상기 표시 영역에 게이트선을 형성하고 상기 기판의 상기 주변 영역에 게이트 패드부를 형성하는 단계,

상기 게이트선과 상기 게이트 패드부 위에 게이트 절연막을 형성하는 단계,

상기 기판의 상기 표시 영역에 데이터선 및 드레인 전극을 형성하고, 상기 기판의 상기 주변 영역에 데이터 패드부를 형성하는 단계,

상기 기판의 상기 주변 영역과 상기 표시 영역에 제1 보호막을 적층하는 단계,

상기 제1 보호막을 식각하여, 상기 드레인 전극의 일부를 드러내는 제1 접촉 구멍을 형성하는 단계,

상기 제1 접촉 구멍을 통해 상기 드레인 전극과 연결된 제1 전기장 생성 전극을 형성하는 단계,

상기 제1 전기장 생성 전극 위에 제2 보호막을 적층하는 단계,

상기 주변 영역에 위치하는 상기 게이트 절연막, 제1 보호막 및 제2 보호막을 식각하여 상기 게이트 패드부를 드러내는 제2 접촉 구멍을 형성하고, 상기 제1 보호막과 상기 제2 보호막을 식각하여, 상기 데이터 패드부를 드러내는 제3 접촉 구멍을 형성하는 단계, 그리고

상기 제2 보호막 위에 제2 전기장 생성 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 11

제10항에서,

상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는

상기 제1 보호막 위에 개구부를 가지는 유기막을 형성하는 단계,

상기 유기막을 식각 마스크로 하여 상기 제1 보호막을 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 12

제11항에서,

상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는

상기 제1 보호막을 식각하는 단계 후에, 상기 유기막을 물리적 평탄화하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 13

제11항에서,

상기 유기막을 형성하는 단계는 상기 제1 보호막 위에 색필터를 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 14

제11항에서,

상기 유기막을 형성하는 단계는 상기 유기막을 상기 표시 영역에만 형성하고, 상기 주변 영역에는 형성하지 않는 박막 트랜지스터 표시판의 제조 방법.

청구항 15

제11항에서,

상기 유기막을 형성하는 단계는 상기 주변 영역에 위치하는 상기 유기막의 두께를 상기 표시 영역에 위치하는 상기 유기막의 두께보다 얇도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 16

제10항에서,

상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는

상기 제1 보호막 위에 유기막을 형성하는 단계,

상기 유기막 위에 감광막 패턴을 형성하는 단계, 그리고

상기 감광막 패턴을 식각 마스크로 하여 상기 제1 보호막을 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 17

제16항에서,

상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는

상기 제1 보호막을 식각하는 단계 후에, 상기 감광막 패턴을 제거하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 18

제16항에서,

상기 유기막을 형성하는 단계는 상기 제1 보호막 위에 색필터를 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 19

제16항에서,

상기 유기막을 형성하는 단계는 상기 유기막을 상기 표시 영역에만 형성하고, 상기 주변 영역에는 형성하지 않는 박막 트랜지스터 표시판의 제조 방법.

청구항 20

제16항에서,

상기 유기막을 형성하는 단계는 상기 주변 영역에 위치하는 상기 유기막의 두께를 상기 표시 영역에 위치하는 상기 유기막의 두께보다 얇도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 이러한 액정 표시 장치 중, 액정층에 전기장을 생성하는 두 개의 전기장 생성 전극을 모두 박막 트랜지스터 표시판 위에 형성할 수 있다.

[0004] 박막 트랜지스터 표시판에 두 개의 전기장 생성 전극을 형성하는 경우, 박막 트랜지스터와 전기장 생성 전극 사이에 복수의 절연막이 배치된다. 박막 트랜지스터와 전기장 생성 전극을 전기적으로 연결하기 위한 접촉 구멍을 복수의 절연막에 형성할 시, 각 절연막을 식각하는 공정에 의해 접촉 구멍의 폭이 넓어지게 된다.

[0005] 이처럼 접촉 구멍의 폭이 넓어질 경우, 박막 트랜지스터 표시판을 이용하는 액정 표시 장치의 개구율이 저하되게 된다.

[0006] 한편, 접촉 구멍을 형성할 때, 게이트 절연막과 보호막(passivation layer)를 함께 식각하는 경우, 박막 트랜지스터의 드레인 전극을 드러내는 접촉 구멍이 게이트 배선과 일부분 중첩하는 경우, 드레인 전극과 게이트 배선의 쇼트가 발생할 수 있어, 불량률이 발생하게 된다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는 박막 트랜지스터 표시판에 두 개의 전기장 생성 전극을 형성하는 경우에도, 접촉 구멍의 폭이 커지는 것을 방지할 수 있는 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 표시 영역과 상기 표시 영역 주변의 주변 영역을 포함하는 기판, 상기 기판의 표시 영역에 위치하는 게이트선과 상기 기판의 주변 영역에 위치하는 게이트 패드부, 상기 게이트선 및 상기 게이트 패드부 위에 위치하는 게이트 절연막, 상기 게이트 절연막 위에 위치하며, 상기 기판의 표시 영역에 위치하는 데이터선 및 드레인 전극과 상기 기판의 주변 영역에 위치하는 데이터 패드부, 상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지는 제1 보호막, 상기 제1 보호막의 상기 제1 접촉 구멍을 통해 상기 드레인 전극과 연결된 제1 전기장 생성 전극, 상기 제1 전기장 생성 전극 위에 위치하는 제2 보호막, 그리고 상기 제2 보호막 위에 위치하는 제2 전기장 생성 전극을 포함하고, 상기 제1 접촉 구멍에 위치하는 상기 제1 전기장 생성 전극은 상기 제2 보호막에 의해 덮여 있고, 상기 주변 영역에 위치하는 상기 게이트 절연막, 상기 제1 보호막 및 상기 제2 보호막은 상기 게이트 패드부를 드러내는 제2 접촉 구멍을 가지고, 그리고 상기 주변 영역에 위치하는 상기 제1 보호막 및 상기 제2 보호막은 상기 데이터 패드부를 드러내는 제2 접촉 구멍을 가진다.

[0009] 상기 박막 트랜지스터 표시판은 상기 제1 보호막과 상기 제2 보호막 사이에 위치하는 유기막을 더 포함할 수 있다.

[0010] 상기 유기막은 선택필터일 수 있다.

[0011] 상기 유기막은 상기 표시 영역에 위치하고, 상기 주변 영역에는 위치하지 않을 수 있다.

[0012] 상기 유기막은 상기 표시 영역과 상기 주변 영역에 위치하고, 상기 주변 영역에 위치하는 상기 유기막의 두께는 상기 표시 영역에 위치하는 상기 유기막의 두께보다 얇을 수 있다.

[0013] 상기 제1 전기장 생성 전극과 상기 제2 전기장 생성 전극 중 어느 하나는 복수의 가지 전극을 가질 수 있다.

[0014] 상기 제1 접촉 구멍은 상기 드레인 전극과 중첩하지 않는 상기 게이트선의 일부와 중첩하고, 상기 제1 접촉 구멍과 중첩하는 상기 게이트선의 일부는 상기 게이트 절연막으로 덮여 있을 수 있다.

[0015] 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 주변 영역과 표시 영역을 가지는 기판을 준비하는 단계, 상기 기판의 상기 표시 영역에 게이트선을 형성하고 상기 기판의 상기 주변 영역에 게이트 패드부를 형성하는 단계, 상기 게이트선과 상기 게이트 패드부 위에 게이트 절연막을 형성하는 단계, 상기 기판의 상기 표시 영역에 데이터선 및 드레인 전극을 형성하고, 상기 기판의 상기 주변 영역에 데이터 패드부를 형성하는 단계, 상기 기판의 상기 주변 영역과 상기 표시 영역에 제1 보호막을 적층하는 단계, 상기 제1 보호막을 식각하여, 상기 드레인 전극의 일부를 드러내는 제1 접촉 구멍을 형성하는 단계, 상기 제1 접촉 구멍을 통해 상기 드레인 전극과 연결된 제1 전기장 생성 전극을 형성하는 단계, 상기 제1 전기장 생성 전극 위에 제2 보호막을 적층하는 단계, 상기 주변 영역에 위치하는 상기 게이트 절연막, 제1 보호막 및 제2 보호막을 식각하여 상기 게이트 패드부를 드러내는 제2 접촉 구멍을 형성하고, 상기 제1 보호막과 상기 제2 보호막을 식각하여, 상기 데이터 패드부를 드러내는 제3 접촉 구멍을 형성하는 단계, 그리고 상기 제2 보호막 위에 제2 전기장 생성 전극을 형성하는 단계를 포함한다.

[0016] 상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는 상기 제1 보호막 위에 개구부를 가지는 유기막을 형성하는 단계, 그리고 상기 유기막을 식각 마스크로 하여 상기 제1 보호막을 식각하는 단계를 포함할 수 있다.

[0017] 상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는 상기 제1 보호막을 식각하는 단계 후에, 상기 유기막을 물리적 평탄화하는 단계를 더 포함할 수 있다.

[0018] 상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는 상기 제1 보호막 위에 유기막을 형성하는 단계, 상기 유기막 위에 감광막 패턴을 형성하는 단계, 그리고 상기 감광막 패턴을 식각 마스크로 하여 상기 제1 보호막을 식각하는 단계를 포함할 수 있다.

[0019] 상기 제1 보호막에 상기 드레인 전극을 드러내는 상기 제1 접촉 구멍을 형성하는 단계는 상기 제1 보호막을 식

각하는 단계 후에, 상기 감광막 패턴을 제거하는 단계를 더 포함할 수 있다.

- [0020] 상기 유기막을 형성하는 단계는 상기 제1 보호막 위에 선크필터를 형성하는 단계를 포함할 수 있다.
- [0021] 상기 유기막을 형성하는 단계는 상기 유기막을 상기 표시 영역에만 형성하고, 상기 주변 영역에는 형성하지 않을 수 있다.
- [0022] 상기 유기막을 형성하는 단계는 상기 주변 영역에 위치하는 상기 유기막의 두께를 상기 표시 영역에 위치하는 상기 유기막의 두께보다 얇도록 형성할 수 있다.

발명의 효과

- [0023] 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 표시 영역에서 게이트 절연막을 식각하지 않고, 드레인 전극과 전기장 생성 전극 사이에 위치하는 제1 보호막만을 식각하여, 전기장 생성 전극과 박막 트랜지스터의 드레인 전극을 연결하기 위한 제1 접촉 구멍을 형성한 후에, 주변 영역에서, 게이트 배선과 데이터 배선 위에 위치하는 게이트 절연막, 제1 보호막 및 제2 보호막 등의 절연막들을 동시에 식각하여 게이트 패드부와 데이터 패드부를 드러내는 제2 접촉 구멍과 제3 접촉 구멍을 형성함으로써, 표시 영역에 형성되는, 전기장 생성 전극과 박막 트랜지스터의 드레인 전극을 연결하는 형성되는 제1 접촉 구멍의 폭이 넓어지는 것을 방지할 수 있다.
- [0024] 또한, 발명의 실시예에 따른 박막 트랜지스터 표시판은 표시 영역에 제1 접촉 구멍을 형성할 때, 게이트 절연막을 식각하지 않기 때문에, 제1 접촉 구멍이 게이트 배선과 적어도 일부분 중첩하더라도 게이트 배선 위에는 게이트 절연막이 위치하여, 드레인 전극과 게이트 배선 사이의 쇼트를 방지할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.
- 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선을 따라 잘라 도시한 단면도이다.
- 도 3은 도 1의 박막 트랜지스터 표시판을 III-III 선을 따라 잘라 도시한 단면도이다.
- 도 4는 도 1의 박막 트랜지스터 표시판을 IV-IV 선을 따라 잘라 도시한 단면도이다.
- 도 5는 도 1의 박막 트랜지스터 표시판을 V-V 선을 따라 잘라 도시한 단면도이다.
- 도 6은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.
- 도 7은 도 6의 박막 트랜지스터 표시판을 VII-VII 선을 따라 잘라 도시한 단면도이다.
- 도 8 내지 도 11은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각기 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다.
- 도 12A 및 도 12B는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 순서대로 도시한 단면도로서, 도 1의 III-III 선을 따라 잘라 도시한 단면도이다.
- 도 13 내지 도 16, 그리고 도 17 내지 도 20은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각기 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다.
- 도 21 내지 도 24는 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각기 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다.
- 도 25A 및 도 25C는 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 순서대로 도시한 단면도로서, 도 1의 III-III 선을 따라 잘라 도시한 단면도이다.
- 도 26 내지 도 29, 그리고 도 30 내지 도 33은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각기 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을

가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

- [0027] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0028] 그러면 도면을 참고로 하여 본 발명의 실시예에 대하여 설명한다.
- [0029] 먼저, 도 1 내지 도 5를 참고하여, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 설명한다. 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선을 따라 잘라 도시한 단면도이고, 도 3은 도 1의 박막 트랜지스터 표시판을 III-III 선을 따라 잘라 도시한 단면도이고, 도 4는 도 1의 박막 트랜지스터 표시판을 IV-IV 선을 따라 잘라 도시한 단면도이고, 도 5는 도 1의 박막 트랜지스터 표시판을 V-V 선을 따라 잘라 도시한 단면도이다.
- [0030] 도 1 내지 도 5를 참고하면, 절연 기판(110) 위에 복수의 게이트선(gate line)(121)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- [0031] 각 게이트선(121)은 아래 또는 위로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 게이트 패드부(129)를 포함한다. 게이트선(121)은 표시 영역에 위치하고, 게이트 패드부(129)는 표시 영역의 주변의 주변 영역에 위치한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착될 수 있다.
- [0032] 게이트선(121), 게이트 전극(124), 게이트 패드부(129)를 게이트 도전체라고 할 때, 게이트 도전체(121, 124, 129)는 단일막일 수 있고, 두 개 이상의 도전막을 포함하는 다중막일 수도 있다.
- [0033] 게이트 도전체(121, 124, 129) 위에는 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0034] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 반도체(151)가 형성되어 있다. 복수의 반도체(151)는 게이트 전극(124)을 향하여 뺀어 나온 복수의 돌출부(154)를 포함한다.
- [0035] 반도체(151, 154) 위에는 복수의 저항성 접촉 부재(ohmic contact)(161, 163, 165)가 형성되어 있다.
- [0036] 저항성 접촉 부재(161, 163, 165) 중 일부 저항성 접촉 부재(163, 165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.
- [0037] 반도체(151, 154)는 산화물 반도체일 수 있고, 이 경우, 저항성 접촉 부재(161, 163, 165)는 생략될 수 있다.
- [0038] 저항성 접촉 부재(161, 163, 165) 위에는 복수의 데이터선(data line)(171) 및 복수의 드레인 전극(drain electrode)(175)을 포함하는 데이터 도전체가 형성되어 있다.
- [0039] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뺀어 게이트선(121)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뺀어 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 데이터 패드부(179)를 포함한다. 데이터선(171)은 표시 영역에 위치하고, 데이터 패드부(179)는 표시 영역의 주변의 주변 영역에 위치한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착될 수 있다.
- [0040] 데이터선(171)은 주기적으로 꺾여 있으며 게이트선(121)의 연장 방향과 빗각을 이룬다. 데이터선(171)이 게이트선(121)의 연장 방향과 이루는 빗각은 45도 이상일 수 있다. 그러나, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 경우, 데이터선(171)은 일직선으로 뺀어 있을 수 있다.
- [0041] 소스 전극(173)은 데이터선(171)이 일부 확장되어 형성되고, 드레인 전극(175)은 게이트 전극(124)을 중심으로 소스 전극(173)과 마주하는 부분을 포함한다. 드레인 전극(175)은 소스 전극(173)과 같은 폭을 가지는 사각형의 형태를 가질 수 있고, 드레인 전극(175)과 소스 전극(173)의 폭은 같을 수 있다. 진다.

- [0042] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(151)의 돌출부(154)에 형성된다.
- [0043] 데이터선(171)과 드레인 전극(175) 위에는 제1 보호막(180x)이 형성되어 있다. 제1 보호막(180x)은 질화규소(SiNx) 또는 산화규소(SiOx) 따위의 무기 절연 물질 등으로 이루어질 수 있다.
- [0044] 제1 보호막(180x) 위에는 유기막(180y)이 위치한다. 유기막(180y)은 유기 물질을 포함하고, 유기막(180y)의 표면은 대체로 평탄할 수 있다. 게이트 패드부(129) 및 데이터 패드부(179)에 대응하는 주변 영역에서, 유기막(180y)은 제거되어 있다. 그러나, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 경우, 유기막(180y)은 게이트 패드부(129) 및 데이터 패드부(179)에 대응하는 주변 영역에도 위치할 수 있고, 표시 영역에 위치하는 유기막(180y)에 비하여, 주변 영역에 위치하는 유기막(180y)의 두께가 얇을 수도 있다.
- [0045] 도시하지는 않았지만, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 경우, 유기막(180y)은 선풍터일 수 있고, 이 경우 유기막(180y) 위에 배치되어 있는 막을 더 포함할 수도 있다. 예를 들어, 선풍터 위에 배치되어, 선풍터의 안료가 액정층으로 유입되는 것을 방지하기 위한, 덮개막(capping layer)을 더 포함할 수 있고, 덮개막은 질화규소(SiNx)와 같은 절연물질로 이루어질 수 있다.
- [0046] 유기막(180y) 위에는 복수의 제1 전기장 생성 전극(191)이 형성되어 있다. 제1 전기장 생성 전극(191)은 ITO 또는 IZO 등의 투명한 도전 물질로 만들어질 수 있다. 본 실시예에서 제1 전기장 생성 전극(191)은 통관 형태이고, 게이트선(121)과 데이터선(171)으로 둘러 싸여 있는 화소 영역 내에 위치한다.
- [0047] 표시 영역의 제1 보호막(180x)에는 드레인 전극(175)의 일부를 드러내는 제1 접촉 구멍(185)이 형성되어 있다. 제1 접촉 구멍(185)은 제1 보호막(180x)과 유기막(180y)에 정렬되어 형성되어 있다. 제1 접촉 구멍(185)은 드레인 전극(175)이 위치하는 영역 내에 위치함으로써, 박막 트랜지스터 표시판의 개구율이 증가한다.
- [0048] 제1 전기장 생성 전극(191)은 제1 접촉 구멍(185)을 통해, 드레인 전극(175)과 물리적 전기적으로 연결된다.
- [0049] 제1 전기장 생성 전극(191) 및 유기막(180y) 위에는 제2 보호막(180z)이 형성되어 있다.
- [0050] 표시 영역에 위치하는 제1 접촉 구멍(185) 내에 위치하는 제1 전기장 생성 전극(191)은 제2 보호막(180z)으로 덮여 있다. 즉, 표시 영역에 위치하는 제1 접촉 구멍(185)은 제1 보호막(180x)에만 형성되고, 게이트 절연막(140)과 제2 보호막(180z)에는 형성되지 않는다.
- [0051] 표시 영역의 제2 보호막(180z) 위에는 제2 전기장 생성 전극(270)이 형성되어 있고, 주변 영역의 제2 보호막(180z) 위에는 제1 연결 부재(contact assistant)(81) 및 제2 접촉 보조 부재(82)가 형성되어 있다. 제2 전기장 생성 전극(270)은 서로 대체로 평행하게 뻗으며 서로 이격되어 있는 복수의 가지 전극(271)과 복수의 연결부(272)를 포함한다. 제2 전기장 생성 전극(270)의 가지 전극(271)은 데이터선(171)을 따라 꺾여 있을 수 있다. 그러나, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 경우, 데이터선(171)과 제2 전기장 생성 전극(270)의 가지 전극(271)은 일직선으로 뻗어 있을 수 있다.
- [0052] 인접한 화소 영역 내에 위치하는 제2 전기장 생성 전극(270)은 복수의 연결부(272)를 통해 서로 연결되어, 동일한 크기의 전압을 인가 받는다.
- [0053] 주변 영역에 위치하는 게이트 절연막(140), 제1 보호막(180x), 그리고 제2 보호막(180z)에는 게이트 패드부(129)를 드러내는 제2 접촉 구멍(181)이 형성되어 있고, 주변 영역에 위치하는 제1 보호막(180x) 및 제2 보호막(180z)에는 데이터 패드부(179)를 드러내는 제3 접촉 구멍(182)이 형성되어 있다.
- [0054] 제1 접촉 보조 부재(81)와 제2 접촉 보조 부재(82)는 각각 제2 접촉 구멍(181) 및 제2 접촉 구멍(182)을 통하여 게이트 패드부(129) 및 데이터 패드부(179)와 연결된다. 접촉 보조 부재(81, 82)는 게이트 패드부(129) 및 데이터 패드부(179)와 외부 장치와의 접촉성을 보완하고 이들을 보호한다.
- [0055] 앞서 설명한 바와 같이, 표시 영역에 위치하는 제1 접촉 구멍(185) 내에 위치하는 제1 전기장 생성 전극(191)은 제2 보호막(180z)으로 덮여 있다. 즉, 표시 영역에 위치하는 제1 접촉 구멍(185)은 제1 보호막(180x)에만 형성되고, 게이트 절연막(140)과 제2 보호막(180z)에는 형성되지 않는다.
- [0056] 그러나, 주변 영역에 위치하는 제2 접촉 구멍(181)은 게이트 절연막(140), 제1 보호막(180x), 그리고 제2 보호막(180z)에 형성되어 있고, 제3 접촉 구멍(182)은 제1 보호막(180x) 및 제2 보호막(180z)에 형성되어 있다.

- [0057] 이처럼, 표시 영역에 위치하는 제1 접촉 구멍(185)을 제1 보호막(180x)에만 형성함으로써, 제1 보호막(180x)과 제2 보호막(180z) 그리고 게이트 절연막(140)을 함께 식각하여 제2 접촉 구멍(181)을 형성하거나, 제1 보호막(180x)과 제2 보호막(180z)을 함께 식각하여 제3 접촉 구멍(182)을 형성하는 경우에 비하여, 제1 접촉 구멍(185)의 폭을 좁게 형성할 수 있다.
- [0058] 제1 전기장 생성 전극(191)은 제1 접촉 구멍(185)을 통해 드레인 전극(175)과 연결되어, 데이터 전압을 인가 받고, 제2 전기장 생성 전극(270)은 외부에서 입력되는 기준 전압을 인가 받는다.
- [0059] 데이터 전압과 기준 전압을 인가 받는 제1 전기장 생성 전극(191)과 제2 전기장 생성 전극(270)은 액정층(도시하지 않음)에 전기장을 생성한다.
- [0060] 본 실시예에 따른 박막 트랜지스터 표시판의 경우, 제2 보호막(180z)의 아래에 판형의 제1 전기장 생성 전극(191)이 배치되고, 제2 보호막(180z)의 위에 복수의 가지 전극(271)을 가지는 제2 전기장 생성 전극(270)이 배치되지만, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 경우, 제2 보호막(180z) 아래에 복수의 가지 전극을 가지는 제2 전기장 생성 전극(270)이 배치되고, 제2 보호막(180z) 위에 판형의 제1 전기장 생성 전극(191)이 배치될 수 있다. 또한, 제1 전기장 생성 전극(191)과 제2 전기장 생성 전극(270) 중 어느 하나는 가지 전극을 포함할 수 있고, 나머지 하나는 판형일 수 있다. 또한, 제1 전기장 생성 전극(191)과 제2 전기장 생성 전극(270) 중 어느 하나는 기준 전압을 인가받고, 나머지 하나는 데이터 전압을 인가받을 수 있다.
- [0061] 즉, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 모든 특징은 박막 트랜지스터 표시판 위에 두 개의 전기장 생성 전극이 모두 배치되는 모든 경우에 적용 가능하다.
- [0062] 앞서 설명하였듯이, 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 제1 접촉 구멍(185)을 형성할 때, 제1 보호막(180x)만 식각하고, 게이트 절연막(140)을 식각하지 않기 때문에, 제1 접촉 구멍(185)이 게이트 도전체의 일부분과 중첩하는 경우에도, 게이트 도전체와 드레인 전극이 제1 전기장 생성 전극(191)을 통해 서로 쇼트되는 것을 방지할 수 있다. 이에 대하여, 도 6 및 도 7을 참고하여, 보다 상세히 설명한다. 도 6은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 7은 도 6의 박막 트랜지스터 표시판을 VII-VII 선을 따라 잘라 도시한 단면도이다.
- [0063] 도 6 및 도 7을 참고하면, 본 실시예에 따른 박막 트랜지스터 표시판은 도 1 내지 도 5에 도시한 실시예에 따른 박막 트랜지스터 표시판과 거의 유사하다. 동일한 구성 요소에 대한 설명은 생략한다.
- [0064] 그러나, 도 6 및 도 7을 참고하면, 본 실시예에 따른 박막 트랜지스터 표시판의 제1 접촉 구멍(185)은 드레인 전극(175) 위에 배치되며, 동시에 게이트 전극(124)의 일부분 위에도 위치한다. 즉, 제1 접촉 구멍(185)은 데이터 도전체와 중첩하지 않는 게이트 도전체와 중첩한다.
- [0065] 도 7을 참고하면, 제1 접촉 구멍(185)은 드레인 전극(175)의 상부 표면 일부와 드레인 전극(175)의 측면을 드러내며, 부분(A)에서는 게이트 전극(124)과 중첩하는 위치에 형성된다.
- [0066] 만일, 제1 접촉 구멍(185)을 제2 접촉 구멍(181) 및 제2 접촉 구멍(182) 형성 시 제2 접촉 구멍(181) 및 제2 접촉 구멍(182)과 함께 게이트 절연막(140)과 제1 보호막(180x) 및 제2 보호막(180z)를 함께 식각하여 형성하게 되면, 도 7의 부분(A)에 위치하는 게이트 절연막(140)도 식각되어, 게이트 전극(124)이 드러나게 된다. 따라서, 제1 접촉 구멍(185) 내에 위치하는 제1 전기장 생성 전극(191)을 통해, 게이트 전극(124)과 드레인 전극(175)은 서로 쇼트되게 된다.
- [0067] 그러나, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 경우, 제1 접촉 구멍(185)을 형성할 때, 제1 보호막(180x)만 식각하고, 게이트 절연막(140)을 식각하지 않기 때문에, 제1 접촉 구멍(185)이 게이트 도전체의 일부분과 중첩하는 경우에도, 게이트 도전체와 드레인 전극이 제1 전기장 생성 전극(191)을 통해 서로 쇼트되는 것을 방지할 수 있다.
- [0068] 도 1 내지 도 5에 도시한 실시예에 따른 박막 트랜지스터 표시판의 많은 특징들은 본 실시예에 따른 박막 트랜지스터 표시판에 모두 적용 가능하다.
- [0069] 그러면, 도 1 내지 도 5와 함께 도 8 내지 도 20을 참고하여, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대하여 설명한다. 도 8 내지 도 11은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각기 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다. 도 12A 및 도 12B는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 순서대로 도시한 단면도로서, 도 1의 III-III 선을 따라 잘라 도시한 단면도이다. 도 13 내지 도

16, 그리고 도 17 내지 도 20은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각각 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다.

- [0070] 먼저, 도 8 내지 도 11에 도시한 바와 같이, 절연 기관(110) 위에 게이트 전극(124)과 게이트 패드부(129)를 포함하는 게이트 도전체(121, 124, 129)를 형성하고, 게이트 도전체(121, 124, 129) 위에 게이트 절연막(140)을 적층하고, 반도체(151, 154), 저항성 접촉 부재(161, 163, 165), 그리고 소스 전극(173) 및 데이터 패드부(179)를 포함하는 데이터선(171)과 드레인 전극(175)을 포함하는 데이터 도전체(171, 173, 175, 179)를 형성한다.
- [0071] 그 후, 데이터 도전체(171, 173, 175, 179) 위에 제1 보호막(180x)을 적층하고, 제1 보호막(180x) 위에 유기막(180y)을 형성하고, 제1 보호막(180x)에 제1 접촉 구멍(185)을 형성한다. 이 때, 제1 접촉 구멍(185)은 제1 접촉 구멍(185)은 제1 보호막(180x)과 유기막(180y)에 정렬되어 형성되어 있다. 이 때, 주변 영역에도 유기막(180y)이 위치할 수 있고, 이 경우 주변 영역에 위치하는 유기막(180y)의 두께는 표시 영역에 위치하는 유기막(180y)의 두께보다 얇을 수 있다.
- [0072] 그러면, 도 12A 및 도 12B와 함께 도 9를 참고하여, 제1 접촉 구멍을 형성하는 방법에 대하여 설명한다.
- [0073] 먼저, 도 12A에 도시한 바와 같이, 데이터 도전체(171, 173, 175, 179) 위에 제1 보호막(180x)을 적층하고, 제1 보호막(180x) 위에 유기막(180y)을 형성한다. 이때, 유기막(180y)은 제1 개구부(185a)를 가진다. 제1 개구부(185a)의 폭은 제1 접촉 구멍(185)의 폭보다 좁을 수 있다.
- [0074] 그 후, 도 12B에 도시한 바와 같이, 유기막(180y)을 식각 마스크로 하여, 제1 보호막(180x)을 식각하여, 제1 보호막(180x)에 제1 접촉 구멍(185)을 형성한다. 이 때, 부분(B)에 도시한 바와 같이, 제1 보호막(180x)에 형성된 제1 접촉 구멍(185)은 언더컷에 의하여, 유기막(180y)의 제1 개구부(185a)의 폭보다 넓게 형성된다. 그 후, 유기막(180y)을 물리적 평탄화(mechanical polishing) 방식 등으로 일부 제거하여, 유기막(180y)의 높이를 일부 낮추면서 제1 개구부(185a)의 폭을 제1 접촉 구멍(185)과 같거나 넓도록 형성하여, 제1 보호막(180x)과 유기막(180y)에 정렬되어 형성된 제1 접촉 구멍(185)을 완성한다.
- [0075] 이처럼, 제1 접촉 구멍(185)을 유기막(180y)을 식각 마스크로 하여 형성함으로써, 한번의 노광 공정을 통해 형성할 수 있어, 제조 비용이 감소할 수 있다.
- [0076] 다음으로, 도 13 내지 도 16에 도시한 바와 같이, 표시 영역에 제1 접촉 구멍(185)을 통해 드레인 전극(175)과 연결되어 있는 제1 전기장 생성 전극(191)을 형성한다.
- [0077] 도 17 내지 도 20을 참고하면, 표시 영역의 제1 전기장 생성 전극(191) 위에 제2 보호막(180z)을 적층하고, 주변 영역에는 제2 보호막(180z)을 적층한 후, 주변 영역에 위치하는 게이트 절연막(140), 제1 보호막(180x), 그리고 제2 보호막(180z)을 함께 식각하여 게이트 패드부(129)를 드러내는 제2 접촉 구멍(181)을 형성하고, 제1 보호막(180x) 및 제2 보호막(180z)을 함께 식각하여, 데이터 패드부(179)를 드러내는 제3 접촉 구멍(182)을 형성한다.
- [0078] 다음으로, 도 2 내지 도 5에 도시한 바와 같이, 표시 영역의 제2 보호막(180z) 위에 제2 전기장 생성 전극(270)을 형성하고, 주변 영역의 제2 접촉 구멍(181) 및 제3 접촉 구멍(182) 위에 제1 접촉 보조 부재(81) 및 제2 접촉 보조 부재(82)를 형성한다.
- [0079] 즉, 표시 영역에 위치하는 제1 접촉 구멍(185)은 제1 보호막(180x)에만 형성되고, 게이트 절연막(140)과 제2 보호막(180z)에는 형성되지 않는다.
- [0080] 그러나, 주변 영역에 위치하는 제2 접촉 구멍(181)은 게이트 절연막(140), 제1 보호막(180x), 그리고 제2 보호막(180z)에 형성되어 있고, 제3 접촉 구멍(182)은 제1 보호막(180x) 및 제2 보호막(180z)에 형성되어 있다.
- [0081] 이처럼, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따르면, 표시 영역에 위치하는 제1 접촉 구멍(185)을 제1 보호막(180x)에만 형성함으로써, 제1 보호막(180x)과 제2 보호막(180z) 그리고 게이트 절연막(140)을 함께 식각하여 제2 접촉 구멍(181)을 형성하거나, 제1 보호막(180x)과 제2 보호막(180z)을 함께 식각하여 제3 접촉 구멍(182)을 형성하는 경우에 비하여, 제1 접촉 구멍(185)의 폭을 좁게 형성할 수 있다. 또한, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따르면, 제1 접촉 구멍(185)을 형성할 때, 제1 보호막(180x)만 식각하고, 게이트 절연막(140)을 식각하지 않기 때문에, 제1 접촉 구멍(185)이 게이트 도전체의 일부분과 중첩하는 경우에도, 게이트 도전체와 드레인 전극이 제1 전기장 생성 전극(191)을 통해 서로 쇼트되는

것을 방지할 수 있다.

- [0082] 그러면, 도 1 내지 도 5와 함께, 도 21 내지 도 33을 참고하여, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대하여 설명한다. 도 21 내지 도 24는 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각기 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다. 도 25A 및 도 25C는 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 순서대로 도시한 단면도로서, 도 1의 III-III 선을 따라 잘라 도시한 단면도이다. 도 26 내지 도 29, 그리고 도 30 내지 도 33은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 일부 단계를 도시한 단면도로서, 각기 도 1의 II-II, III-III, IV-IV, V-V 선을 따라 잘라 도시한 단면도이다.
- [0083] 먼저, 도 21 내지 도 24에 도시한 바와 같이, 절연 기판(110) 위에 게이트 전극(124)과 게이트 패드부(129)를 포함하는 게이트 도전체(121, 124, 129)를 형성하고, 게이트 도전체(121, 124, 129) 위에 게이트 절연막(140)을 적층하고, 반도체(151, 154), 저항성 접촉 부재(161, 163, 165), 그리고 소스 전극(173) 및 데이터 패드부(179)를 포함하는 데이터선(171)과 드레인 전극(175)을 포함하는 데이터 도전체(171, 173, 175, 179)를 형성한다.
- [0084] 그 후, 데이터 도전체(171, 173, 175, 179) 위에 제1 보호막(180x)을 적층하고, 제1 보호막(180x) 위에 유기막(180y)을 형성하고, 제1 보호막(180x)에 제1 접촉 구멍(185)을 형성한다. 이 때, 제1 접촉 구멍(185)은 제1 접촉 구멍(185)은 제1 보호막(180x)과 유기막(180y)에 정렬되어 형성되어 있다. 여기서, 주변 영역에도 유기막(180y)이 위치할 수 있고, 이 경우 주변 영역에 위치하는 유기막(180y)의 두께는 표시 영역에 위치하는 유기막(180y)의 두께보다 얇을 수 있다.
- [0085] 그러면, 도 25A 내지 도 25C와 함께 도 22를 참고하여, 제1 접촉 구멍을 형성하는 방법에 대하여 설명한다.
- [0086] 먼저, 도 25A에 도시한 바와 같이, 데이터 도전체(171, 173, 175, 179) 위에 제1 보호막(180x)을 적층하고, 제1 보호막(180x) 위에 유기막(180y)을 형성한다. 이때, 유기막(180y)은 제2 개구부(185b)를 가진다. 제2 개구부(185b)의 폭은 제1 접촉 구멍(185)의 폭과 거의 같을 수 있다.
- [0087] 그 후, 도 25B에 도시한 바와 같이, 유기막(180y) 위에 감광막 패턴(400a)을 형성한다.
- [0088] 도 25C를 참고하면, 감광막 패턴(400a)을 식각 마스크로 하여, 제1 보호막(180x)을 식각하여, 제1 보호막(180x)에 제1 접촉 구멍(185)을 형성한다. 여기서, 제1 접촉 구멍(185)은 제1 보호막(180x)과 유기막(180y)에 정렬되어 형성된다. 그 후, 감광막 패턴(400a)을 제거하여, 도 22에 도시한 바와 같이, 제1 접촉 구멍(185)을 완성한다.
- [0089] 이처럼, 제1 접촉 구멍(185)을 유기막(180y)이 아닌 추가적인 감광막 패턴(400a)을 식각 마스크로 하여 형성함으로써, 유기막(180y)을 식각 마스크로 하여 제1 접촉 구멍(185)을 형성하는 앞서 설명한 실시예에 비하여, 감광막 패턴(400a)을 형성하는 공정이 추가되지만, 제1 보호막(180x)을 언더컷 방지를 위한 유기막(180y)의 물리적 평탄화 과정을 생략할 수 있다.
- [0090] 다음으로, 도 26 내지 도 29에 도시한 바와 같이, 표시 영역에 제1 접촉 구멍(185)을 통해 드레인 전극(175)과 연결되어 있는 제1 전기장 생성 전극(191)을 형성한다.
- [0091] 도 30 내지 도 33을 참고하면, 표시 영역의 제1 전기장 생성 전극(191) 위에 제2 보호막(180z)을 적층하고, 주변 영역에는 제2 보호막(180z)을 적층한 후, 주변 영역에 위치하는 게이트 절연막(140), 제1 보호막(180x), 그리고 제2 보호막(180z)을 함께 식각하여 게이트 패드부(129)를 드러내는 제2 접촉 구멍(181)을 형성하고, 제1 보호막(180x) 및 제2 보호막(180z)을 함께 식각하여, 데이터 패드부(179)를 드러내는 제3 접촉 구멍(182)을 형성한다.
- [0092] 다음으로, 도 2 내지 도 5에 도시한 바와 같이, 표시 영역의 제2 보호막(180z) 위에 제2 전기장 생성 전극(270)을 형성하고, 주변 영역의 제2 접촉 구멍(181) 및 제3 접촉 구멍(182) 위에 제1 접촉 보조 부재(81) 및 제2 접촉 보조 부재(82)를 형성한다.
- [0093] 즉, 표시 영역에 위치하는 제1 접촉 구멍(185)은 제1 보호막(180x)에만 형성되고, 게이트 절연막(140)과 제2 보호막(180z)에는 형성되지 않는다.
- [0094] 그러나, 주변 영역에 위치하는 제2 접촉 구멍(181)은 게이트 절연막(140), 제1 보호막(180x), 그리고 제2 보호

막(180z)에 형성되어 있고, 제3 접촉 구멍(182)은 제1 보호막(180x) 및 제2 보호막(180z)에 형성되어 있다.

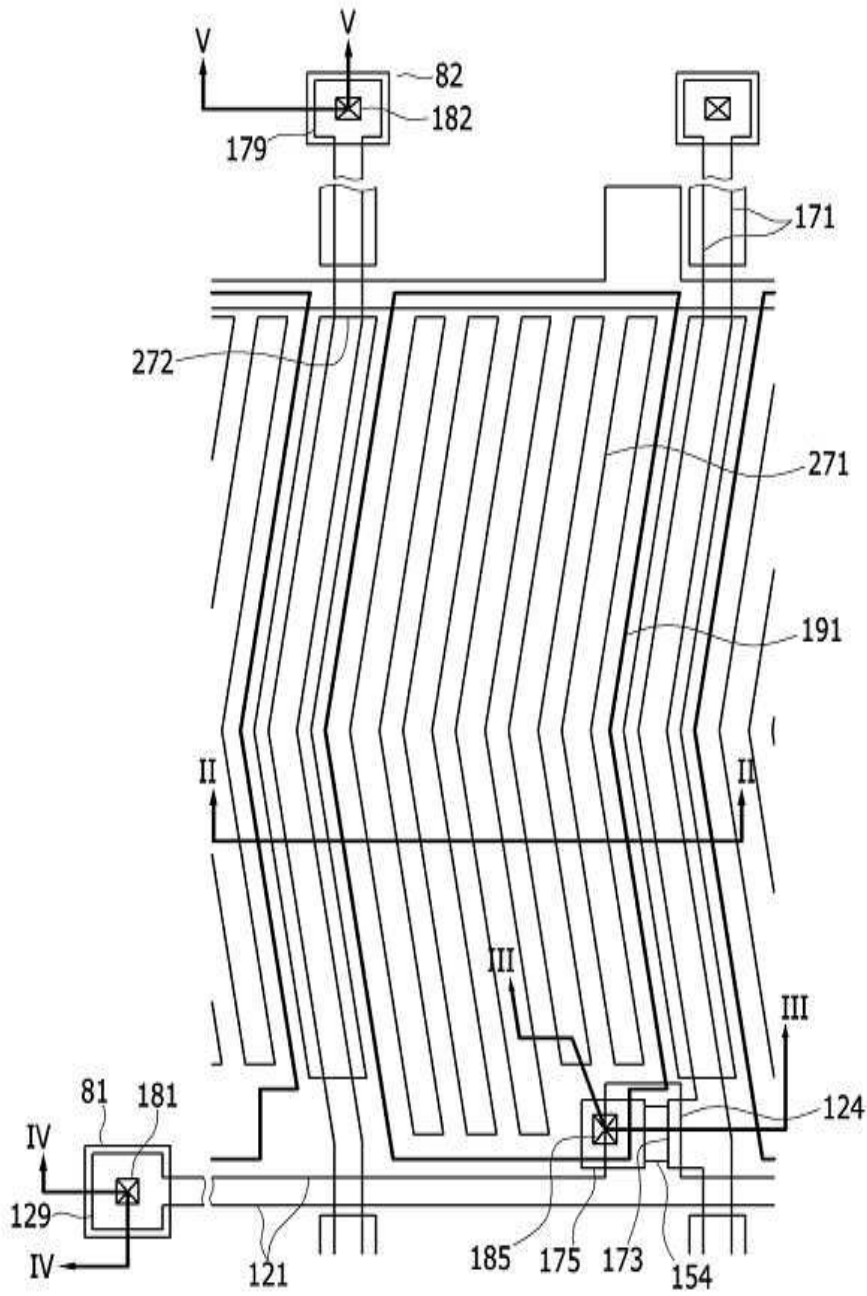
[0095] 이처럼, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따르면, 표시 영역에 위치하는 제1 접촉 구멍(185)을 제1 보호막(180x)에만 형성함으로써, 제1 보호막(180x)과 제2 보호막(180z) 그리고 게이트 절연막(140)을 함께 식각하여 제2 접촉 구멍(181)을 형성하거나, 제1 보호막(180x)과 제2 보호막(180z)을 함께 식각하여 제3 접촉 구멍(182)을 형성하는 경우에 비하여, 제1 접촉 구멍(185)의 폭을 좁게 형성할 수 있다. 또한, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따르면, 제1 접촉 구멍(185)을 형성할 때, 제1 보호막(180x)만 식각하고, 게이트 절연막(140)을 식각하지 않기 때문에, 제1 접촉 구멍(185)이 게이트 도전체의 일부분과 중첩하는 경우에도, 게이트 도전체와 드레인 전극이 제1 전기장 생성 전극(191)을 통해 서로 쇼트되는 것을 방지할 수 있다.

[0096] 본 실시예에 따른 박막 트랜지스터 표시판의 경우, 서로 중첩하는 두 개의 전기장 생성 전극 중 어느 하나는 판형이고 나머지 하나는 가지부를 가지는 것으로 설명하였으나, 본 발명은 하나의 표시판에 두 개의 전기장 생성 전극을 가지는 다른 모든 형태의 박막 트랜지스터 표시판에 적용 가능하다.

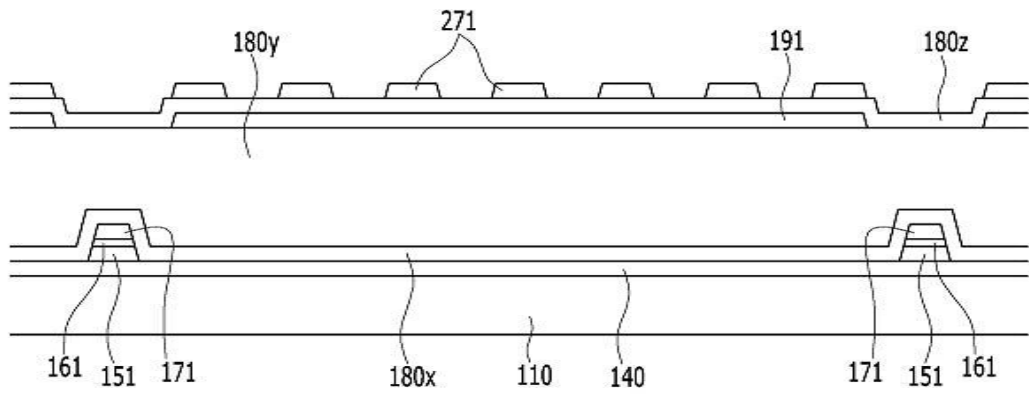
[0097] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

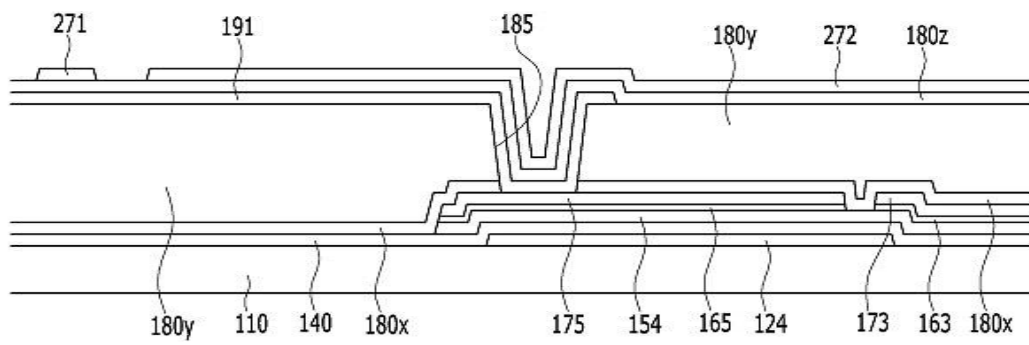
도면1



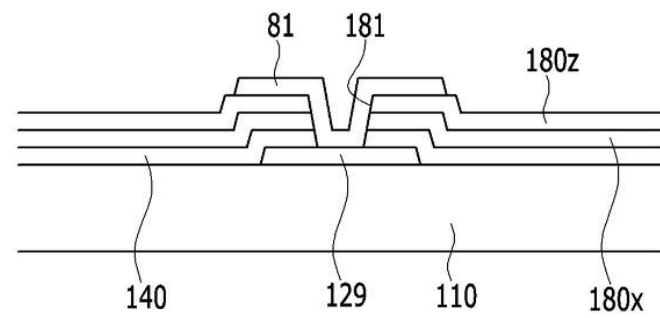
도면2



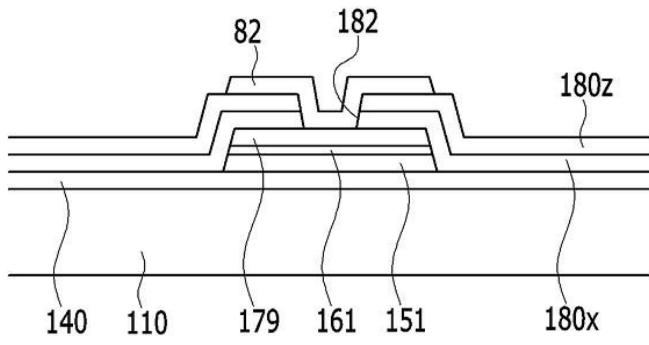
도면3



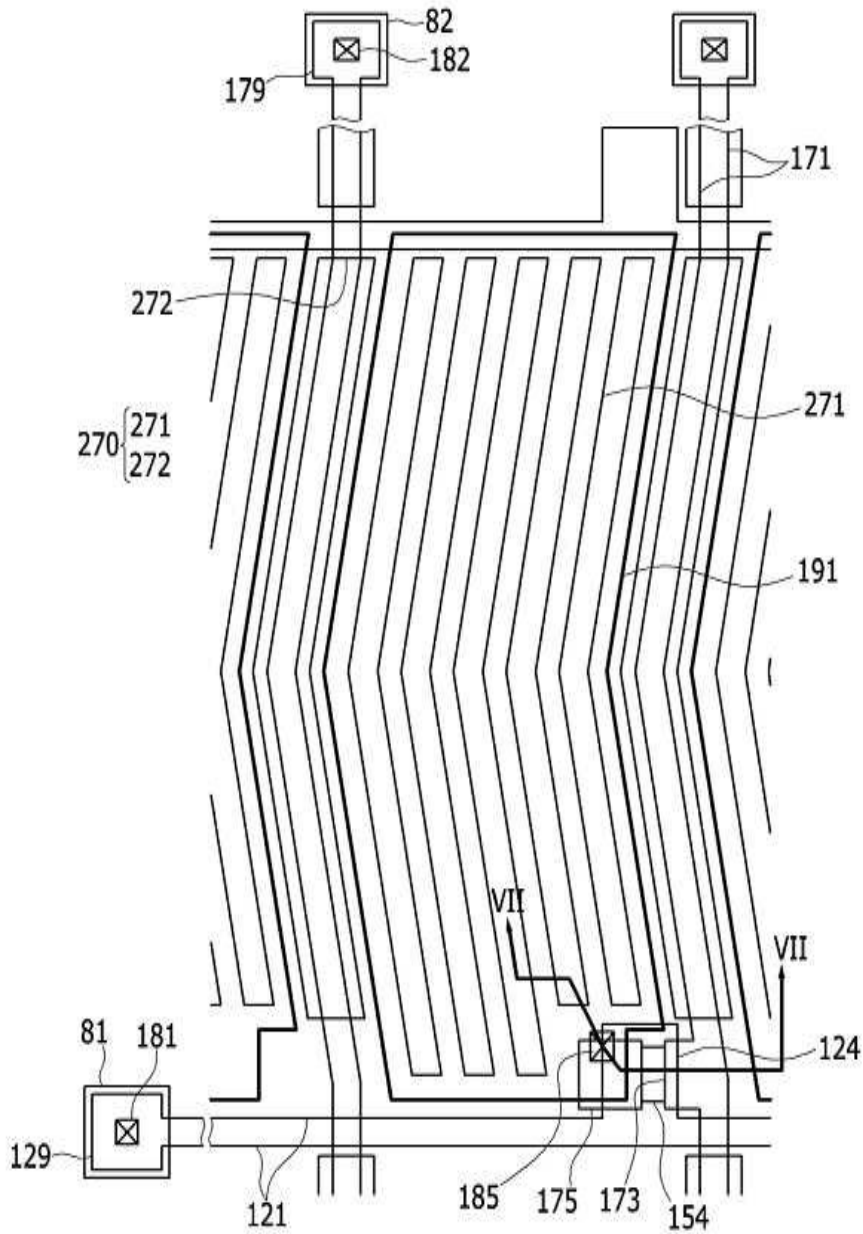
도면4



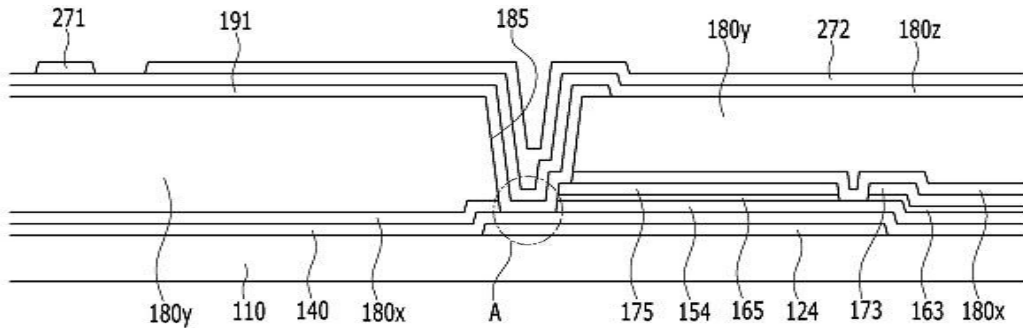
도면5



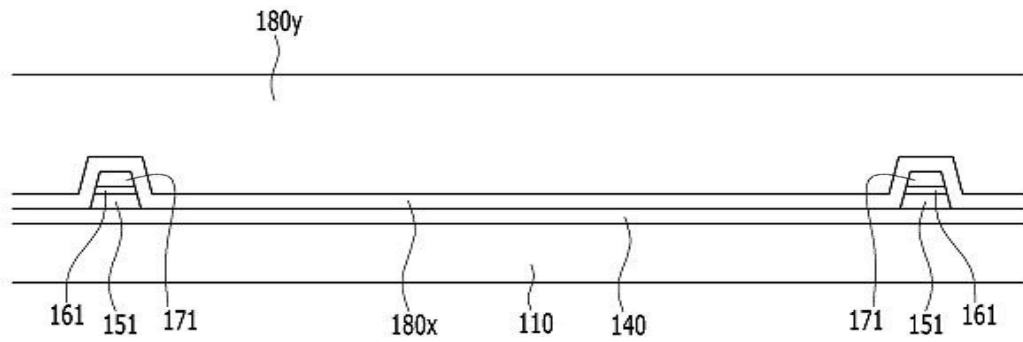
도면6



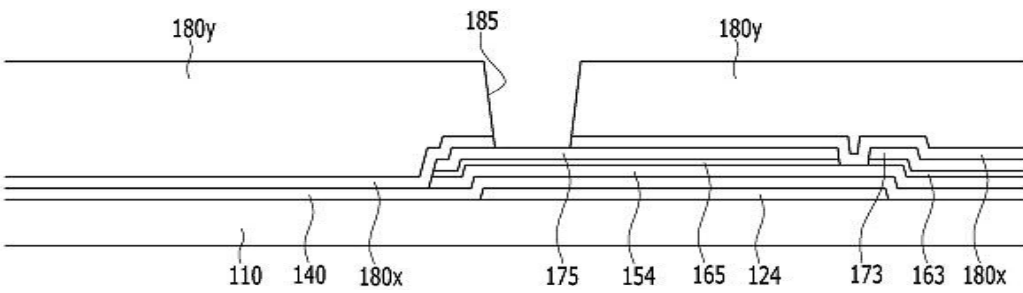
도면7



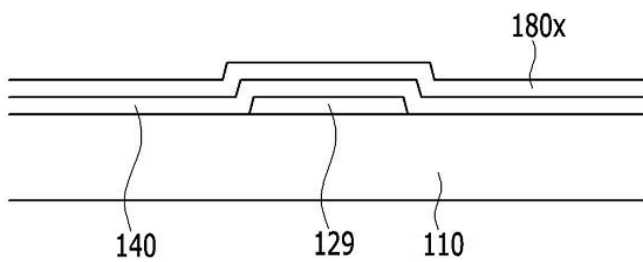
도면8



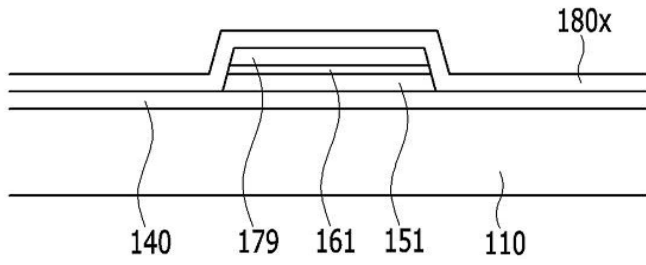
도면9



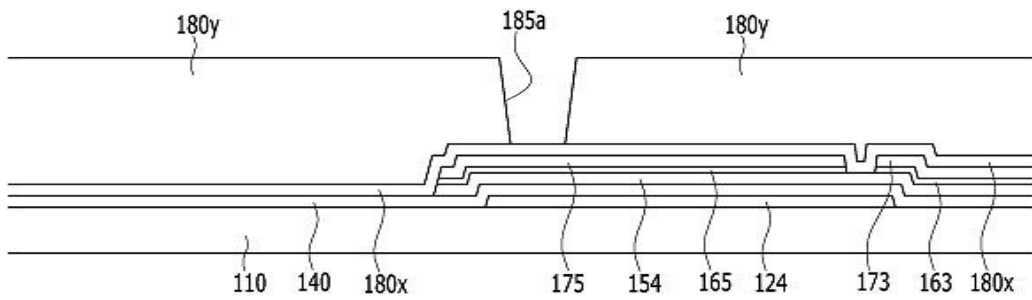
도면10



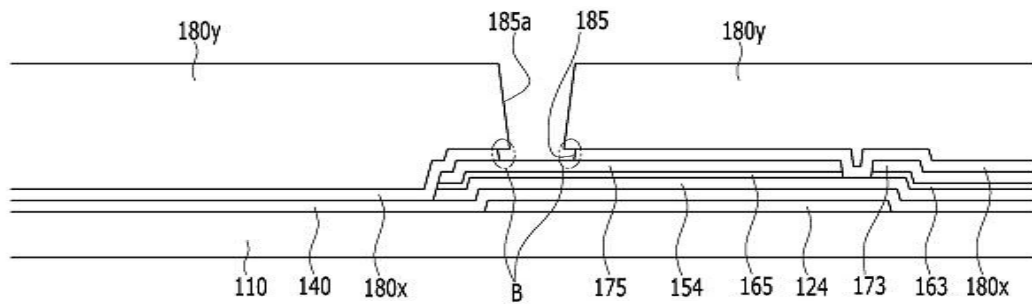
도면11



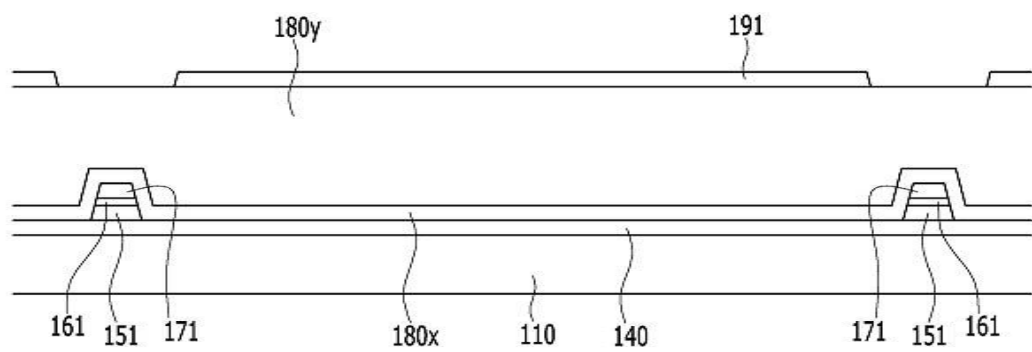
도면12a



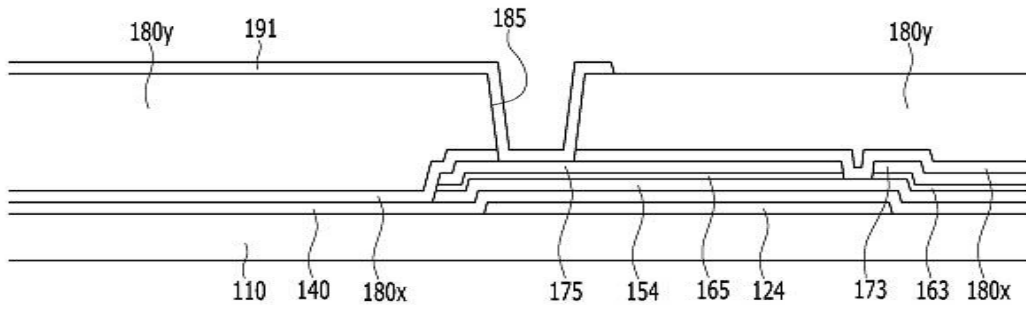
도면12b



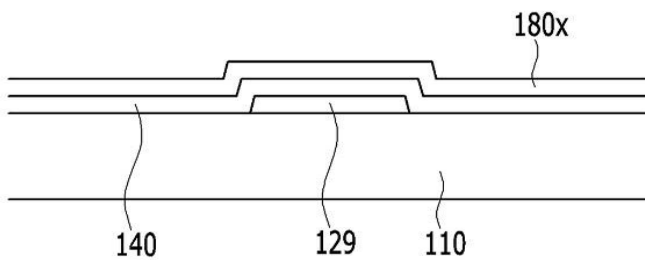
도면13



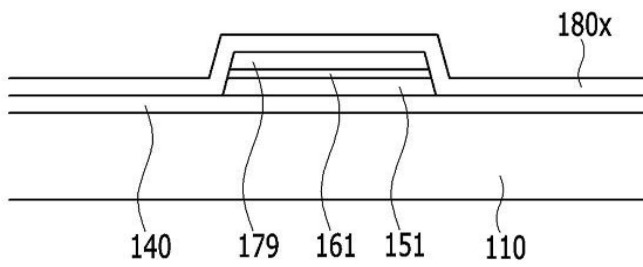
도면14



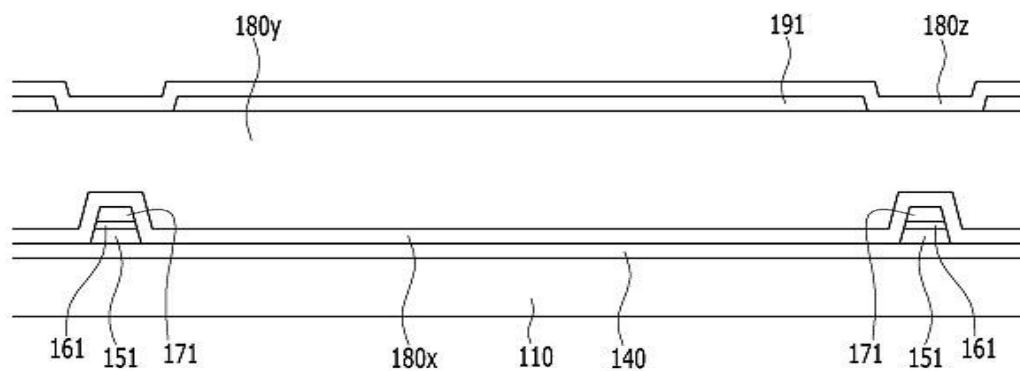
도면15



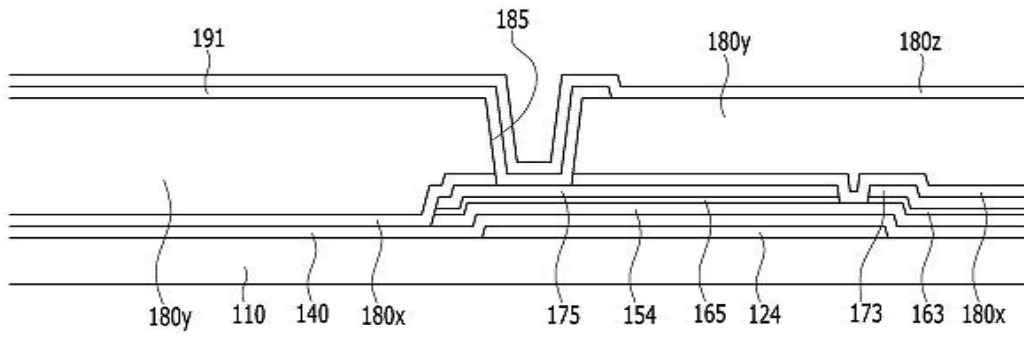
도면16



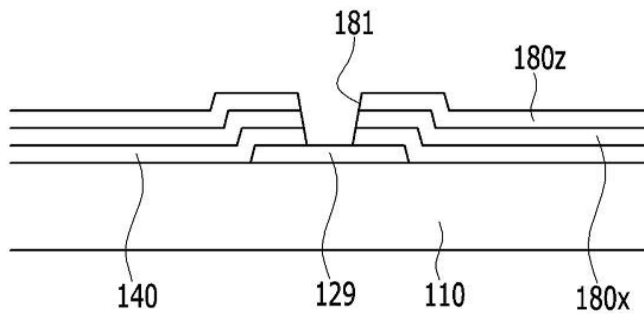
도면17



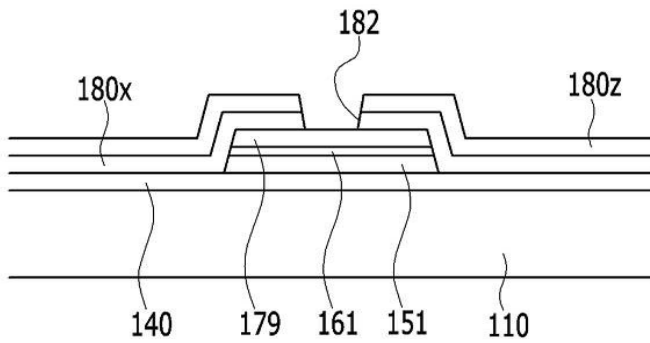
도면18



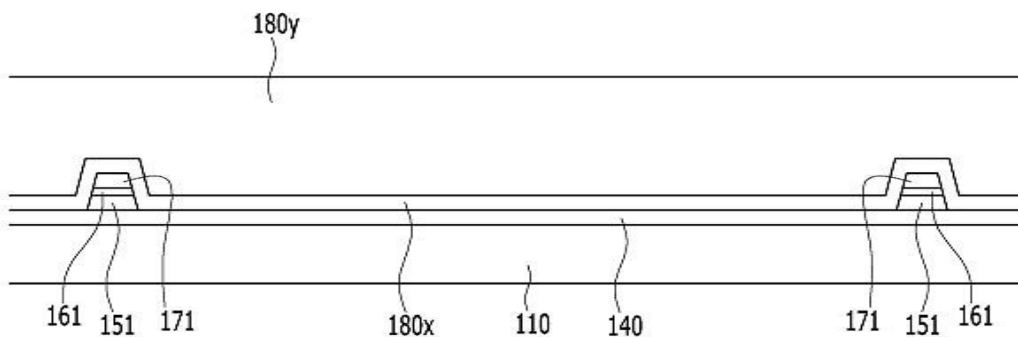
도면19



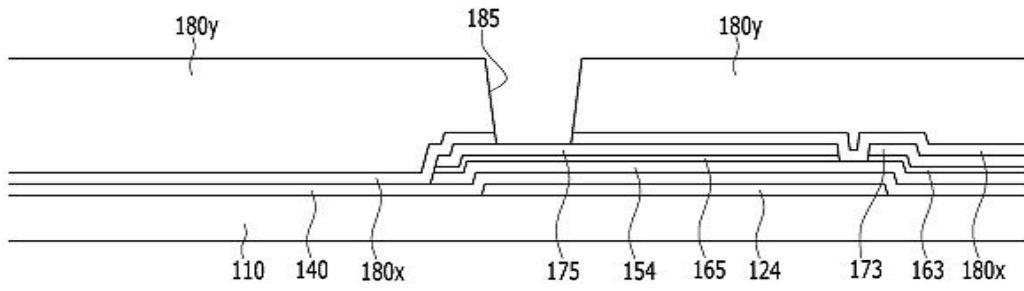
도면20



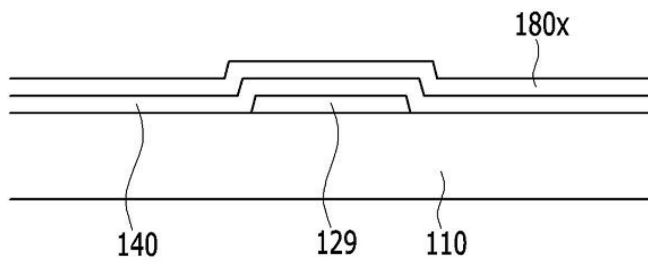
도면21



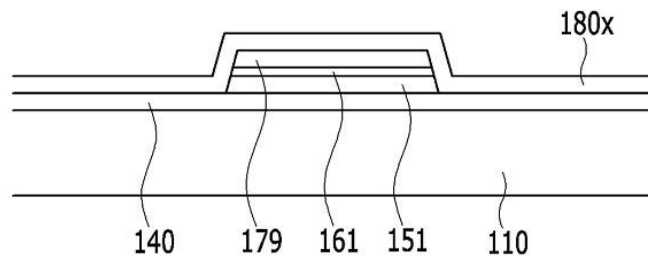
도면22



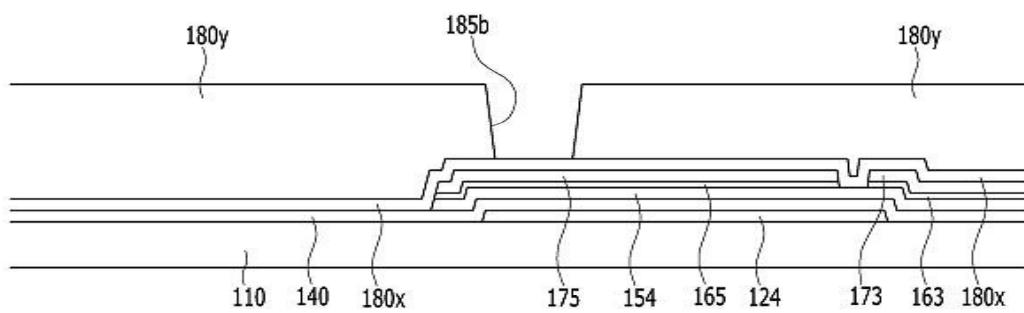
도면23



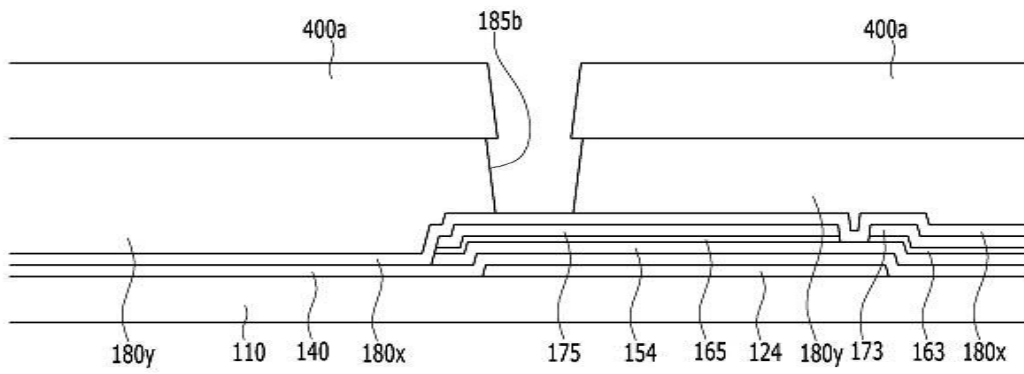
도면24



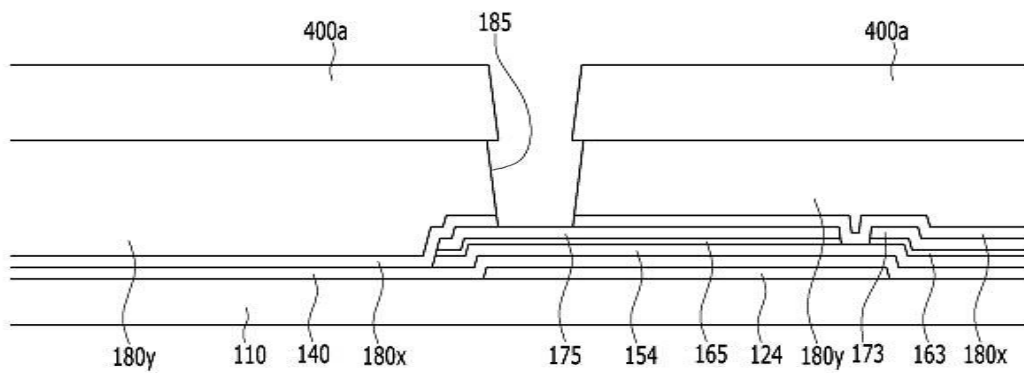
도면25a



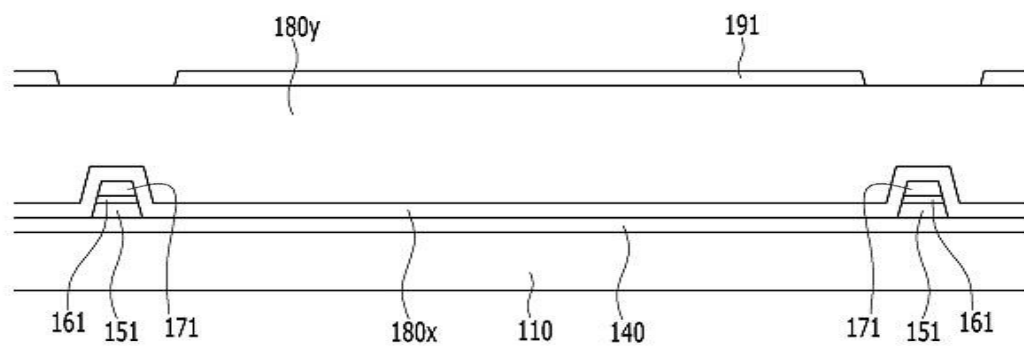
도면25b



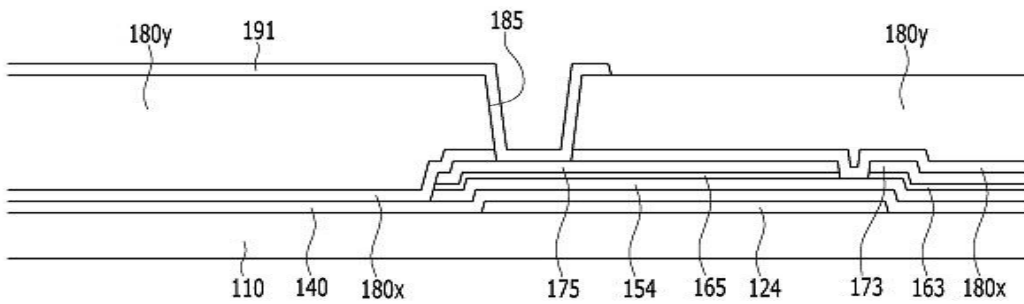
도면25c



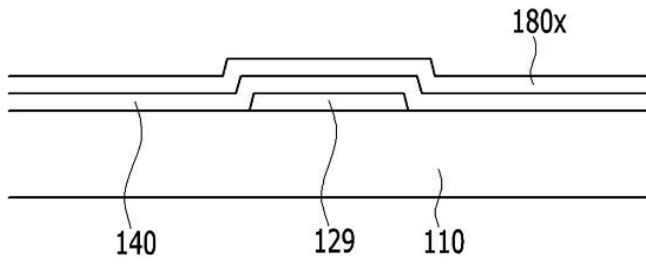
도면26



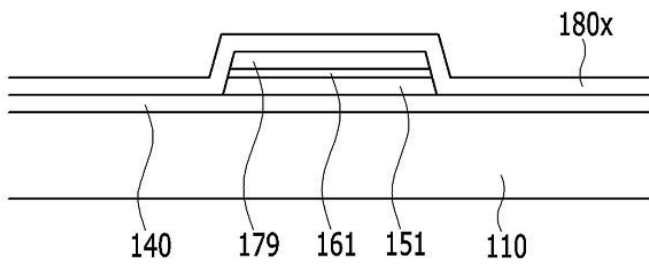
도면27



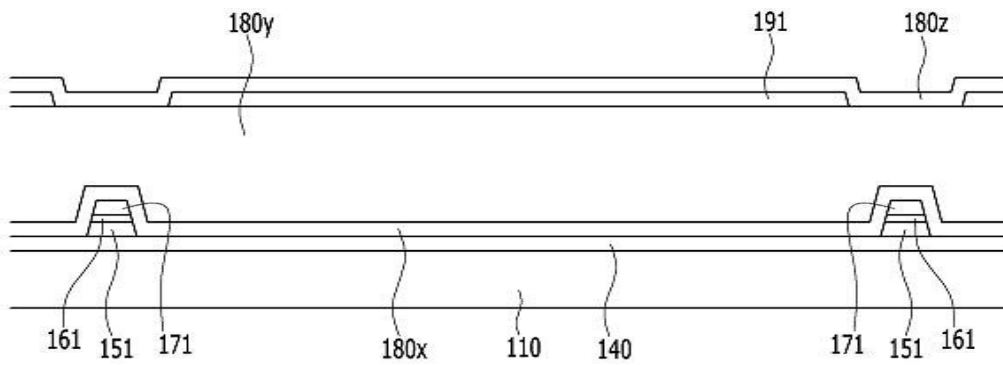
도면28



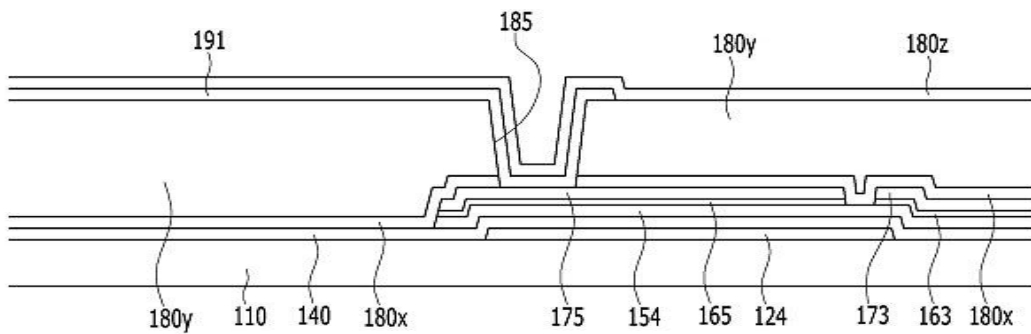
도면29



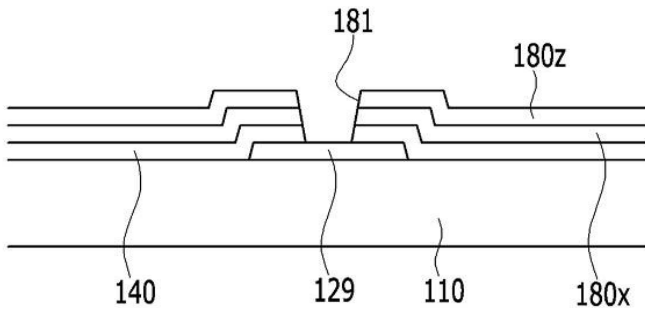
도면30



도면31



도면32



도면33

