

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H03K 3/00

(45) 공고일자 1991년03월04일  
(11) 공고번호 특1991-0001376

(21) 출원번호	특1983-0002930	(65) 공개번호	특1984-0005592
(22) 출원일자	1983년06월28일	(43) 공개일자	1984년11월14일
(30) 우선권 주장	394,313 1982년07월01일 미국(US)		
(71) 출원인	알 씨 에이 코포레이션 글렌 에이취. 브르스틀 미합중국, 뉴욕 10020, 뉴욕, 록펠러프라자 30		

(72) 발명자 도날드 존 사우어  
미합중국 뉴저지 08536, 플레인스 보로, 디어크릭드라이브 9-14  
(74) 대리인 이병호, 김성기

**심사관 : 이택수 (책자공보 제2213호)**

**(54) CCD 입력소오스 펄스 발생회로**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

CCD 입력 소오스 펄스 발생회로

[도면의 간단한 설명]

제1도는 종래 CCD 입력회로의 단면도.

제2도는 제1도의 동작에 대한 기관 전위의 그래프 도면.

제3도는 본 발명의 원리에 따라 구성된 펄스 발생회로의 개요도.

제4도는 제1도 및 제3도의 회로를 동작시키기 위해 사용된 클럭신호 파형.

제5도는 제4도의 클럭신호 발생회로.

\*도면의 주요부분에 대한 부호의 설명

10 : 기관 11 : 산화층  
12 : 채널 16 : 분압기  
18 : 펄스 발생기 20 : 소오스전극

[발명의 상세한 설명]

본 발명은 전하결합소자(CCD) 입력회로에 관한 것이며, 특히 '필' 및 '스필'형태를 갖는 입력회로에 관한것이다.

CCD 레지스터내에 전하신호를 삽입시키기 위한 '필' 및 '스필' 모드동작에 대해서는 월터 에프 코소너키에 의해 1976년 10월12일에 공표된 미합중국 특허권 제3, 986, 198호에 언급되어 있다. 사이클의 '필' 동작동안 응펄스는 소오스영역에 인가되어 전하를 전위벽영역으로 삽입시킨다. 이때, 사이클의 '스필' 동작동안, 소오스영역을 드레인으로 동작시키기 위해 양펄스를 소오스영역에 인가시키므로써 전위벽은 부분적으로 비어 있게 된다. 입력신호전위는 전위벽이 형성된 저장전극과, 저장전극과 소오스영역 사이의 게이트전극 사이에 형성된다. 사이클의 스프동작후 전위벽에 남아있는 전하는 신호전폭의 함수이다.

CCD 레지스터와 낮은 동작전압에서 이들 회로를 동작시키므로써 수반되는 보조회로의 전력소모를 감소시키는 것이 바람직하다. 그러나 낮은 동작전압레벨은, 소오스영역에 스프동작동안 전하가 소오스영역으로 되돌아오는 게이트전극하의 기관영역을 통해 흐르도록, 충분한 크기의 전압을 가진 펄스를 공급할 수 있다. 다행히 그 채널전위는 디바이스 제조동안 발생하는 많은 처리파라미터내의 변화에 의해 정확하게 규정되지 않는다.

그러므로, 낮은 동작전압 조건하에서도 적절한 동작을 하도록 하기 위해 CCD 레지스터용 소오스영역 펄스 발생기를 공급하는 것이 바람직하다.

본 발명은 소오스영역으로부터 전하를 이동시켜 제1시간간격동안 전위벽영역을 채우기에 충분한 제1 전압레벨과, 전위벽으로부터의 전하의 전달을 소오스영역으로 야기시키기에 충분한 제2전압레벨을 CCD의 소오스전극에 공급하며 제2시간주기동안 게이트 및 저장전극 사이의 상대적인 전위차에 의존하는 많은 양의 전하를 전위벽영역내에 저장시키는 펄스원에 관한 것이다.

특히, 본 발명의 특성에 따르면, 제1 용량성 소자는 소오스전극에 연결되며 제1 시간간격동안 제1 용량성소자에 나타나는 제1전압레벨을 설정하기 위해 수단이 공급된다. 제2 용량성 소자는 제1용량성 소자에 연결되며, 제1 및 제2용량성 소자 사이에 전하를 전달시키기 위해 제2시간주기의 초기에 제2 용량성 소자의 전하를 변화시키기 위한 수단이 공급되어 제1전압레벨로부터 제1용량성 소자 양단에 발생한 전압레벨을 제2전압레벨로 변화시킨다. 용량성 전달때문에 제2전압은 펄스 발생기의 공급전압보다 더 높게 된다.

제1도는 '필'스필' 모드동작을 사용하는 CCD 레지스터를 나타낸다. 이는 입력소오스영역(S)을 갖는 P형실리콘기판(10) -입력소오스영역은 기판과 반대 전도형태로 확산되어 있다-과 산화층(11)위에 형성된( $G_1$ ),( $G_3$ )과 같은 제1다결정전극과, 산화층(11)위에 형성된( $G_0$ ),( $G_2$ ),( $G_4$ )와 같은 제2다결정전극 등을 구비하고 있다. p형 이온 이식제(1)는 전극( $G_1$ )( $G_3$ ) 아래의 채널(12)내에 형성되며 인접전극 사이에 dc 오프셋을 형성하여 이들 인접전극 아래에 있는 기판영역내에 비대칭 전위벽을 얻는다. 이에 따라 2개의 위상클럭신호가 인가되었을때, 단방향으로 전하가 전파된다.

전극( $G_0$ )는 일정한 높은 dc 전압( $V_{00}$ )(즉 +12Volts)에 고정되어있으며 남은 전극에 대해 벽 제한 방법으로 소오스영역(5)을 확장시키도록 작용한다. DC 전압( $V_2$ )(즉 +8Volts)는 저장전극( $G_2$ )에 인가되어 제2도에서 처럼 저장전극( $G_2$ ) 아래에 채널전위( $W_2$ )를 갖는 전위벽을 형성한다. DC 전압( $V_1$ )(즉 +3Volts)는 게이트전극( $G_1$ )에 인가되어  $W_1$ 의 채널전위를 갖는 얇은 전위벽(게이트)을 형성한다. 클럭 신호( $\phi_1$ )는전극  $G_4$ 에 인가된다. 분압기(16)에 의해 생성된 클럭신호(제1)의 전압 분할 버전은 전극( $G_3$ )에 인가되어 전극( $G_3$ ) 아래에( $W_3$ )에 따라 변하는 채널전위( $W_3$ )를 갖는 얇은 전위벽을 형성한다. 신호성분( $V_{IN}$ )은 전극( $G_1$ )( $G_2$ ) 사이에 인가된다. (즉, 전극( $G_1$ )에서 캐패시터를 통해 전압( $V_1$ )에 신호성분을 첨가시키므로써) .

'필' 동작동안, 소오스전극(20)은 발생기(18)로부터의 음펄스를 영역(S)에 연결하며 영역(S)이 전하 캐리어의 전원으로서 동작하도록 한다. 제2a도에서 처럼 전자는 전극( $G_1$ ) 아래의 전위장벽( $W_1$ ) 이상을 통과하며 영역(5)에 인가된 전위가 채널전위( $W_1 - \Delta WF$ )를 생성할때 저장전극( $G_2$ ) 아래의 전위벽(14)을 가득 채운다. 상대적으로 얇은 전위장벽( $W_3$ )은 임의의 전하신호가 CCD 레지스터를 통해 흐르지 못하도록 한다. 본예에 있어서, 전극( $G_1$ ),( $G_3$ ) 아래의 이온 이식제(1)는 거의 -6Volts의 임계전압을 형성한다. 만일  $V_1$ 이 +3Volts와 같다면, 장벽( $W_1$ )의 채널전위는 거의 9Volts가 된다. 필링동작을 적절히 하기 위해 영역(S)에 장벽( $W_1$ )의 채널전위(즉, 8Volts)에 대해 음의 1Volts( $\Delta WF$ )의 펄스를 공급한다. -10Volts의 임계전압은 이온 이식제없이도 전극( $G_0$ )( $G_2$ )( $G_4$ ) 아래에서 설정된다. 만일( $V_2$ )가 +8Volts이라면, 전극( $G_2$ ) 아래에서 형성된 장벽( $W_2$ )의 채널전위는 +18Volts가 된다.

제2b도에서 처럼, 스프링동작을 하기 위해서 양( $\Delta WS$ )(거의 1볼트)에 의해 장벽( $W_1$ )의 채널전위에 대해 양의 펄스가 공급된 영역(S)은 드레인으로 작용하여 과잉 전하캐리어를 이동시키고 전위벽(14)내에는 신호( $V_{IN}$ )에 대응하는 성분을 포함하는 많은 양의 전하가 남게 한다. 스프링동작이 완성된 후에 전극( $G_3$ )에 인가된 크기가 감소된  $\phi_1$ , 신호는  $V_{IN}$ 만에 대응되는 전하성분을 건너낸다.(Skim off)이 성분은 순차적으로( $\phi_1$ ),( $\phi_2$ ) 클럭신호에 의해 CCD 채널을 통해 전파된다. 1979년 6월12일 피터 에 이 레빈에 의해 출원된 미합중국 특허원 제4, 158,209호에는 '스키밍' 동작에 대해 더 자세하게 언급되어 있다. 상술한 동작에 있어서, 과잉전하캐리어(전자)가 벽(14)으로부터 장벽( $W_1$ )을 넘어 통과할 수 있도록 입력 확산영역(S)은  $W_1$ 보다 더 큰  $\Delta WS$ 의 채널전위를 설정한다는 점이 중요하다.

그러나, 낮은 동작전압레벨을 갖는 CCD 회로가 동작될때,  $W_1 + \Delta WS$ 에 대응되는 소오스(S)에 요구되는 전압레벨을 가용 공급전압레벨을 초과하게 될 것이다.

본 발명의 펄스회로(18)로 사용하기에 적합한 CCD의 소오스전극용 펄스 발생회로에 관한 것이며 이 펄스회로(18)는 낮은 공급전압 조건하에서 스프링동작을 적절히 하기 위한 장비를 구비하고 있다. 이와같은 것은 특별한 문제일 것이다. 왜냐하면 상술된 것처럼  $W_1$ 을 포함하는 CCD의 전극하에서 형성된 채널전위가 디바이스 제조동안 결정된 요인을 처리하는데 기인하여 세밀히 언급되지 않기 때문이다.

본 발명에 대한 구체적인 구성은 제3도에 나타나 있다. 제3도의 구성에 있어서, N-채널 전계효과 트랜지스터가 사용된다. 동작 공급전압원( $V_{DD}$ )(즉 12Volts)와 접지점 사이에 직렬로 연결된 도체선로를 갖는 3개의 공급층 모드 MOS FETS(32)(34)(36)을 구비하는 전압기준원(30)을 포함한다. FET(32)는 제1도의 CCD의 입력전극 구조와 매칭된 전기적 특성을 갖도록 구성된다. FET(32)는 3개의 게이트전극을 포함하는데 그것과 2개의 드레인전극에 연결되며 3번째 전극(중간전극)은  $V_1$  바이어스전압을 수신한다. FETS(34) (36)의 게이트전극은 각 드레인전극에 연결된다.

FET(38)의 도선은 FET(34)의 드레인과 FET(32)의 전원과의 접합점에 존재하는 마디(A)를 제1도에서 처럼 CCD의 전원전극에 연결된 직류가 존재하는 마디(B)에 연결한다. FET(40)는 FET(34)(36)의 도선

과 FET(38)의 게이트전극(RMR) 사이의 접합점에서 마디(F)에 연결된 도선을 갖는다. ( $\Phi_{10}$ ) 클럭신호는 FET(40)의 게이트에 인가된다. FET(38)의 게이트는 캐패시터(42)를 통해 마디(C)에 연결된다. FET(44)는 마디(C)와 접지점 사이에 연결된 도선과( $\Phi_1$ ) 클럭신호를 수신하기 위해 연결된 게이트전극을 갖는다. 공핍층모드 FET(46)의 게이트전극과 마디(C)에 연결된 도선의 한 선단과( $\Phi_{20}$ ) 클럭신호를 수신하기 위해 연결된 도선의 다른 선단을 갖는다. FET(48)(50)은 동작전위원( $V_{D0}$ )과 접지점 사이에 직렬로 연결된 도선을 갖는다. FET(50)의 게이트전극은 마디(C)에 연결되어 있으며 FET(48)의 게이트전극은( $\Phi_{10}$ ) 클럭신호를 수신하기 위해 연결된다.

FET(48)(50)의 도선 사이의 접합점에서, 마디(D)는 제1캐패시터(52)를 통해 마디(B)에 연결된다. 제2캐패시터(54)는 마디(B)를 접지점에 연결시킨다.

제4도는 클럭신호( $\Phi_1$ ), ( $\Phi_2$ ), ( $\Phi_{10}$ ), ( $\Phi_{20}$ )의 그래픽 표현이다. 후에 설명될 제5도에서의 클럭발생기(60)는 제1도의 CCD와 제3도의 회로를 동작시키는 제4도의( $\Phi_1$ ), ( $\Phi_2$ ), ( $\Phi_{10}$ ), ( $\Phi_{20}$ ) 클럭신호를 발생한다.

동작에 있어서, 전압기준원(30)은 사이클의 '필' 동작동안 마디(A)에 소오스영역(S)을 적당히 바이어스시키는 전압을 공급한다. 상술된 바와같이 FET(32)는 CCD의 입력게이트 구조의 전기적 특성과 매칭되도록 바이어스되고 제조된다. 그러므로, 전도상태에서, 전원전극(마디 A)에서 설정된 전압은 9Volts(제2도의  $W_1$ 의 전위)이다. 그러나 공핍층 FET(34)(36) 사이의 저항은 많은 전류가 FET(32)를 통해 흐르도록 한다. 따라서 마디(A)에서의 전압은 8Volts로 낮게 되며 이는 필동작을 하기에 충분하다. FET 분압기(34)(36)은 마디(F)에서 +4Volts를 설정한다.

제3도 및 제4도에 대해서 시간  $t_0$ 에서 공핍층 모드 FET(46)은( $\Phi_{20}$ )신호의 하이레벨을 마디(C)에 연결된다. 이 하이레벨전압은 캐패시터(42)를 거쳐 FET(38)의 게이트위에 연결되며 FET(38)을 온 시키기에 충분하다. FET(38)가 도통될때, 마디(A)에서 발생한 +8Volts는 마디(B)에 연결되며 캐패시터(54)는 +8Volts로 충전된다. 그러므로 소오스영역은 적당한 필동작을 따라 바이어스된다. 따라서, 마디(C)에서 증가된 전압이 FET(38)를 도통시키기 전에 FET(50)가 도통되는 것에 주지해야 한다. FET(50)의 목적은 후에 설명될 것이다.

시간  $t_1$ 에서 공핍층 모드 FET(46)은 낮은 레벨( $\Phi_{20}$ ) 신호를 FET(50)를 불통시키는 마디(C)에 연결되며 FET(38)가 불통되기에 충분하도록 마디 E(캐패시터 42를 거쳐)에서 전압레벨이 낮게 된다. 그러므로 마디(B)는 마디(A)로부터 분리되고 +8Volts에서 표동된다. 시간  $t_1$ 이 지난후 즉시, ( $\Phi_{10}$ ) 클럭신호는 증가하기 시작한다. ( $\Phi_{10}$ )가 FET(48)의 임계전압(1Volts)에 도달될때, FET(48)는 도통되고 마디(D)에서의 전압은 증가한다. 직렬로 연결된 캐패시터(52)(54)는 과도신호 분압기로서 동작하고 마디(B)에 저장된 전압과 합해지는 마디(D)에서의 2-3 전압 변화에 대응되는 과도전압을 마디(D)에 공급하기 위한 선택된 값의 캐패시턴스를 갖는다.

시간  $t_2$ 에서( $\Phi_{10}$ )클럭신호 +12Volts의 진폭 증가가 발생하여 마디(D)를 +10Volts( $V_T$ 보다 12Volts 낮다)로 변화시키며 마디(B)에서 +6.7Volts의 변화가 발생하도록 하며 캐패시터(54) 양단의 전압을 +14.7Volts로 증가시킨다. 이와같은 전압은 +12Volts의 낮은 공급전압( $V_{D0}$ )에도 불구하고 CCD 레지스터의 스필동작을 적절히 하도록 하기 위해 장벽( $W_1$ )의 채널전위보다 충분히 더 크게 된다. 시간  $t_2$  및  $t_3$ ( $\Phi_{10}$ ) 사이에서, 클럭신호가 마디(F)에서의 전압레벨 이상의 전압레벨( $V_{..}$ )에 도달될때 FET(40)가 도통되어 마디(E)를 마디(F)에서의 전압레벨로 클램프시키며 캐패시터(42) 양단의 전압을 4Volts로 설정한다.

시간  $t_3$ 에서, ( $\Phi_{10}$ )클럭신호는 낮으며 이는 FET(40)를 불통시켜 마디(E)는 표동하게 된다.

시간  $t_4$ 에서, ( $\Phi_{20}$ )클럭신호는 높게되며, 이는 FET(46)를 도통시켜 단자(C)내에 전류가 흐르도록 한다. 그러나  $\Phi_1$  신호가  $t_4$ 에서 아직 높기 때문에 FET(44)는 도통되며 마디(C)에서의 전압은 증가되지 않는다.

시간  $t_5$ 에서  $\Phi_1$  클럭신호의 전압레벨은 FET(44)의 임계전압 이하로 떨어져 이 FET를 불통시킨다. 결과적으로, 마디(C)에서의 전압은 증가하기 시작한다. 그것이 FET(50)의 임계전압(1Volts)에 도달될때, FET(50)은 도통되며 마디(D)에서의 전압을 접지전압으로 하강시킨다. 따라서 마디(D)에서는 -10Volts의 급작스런 전압강하가 일어난다. 이와같은 강하는 캐패시터(52), (54)의 과도 분압효과에 의해 마디(B)에 저장된 전압에 합해져 마디(B)에 -6.7volt 과도로서 인가된다. 이와같은 과도현상은 사이클의 스필부분의 선단을 나타내며 마디(B)에서 +14.7Volts에서 제2의 입력전위벽(14)의 필링을 적절히 하기위해 요구된 +8Volt 레벨로 감소시킨다. FET(50)가 도통된후, 마디(C)에서의 증가된 전압은 캐패시터(42)를 거쳐 마디(E)에 연결되며 FET(38)를 다시 도통시키며 마디(B)를 마디(A)에서 설정된 기준전압원(30)의 8volt의 기준전압레벨로 클램프시킨다.

상술한 바와같이, 제4도에서 나타난( $\Phi_1$ ), ( $\Phi_2$ ), ( $\Phi_{10}$ ), ( $\Phi_{20}$ ) 클럭신호는 제5도에서 나타난 클럭발생회로(60)에 의해 발생된다. 제5도의 구성은 캐패시터(64)를 통해 플립플롭(62)에 연결된 클럭신호에 응답하여( $\Phi_{10}$ ) 및( $\Phi_{20}$ )클럭신호를 발생하는 상호 교차 연결된 NOR 게이트 플립플롭(62)과 입력리미터(66)를 포함한다. ( $\Phi_{10}$ ) 및 ( $\Phi_{20}$ ) 클럭신호는 한쌍의 푸시풀회로(68)(70) 입력에 각각 연결되며 각 입력은 직렬로 연결된 도선을 갖는 동일 전도형태를 갖는 두개의 FET를 구비한다. FET(68)(70)의 게이트는 FET 사이의 접합점에 상보적으로 조정된 클럭신호( $\Phi_1$ ) 및( $\Phi_2$ )를 발생시키기 위한( $\Phi_{10}$ ) 및 ( $\Phi_{20}$ )클럭신호에 응답하여 상보방법으로 구동된다. 푸시풀회로(68)(70)은 8volt 공급전압원에 의해 동작된다. 스위칭 임계에 대한 리미터(66)에서 입력의 DC 레벨을 클럭신호에 대한 듀티

사이클을 결정하며,  $(\Phi_1)$  및  $(\Phi_2)$  클럭신호에 대한 50% 듀티 사이클을 설정하기 위해  $(\Phi_1)$  및  $(\Phi_2)$  클럭신호의 평균 DC 값에 응답하는 위상 비교기(72)에 의해 부귀환 방법으로 제어된다.

그러므로, 상기에서 언급된 것은 감소된 동작전압레벨에도 불구하고 입력동작을 적절히 하고 CCD 기판의 입력영역내에 전위장벽의 높이에 영향을 주는 변화를 처리하는 진폭을 갖는 '필' 및 '스필' 펄스를 발생하는 CCD 레지스터의 소오스 확산용 펄스 발생기에 관한 것이다.

반면, 본 발명은  $\Phi$ -형 기판을 사용하는 N형의 사장된 채널 CCD에 관한 것이다. 다른 전도형태가 사용될 수 있으며, 본 응용의 펄스 발생기는 표면채널형태와 같은 다른 CCD 기판에 사용될 수도 있다. 비록 본 발명의 발생기회로가 CCD 레지스터로서 동일 집적회로위에 제조된다하더라도, 그것은 분리 집적회로위에 대신 제조되거나 이산화로 성분을 사용하여 제조될 수 있다.

## (57) 청구의 범위

### 청구항 1

반도체기관(10)과 소오스전극(20)과, 상기 전극에 연결된 기관내의 소오스영역(S)과, 상기 기관과 절연된 저장전극( $G_0$ )( $G_2$ )( $G_4$ )과 상기 저장전극 아래의 기관내에 존재하는 전위벽영역과 상기 기관으로부터 절연되고 저장전극과 소오스전극 사이에 위치하는 게이트전극( $G_1$ )( $G_3$ )과 제1 기준전압( $V_1$ )을 상기 게이트전극에 연결시키기 위한 수단과 제2기준전압( $V_{D0}$ )을 상기 저장전극에 연결시키기 위한 수단과 한개의 게이트 및 저장전극에 연결된 신호원( $V_{in}$ )과 상기 소오스전극에 펄스신호를 공급하기 위한 펄스원(18)과 제1시간주기동안 상기 소오스영역으로부터 전하를 이동시키므로써 상기 전위벽영역을 채우는 제1전압레벨과 기 전위벽영역으로부터 상기 소오스영역으로 전하를 이동시키므로써 게이트와 저장전극 사이의 전위차에 의존하는 전하량을 전위벽영역내로 저장시키는 제2전압레벨을 갖는 펄스신호를 구비하는 전하연결소자(CCD)에 대한 입력구성에 있어서, 상기 소오스전극에 연결된 제1용량성 소자(54)와 제1시간주기동안 제1용량성 소자 양단에 나타나는 제1 전압레벨을 설정하기 위한 제1수단(30),(38)과 상기 제1용량성 소자에 연결된 제2용량성 소자(52)와 상기 제1 및 제2용량성 소자 사이의 전하를 전달시키기 위하여 제2시간주기의 초기에서 제2용량 소자의 전하를 변화시켜, 상기 제1 전압레벨로부터 제1용량성 소자에 발생하는 전압레벨을 상기 제2전압레벨로 변화시키는 수단을 포함하는 제2수단(48)(50)등을 더 구비하는 것을 특징으로 하는 CCD 입력소오스 펄스 발생회로.

### 청구항 2

제1항에 의한 장치에 있어서, 상기 제2수단(48) (50)은 제1, 제2 용량성 소자 사이의 전하를 이동시키기 위해 제2시간주기의 선단에서 상기 제2 용량성 소자위의 전하를 변화시켜 상기 제2 전압레벨로부터의 제1 용량성 소자에 발생하는 전압레벨을 제1 전압레벨로 변화시키는 수단을 포함하는 것을 특징으로 하는 CCD 입력소오스 펄스 발생회로.

### 청구항 3

제2항에 의한 장치에 있어서, 상기 제1수단은 출력에 제1 전압레벨을 동급하는 전압원(30)과 상기 전압원의 출력과 소오스전극 사이에 연결된 제1도선 및 상기 제1도선의 전도를 제어하는 제1 제어입력(E)을 갖는 제1 스위칭소자(38)과 제2 제어신호( $\Phi_{D0}$ )를 상기 제1 시간주기동안 제1도선을 도통시키는 제1 제어입력에 연결하는 수단(42)등을 포함하며 제2 시간주기의 초기에서 제2 용량성 소자의 전하를 변화시키는 상기 수단은 제3 기준전압( $V_{D0}$ )원과 상기 제2 용량성 소자(52) 사이에 연결된 제2도선 및 상기 제2도선의 전도를 제어하는 제2 제어입력(게이트 48)을 갖는 제2 스위칭소자(48)와 제2 제어신호( $\Phi_{D0}$ )를 상기 제2시간주기의 초기에서 제2도선을 도통시키는 제2 제어입력에 연결시키는 수단등을 포함하여 상기 제2시간주기의 끝에서 상기 제2용량성 소자의 전하를 변화시키는 상기 수단은 제4기준전압(접지점)원과 상기 제2용량성 소자 사이에 연결된 제3도선 및 상기 제3도선의 도통을 제어하는 제3제어입력을 갖는 제3 스위칭소자(58)와 제3 제어신호를 상기 제2 시간주기의 끝에서 상기 제3도선을 도통시키는 상기 제3 제어입력에 연결시키는 수단(42)등을 포함하는 것을 특징으로 하는 CCD 입력소오스 펄스 발생회로.

### 청구항 4

제3항에 의한 장치에 있어서, 클럭펄스에 응답하여 차례로 제1, 제2, 제3 제어신호를 발생하는 수단(46), (48)을 특징으로 하는 CCD 입력소오스 펄스 발생회로.

### 청구항 5

제4항에 의한 장치에 있어서, 제1, 제2, 제3 제어신호를 발생하는 상기 수단(46), (48)이 회로 마디에서 제1, 제3 제어신호를 발생하는 수단과 상기 제3 제어신호가 상기 제3 스위칭수단에 연결될때까지 상기 제1 제어신호가 상기 제1 스위칭소자에 연결되는 것을 지연시키는 상기 회로 마디에 연결된 수단등을 구비하는것을 특징으로 하는 CCD 입력소오스 펄스 발생회로.

### 청구항 6

제5항에 의한 장치에 있어서, 상기 제2(48), (제3(50) 도선은 상기 제3( $V_{D0}$ ), 제4(접지점) 기준전압원 사이에 직렬로 연결되며 상기 제1(52), 제2(54) 용량성 소자는 상기 제1도선과 제2도선의 접합점과 상기 제4기준전압원 사이에 직렬로 연결되며, 상기 소오스전극은 상기 제1캐패시터와 제2캐패시터 사이의접합(B)에 연결되는 것을 특징으로 하는 CCD 입력소오스 펄스 발생회로.

### 청구항 7

제6항에 의한 장치에 있어서, 상기 제2 전압레벨이 상기 제3 기준전압보다 더 큰 크기를 갖는다는 것을 특징으로 하는 CCD 입력소오스 펄스 발생회로,

### 청구항 8

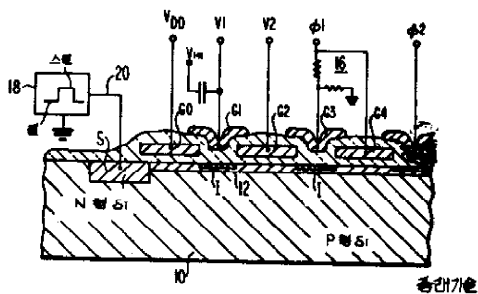
제7항에 의한 장치에 있어서, 상기 CCD 디바이스는 N-채널 디바이스이며, 상기 제1, 제2, 제3 스위칭소자는 N-채널소자이며, 상기 제3 기준전압은 양전압 이라는 것을 특징으로 하는 CCD 입력소오스 펄스발생회로 .

### 청구항 9

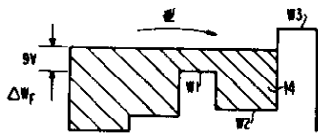
제3항에 의한 장치에 있어서, 상기 전압원은 상기 제1 기준전압( $V_1$ )에 연결된 게이트전극과 상기 제3 기준전압원( $V_{DD}$ )과 상기 소오스전극 사이에 연결된 도선을 규정하고 소오스 폴로워(드레인 접지 증폭기)로서 동작하여 상기 게이트전극 아래의 기판영역내에 전위레벨과 대칭되는 전도임계레벨을 갖는 제1, 제2전극을 갖는 제1 공핍층 모드 MOS FET(32)와 상기 제1공핍층 모드 MOS FET의 제2전극과 상기 제4 기준전압(접지점) 사이에 연결된 도선과 상기 제1,제2공핍층 모드 MOS FET의 접합점(A)에 공급된 전압원의 출력을 갖는 제2공핍층 모드 MOS FET(34)를 구비하는 것을 특징으로 하는 CCD 입력소오스 발생회로.

### 도면

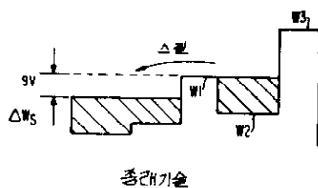
도면1



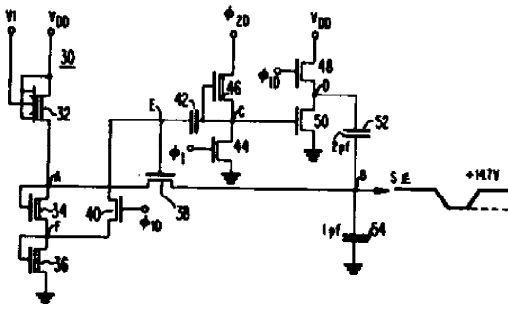
도면2a



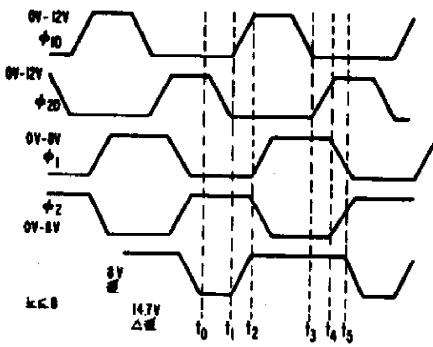
도면2b



도면3



도면4



도면5

