

DESCRIÇÃO
DA
PATENTE DE INVENÇÃO

N.º 97 813


REQUERENTE: THOMSON CONSUMER ELECTRONICS, INC., norte-
-americana, com sede em 4704 West 81st Pla-
ce, Indianapolis, Indiana 46268, Estados
Unidos da América

EPÍGRAFE: "Dispositivo de sincronização de campo de manu-
tenção de integridade entrelaçada"

INVENTORES: Nathaniel Haluk Ersoz e Barth Alan Canfield

Reivindicação do direito de prioridade ao abrigo do artigo 4.º da Convenção de Paris
de 20 de Março de 1883.

Reino Unido em 1 de Junho de 1990 sob o nº 9012326.6



PATENTE N° 97 813

"Dispositivo de sincronização de campo de
manutenção de integridade entrelaçada"

para que

THOMSON CONSUMER ELECTRONICS, INC., pre-
tende obter privilégio de invenção em Por-
tugal.

RESUMO

O presente invento refere-se a primeiro e segundo detectores de tipo de campo para primeiro e segundo sinais video, tendo saídas indicando se os sinais video têm primeiro ou segundo tipos de campo. O primeiro sinal video é sincronizado com o segundo sinal video, para um visor combinado por uma memória de campo síncrona e uma memória de linha múltipla assíncrona. O tipo de campo do segundo sinal video é alterado, quando necessário para fazer coincidir com o tipo de campo do primeiro sinal video, para manter a integridade entrelaçada no visor combinado. Um circuito de alteração de tipo de campo, que controla a sincronização, tem um primeiro modo de operação que retarda a escrita num campo corrente do primeiro tipo de campo de um período de linha horizontal, um segundo modo de operação, que avança a escrita de um campo corrente, de um segundo tipo de campo de um período de linha horizontal e um terceiro modo de operação, que mantém um tipo de campo corrente. A comparação do tipo de campo do segundo sinal com o tipo de campo de um primeiro sinal, resulta num sinal de saída, que indica uma de uma pluralidade de saídas de comparação, em que os primeiro e segundo sinais video têm o mesmo tipo de campo, em que o primeiro sinal video tem o primeiro tipo de campo e o segundo sinal video tem o segundo tipo de campo, e em que o primeiro sinal video tem o segundo tipo de campo e o segundo sinal video tem o primeiro tipo de campo. Uma pluralidade

de sinais de correcção de entrelaçamento seleccionáveis são gerados, sendo cada um deles apropriado para uma de uma pluralidade de saídas de comparação.

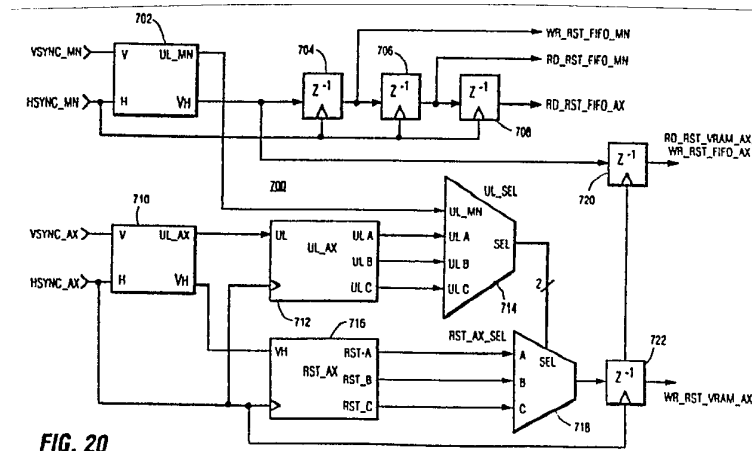


FIG. 20

MEMÓRIA DESCRITIVA

O presente invento refere-se ao campo das televisões que têm visores de imagem múltipla para sinais de video assíncronos, e em particular, para televisões que têm écran com uma relação larga de formato de visionamento. A maioria das televisões actuais têm uma relação de formato de visionamento com largura horizontal por altura vertical de 4:3. Uma relação larga de formato de visionamento corresponde aproximadamente, à relação de formato de visionamento dos filmes para cinema, que é, por exemplo, de 16:9. O invento é aplicável tanto para as televisões de visão directa como para as de projecção.

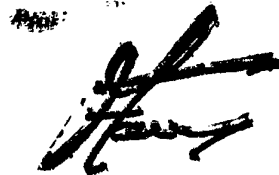
As televisões com uma relação de formato de visionamento de 4:3, muitas vezes designada como 4x3, estão limitadas com a maneira como as fontes de sinal video singulares ou múltiplas podem ser visionadas. Transmissões do sinal de televisão dos emissores comerciais, excepto para material experimental, são emitidas com uma relação de formato de visionamento de 4x3. Muitos espectadores acham que o formato de visionamento 4x3 é menos atraente que a relação larga de formato de visionamento associada aos filmes para cinema. As televisões com relação de formato de visionamento larga apresentam não só um visor mais atraente como são capazes de apresentar fontes de sinal com largo formato de visionamento num correspondente largo formato de visionamento. Os filmes já se parecem com o cinema e não versões cortadas ou distorcidas desses filmes. A fonte de video não necessita de ser cortada nem na conversão de filme para video, como por exemplo, utilizando um aparelho de telecinema, nem usando processadores internos na televisão.

As televisões com uma relação de formato de visionamento larga estão também preparadas para uma grande variedade de visionamentos, tanto para sinais de formato convencional de visionamento como para sinais com formato de visionamento largo, assim como, usando combinações desses sinais para visores de imagem múltipla. Porém, o uso de écrans com relação de visionamento larga inclui numerosos problemas. Mudar as relações

de formato de visionamento das múltiplas fontes de sinal, criar sinais de sincronismo consistentes, resultantes de fontes assíncronas e simultaneamente visionadas, comutar entre fontes múltiplas de modo a gerar visores de imagem múltipla, e proporcionar imagens de alta resolução derivadas da compressão de sinais de dados, são categorias gerais deste tipo de problemas. Tais problemas, ficam resolvidos numa televisão de écran largo, de acordo com este invento. Uma televisão de écran largo, segundo as diversas características deste invento, é capaz de proporcionar alta resolução, visores de imagem singular e múltipla resultantes de fontes assíncronas singulares e múltiplas, com semelhantes ou diferentes relações de formato e com relações de formato de visionamento seleccionáveis.

Quando uma imagem auxiliar é uma pequena inserção, vários artefactos a partir da sincronização imprecisa do sinal principal são toleráveis. No entanto, para alguns formatos particularmente adequados para uma televisão de écran largo tais como duas imagens lado a lado de tamanho igual, tal imprecisão e artefactos não podem ser tolerados. A dimensão larga da imagem auxiliar pode contornar tais artefactos demasiadamente óbvios. Em geral o dispositivo de visor video e deflexão para visionamentos de imagem compósita é sincronizado com o sinal video principal. O sinal video auxiliar deve ser sincronizado verticalmente com o sinal video principal e o visor video. Num dispositivo relativamente barato o sinal video pode ser atrasado de uma fracção de um período de campo numa memória de campo e em seguida acelerado numa memória de linha. Num dispositivo caro e sofisticado tal como é utilizado usualmente em estúdios de qualidade de rádio difusão, um dispositivo de quatro campos de sincronização utiliza quatro memórias de campo assíncronas de acesso duplo. As memórias assíncronas, isto é, as que têm acessos de relógio de escrita e leitura independentes, são em geral mais caras do que as memórias síncronas.

De acordo com os arranjos do invento aqui descritos, um certo grau de sincronização de campo pode ser alcançado, o qual coincide substancialmente com o desempenho de um dispositivo de



quatro campos, mas utiliza apenas uma RAM video síncrona como uma memória de campo e um dispositivo de memórias de linha múltipla primeira a entrar primeira a sair, (FIFO) assíncrono. Se a FIFO é uma memória de cinco linhas, podem ser encontrados os seguintes artefactos: (1) dois deslocamentos de linha de quadro e um deslocamento de linha de campo ocorrerão cada vez que os dois sinais precessam através de um quadro video; e (2) o video de canal auxiliar fica embaralhado no fundo da imagem sempre que a velocidade de precessão entre os sinais principal e auxiliar é maior do que duas linha por quadro. Verificou-se que esta frequência de precessão não era provável de ocorrer no ambiente dos aparelhos electrónicos de consumo. A economia de custo numa dispositivo de quatro campos é aproximadamente 4:1 sem se incorrer em qualquer sacrifício significativo do desempenho. A dimensão da FIFO está relacionada com a capacidade de linha mínima pensada como sendo a razoavelmente necessária para evitar colisões de ponteiro de leitura/escrita. As colisões de ponteiro de leitura/escrita ocorrem quando os dados antigos são lidos da FIFO antes dos novos dados terem uma oportunidade de serem escritos na FIFO. As colisões de ponteiro de leitura/escrita ocorrem também quando os novos dados se sobrepõem na memória antes dos dados antigos terem uma oportunidade de serem lidos da FIFO. A dimensão da FIFO aqui utilizada por exemplo 2048x8 corresponde a aproximadamente a 5 linhas.

Um dispositivo de sincronização de campo para sinais videos assíncronos compreende um visor video sincronizado com um primeiro sinal video. O primeiro sinal video tem um primeiro componente de frequência de linha e um primeiro componente de frequência de campo correspondendo aos componentes de sincronização horizontal e vertical do primeiro sinal video. Uma memória de campo, tendo acessos síncronos de escrita e leitura é proporcionada para um segundo sinal video. O segundo sinal video tem um segundo componente de frequência de linha, que corresponde ao componente de sincronização horizontal do segundo sinal video. Uma memória de linha múltipla (FIFO) para o segundo sinal video tem acessos de escrita e leitura assíncronos e ponteiros de escrita e leitura reposicionáveis independentemente. O segundo



signal video, subamostrado, se necessário, é armazenado na memória de campo e escrito na memória de campo sincronizadamente com o segundo componente de frequência de linha. O segundo signal video, subamostrado, se necessário, é escrito na memória de linha múltipla sincronizadamente com o segundo componente de frequência de linha. Os dados que correspondem ao segundo signal video e, conseqüentemente, completamente ortogonais, tendo sido subamostrados e armazenados sincronizadamente com os seus próprios componentes de sincronização. O segundo signal video subamostrado se necessário é lido da memória de linha múltipla sincronizadamente com o primeiro componente de frequência de linha. Um circuito de amostragem e atraso controla a reposição dos ponteiros de escrita e leitura. É gerado um signal de reposição de ponteiro de escrita por amostragem no primeiro componente de frequência de campo com o segundo componente de frequência de linha: O ponteiro de escrita é repostado para um período de linha de um segundo signal video após cada início do campo do primeiro signal video. Um signal de reposição de ponteiro de leitura é gerado por amostragem do primeiro componente de frequência de campo com o primeiro componente de frequência de linha. O ponteiro de leitura é repostado nos dois períodos de linha do primeiro signal video após cada início de campo do primeiro signal video, e mais particularmente, pelo menos, em dois, mas não mais do que três períodos de linha do primeiro signal video, após cada início de campo do primeiro signal video.

Os blocos de dados da RAM video são escritos na FIFO de 2048x8 com o mesmo relógio que foi o utilizado para amostrar os dados video, por exemplo, um relógio de $640f_H$ que é bloqueado para o signal auxiliar, em vez de para o signal principal. A FIFO é lida utilizando uma frequência de relógio de visor, por exemplo, $1024f_H$, que é bloqueada para o componente de sincronização horizontal do canal video principal. A utilização de uma memória de linha múltipla (FIFO) que tem relógios de acesso de leitura e escrita independentes permite aos dados que foram amostrados ortogonalmente a uma primeira frequência serem amostrados ortogonalmente a uma segunda frequência. A utilização da FIFO assíncrona para o canal auxiliar não resolve todos os problemas



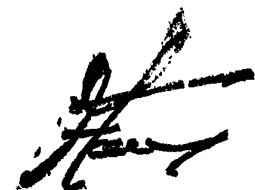
-7-

associados à sincronização video. Uma vez que a leitura e a escrita de dados do canal auxiliar FIFO é síncrono, existe a possibilidade que a integridade de entrelaçamento entre os sinais seja comprometida. A integridade de entrelaçamento requer que o mesmo tipo de campo em cada sinal seja visionado ao mesmo tempo. É também possível encontrar colisões de ponteiro de leitura/escrita na FIFO. Ocorre uma colisão de ponteiro de leitura/escrita, quando o sinal de permissão de leitura é recebido antes dos dados antigos, que já tinham sido lidos anteriormente, sejam substituídos por dados escritos de novo.

A manutenção da integridade de entrelaçamento do video de canal auxiliar é um problema que se opõe à leitura e escritas da FIFO no trajecto de sinal auxiliar em relação assíncrona ao sinal ao sinal principal. Uma vez que o visor é bloqueado para o video de canal principal, o tipo de campo corrente a ser visionado, que é o campo superior ou inferior será determinado pelo sinal principal. O tipo de campo que é armazenado numa memória RAM video no trajecto ou canal de sinal auxiliar para sincronização com o sinal principal, e pronto para ser lido no início do campo de canal auxiliar, pode ou não ser o mesmo que o tipo do campo visionado. Pode ser necessário alterar o tipo de campo de sinal auxiliar armazenado na RAM video para coincidir com o do visor de canal principal.

Geralmente, o processo de digitalização para um sinal NTSC quantificará 262,5 campos de linha do sinal NTSC em 263 campos superiores de linha (U, algumas vezes referidos como campos ímpares) e 262 campos inferiores de linha (L, algumas vezes chamados campos pares). Isto é devido ao facto de o sincronismo vertical é amostrado com impulsos que representam o sincronismo horizontal. Os campos superiores incluem linhas ímpares de 1 a 263. Os campos inferiores incluem linhas pares de 2 a 262.

Os tipos de campo superior e inferior são reconhecidos de acordo com um arranjo do invento. Três indicadores de tipo de campo correspondem a três modos de operação, designados por A, B e C. Um primeiro indicador de tipo de campo U/L (A) representa o



tipo de campo armazenado na RAM video de canal auxiliar, se cada linha de canal auxiliar for escrita "normalmente". O termo normal é aqui utilizado para indicar que as linhas ímpares 1-263 são escritas na RAM video, quando o campo superior está a ser recebido e decodificado. Um segundo indicador de tipo de campo U/L(B) representa o tipo de campo armazenado na RAM video, se a primeira linha do campo superior não é escrita na RAM video durante a recepção de um campo superior. Em vez disso, a primeira linha é efectivamente colada à última linha (número 262) do campo inferior. Isto inverte efectivamente o tipo de campo desde que a linha 2 seja a primeira linha visionada e a linha 3 seja a segunda linha visionada no quadro. O campo superior recebido torna-se agora o campo inferior e vice-versa. Um terceiro indicador de tipo de campo U/L(C) representa o tipo de campo armazenado na RAM video se a última linha do campo superior for adicionada à RAM video, durante a recepção do campo inferior. Isto inverte efectivamente o tipo de campo, uma vez que a linha 263 seja a primeira linha visionada e a linha 1 seja a segunda linha visionada. A adição e a subtracção das linhas nos modos B e C não degrada a imagem de canal auxiliar porque estas linhas ocorrem durante o retorno vertical ou sobreexploração.

À medida que os sinais de canal principal e auxiliar precessam, o tipo de campo U/L mudará em relação aos indicadores de tipo de campo de canal auxiliar U/L(A,B,C). De acordo com um arranjo do invento o tipo de campo muda quando necessário para manter a integridade de entrelaçamento, quando o tipo de campo é detectado continuamente durante a precessão de sinal. Um dispositivo de sincronização para sinais video assíncronos de acordo com este arranjo do invento compreende primeiro e segundo detectores de tipo de campo para primeiro e segundo sinais video, respectivamente, tendo cada um uma saída que indica se o respectivo sinal video tem um primeiro ou segundo tipo de campo. Uma memória video, por exemplo, uma RAM video síncrona e uma FIFO de linha múltipla assíncrona, sincronizam o segundo sinal video com o primeiro sinal video durante um visionamento combinado. Um circuito de inversão de campo muda o tipo de campo do segundo sinal video, quando necessário para fazer incidir o tipo de campo

do primeiro sinal video, para manter a integridade de entrelaçamento no visionamento combinado.

De acordo, adicionalmente, com este arranjo do invento, o circuito de inversão de campo controla a escrita na memória, tendo um primeiro modo de operação que atrasa a escrita num campo corrente do primeiro tipo de campo de um período de linha horizontal, um segundo modo de operação que avança a escrita num campo corrente do segundo tipo de campo de um período de linha horizontal e um terceiro modo de operação que mantém um tipo de campo corrente. Um comparador compara o tipo de campo do segundo sinal com o tipo de campo de um primeiro sinal e gera um sinal de saída que indica uma de uma pluralidade de saídas de comparação em que o primeiro e o segundo sinais video têm campos correntes do mesmo tipo de campo, o primeiro sinal video tem um campo corrente do primeiro tipo de campo e o segundo sinal video tem um campo corrente do segundo tipo de campo ou o primeiro sinal video tem um campo corrente do segundo tipo de campo e o segundo sinal video tem um campo corrente do primeiro tipo de campo. Um gerador de sinal desenvolve uma pluralidade de sinais de correcção de entrelaçamento sendo cada um deles apropriado para uma de uma pluralidade de saídas de comparação.

As figuras 1(a)-1(i) são úteis para explicar diferentes formatos de visionamento numa televisão de écran largo.

A figura 2 é um diagrama de blocos de uma televisão de écran largo de acordo com características deste invento, e adaptada para funcionamento com exploração horizontal de $2f_H$.

A figura 3 é um diagrama de blocos do processador de écran largo, representado na figura 2.

A figura 4 é um diagrama de blocos que mostra outros detalhes do processador de écran largo, representado na figura 3.

A figura 5 é um diagrama de blocos do processador imagem em imagem representado na figura 4.

A figura 6 é um diagrama de blocos da disposição de portas representado na figura 4 e que representa os trajectos do sinal principal, do sinal auxiliar e do sinal de saída.

As figuras 7 e 8 são diagramas de sincronismo, úteis para explicar a geração do formato de visionamento, representado na figura 1(d), usando sinais completamente cortados.

A figura 9 é um diagrama de blocos dum circuito que gera o sinal interno $2f_H$ na conversão de $1f_H$ para $2f_H$.

A figura 10 é uma combinação de circuito e diagrama de blocos para o circuito de deflexão representado na figura 2.

A figura 11 é um diagrama de blocos do interface RGB, representado na figura 2.

A figura 12 é um diagrama de blocos mostrando a saída de sinal auxiliar e uma porção do circuito de sinal principal em maior detalhe.

A figura 13 é um diagrama de uma memória de linha FIFO de cinco linhas útil para explicar a maneira de evitar as colisões de ponteiro de leitura/escrita.

A figura 14 é um diagrama de blocos de um circuito simplificado para implementar um circuito de sincronização auxiliar para a disposição de portas.

A figura 15 é um diagrama de temporização que representa a correspondência de um indicador de campo superior/inferior para as linhas horizontais de um quadro video.

As figuras 16-18 são úteis para a explicação de um processo para manter a integridade de entrelaçamento para sinais video visionados simultaneamente apresentando precessão relativa.

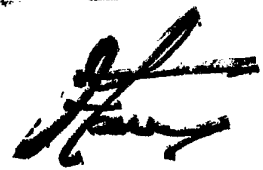
As figuras 19 (a) - 19 (b) são formas de onda úteis para

explicar a operação do circuito mostrado na figura 20.

A figura 20 é um diagrama de blocos de um circuito para manter a integridade de entrelaçamento, como se explicou em ligação com as figuras 16-18.

As várias partes da figura 1 representam algumas, mas não todas das várias combinações dos formatos de visionamento de imagem simples e múltipla que podem ser implementadas de acordo com as diferentes arranjos do invento. Os seleccionados para representação pretendem facilitar a descrição de circuitos particulares, que compreendem televisões de écran largo de acordo com os arranjos do invento. Para efeitos de conveniência na representação e explicação nisto aqui, uma relação de formato de visionamento convencional de entre largura por altura para uma fonte video ou sinal é geralmente julgada ser de 4x3, enquanto que uma relação de formato de visionamento de écran largo de entre largura por altura é geralmente julgado ser de 16x9. As arranjos do invento não estão limitadas por estas definições.

A figura 1(a) representa uma televisão, de visão directa ou de projecção, que tem uma relação de formato de visionamento convencional de 4x3. Quando uma imagem de relação de formato de visionamento de 16x9 é transmitida, como um sinal de relação de formato de visionamento de 4x3, aparecem barras pretas no topo e no fundo. Isto é usualmente designado como formato letra de forma. Neste exemplo, a imagem visionada é um pouco mais pequena relativamente à área de visionamento total disponível. Alternativamente, a fonte de relação de formato de visionamento de 16x9 é convertida antes da transmissão, para que ela encha a extensão vertical de uma superfície de formato de visionamento de 4x3. Contudo, muita informação será cortada dos lados esquerdo e/ou direito. Como uma alternativa adicional, a imagem letra de forma pode ser expandida verticalmente mas não horizontalmente, pelo que a imagem resultante evidenciará distorção por alongamento vertical. Nenhuma das três alternativas é particularmente atraente.



A figura 1(b) mostra um écran de 16x9. Uma fonte video de relação de formato de visionamento de 16x9 será totalmente visionada, sem cortes e sem distorção. Uma imagem letra de forma de relação de formato de visionamento de 16x9, que está ela própria num sinal de relação de formato de visionamento de 4x3, pode ser progressivamente explorada por duplicação de linha ou adição de linha, de modo a proporcionar um visionamento mais largo com suficiente resolução vertical. Uma televisão de écran largo de acordo com este invento pode visionar um tal sinal de relação de formato de visionamento de 16x9 quer da fonte principal, da fonte auxiliar quer de uma fonte externa RGB.

A figura 1(c) representa um sinal principal de relação de formato de visionamento de 16x9 no qual é visionada uma imagem inserida de relação de formato de visionamento de 4x3. Se tanto o sinal video principal como o auxiliar forem fontes de relação de formato de visionamento de 16x9, a imagem inserida pode também ter uma relação de formato de visionamento de 16x9. A imagem inserida pode ser visionada em posições muito diferentes.

A figura 1(d) representa um formato de visionamento, em que os sinais video principal e auxiliar são visionados com a imagem da mesma dimensão. Cada zona de visionamento tem uma relação de formato de visionamento de 8x9, que é com certeza diferente tanto da de 16x9 como da de 4x3. A fim de exhibir uma fonte de relação de formato de visionamento de 4x3 numa tal zona de visionamento, sem distorção horizontal ou vertical, o sinal deve ser cortado nos lados esquerdo e/ou direito. A maior parte da imagem pode ser exibida, com menos cortes, se for tolerada alguma distorção da relação de aspecto por compressão horizontal da imagem. Compressão horizontal resulta no alongamento vertical de objectos na imagem. A televisão de écran largo de acordo com este invento pode proporcionar qualquer mistura de corte e distorção de relação de aspecto a partir de corte máximo com nenhuma distorção de relação de aspecto a nenhum corte com máxima distorção de relação de aspecto.

Limitações de amostragem de dados no trajecto de

processamento do sinal video auxiliar complicam a geração de uma imagem de alta resolução a qual é tão larga em dimensão quanto o visionamento do sinal video principal. Podem ser desenvolvidos vários processos para superar estas complicações.

A figura 1(e) é um formato de visionamento em que uma imagem de relação de formato de visionamento de 4x3 é visionada no centro de um écran de relação de formato de visionamento de 16x9. Barras escuras são evidentes nos lados esquerdo e direito.

A figura 1(f) representa um formato de visionamento em que são visionadas simultaneamente uma imagem grande de relação de formato de visionamento de 4x3 e três imagens mais pequenas de relação de formato de visionamento de 4x3. Uma imagem mais pequena fora do perímetro da imagem grande é algumas vezes designada como uma POP, isto é uma imagem fora de imagem, em vez de um PIP, uma imagem em imagem. Os termos PIP ou imagem em imagem são utilizados nisto aqui para ambos os formatos de visionamento. Naquelas circunstâncias em que é fornecido televisão de écran largo com dois sintonizadores quer ambos internos quer um interno e um externo, por exemplo num gravador de cassetes video, duas das imagens visionadas podem visionar movimento em tempo real de acordo com a fonte. As restantes imagens podem ser visionadas no formato de quadro de imobilização. Será apreciado que a adição de sintonizadores adicionais e trajectos de processamento de sinal auxiliar adicionais podem proporcionar mais do que duas imagens em movimento. Será também apreciado que a imagem grande por um lado, e as três imagens pequenas por outro lado, podem ser comutadas em posição, como mostrado na figura 1(g).

A figura 1(h) representa uma alternativa em que a imagem de relação de formato de visionamento de 4x3 está centrada, e seis imagens mais pequenas de relação de formato de visionamento de 4x3 são visionadas em colunas verticais em ambos os lados. Como no formato anteriormente descrito, uma televisão de écran largo fornecido com dois sintonizadores pode proporcionar duas imagens em movimento. As restantes onze imagens estarão em formato de



quadro imóvel.

A figura 1(i) mostra um formato de visionamento que tem uma grelha de doze imagens de relação de formato de visionamento de 4x3. Um tal formato de visionamento é particularmente apropriado para um guia de selecção de canal, em que cada imagem é pelo menos um quadro de imobilização de um canal diferente. Como antes, o número de imagens em movimento dependerá do número de sintonizadores disponíveis e trajectos de processamento de sinal.

Os vários formatos mostrados na figura 1 são representativos, e não limitativos, e podem ser implementados por televisões de écran largo mostrado nos restantes desenhos e descrita em detalhe mais abaixo.

Um diagrama de blocos global para uma televisão de écran largo de acordo com os arranjos do invento, e adaptado para operar com exploração horizontal $2f_H$, é mostrada na figura 2 e designado geralmente por 10. A televisão 10 compreende geralmente uma secção de entrada de sinais video 20, uma base ou microprocessador TV 216, um processador de écran largo 30, um conversor de $1f_H$ a $2f_H$ 40, um circuito de deflexão 50, uma interface RGB 60, um conversor de YUV para RGB 240, um accionador de cinescópio 242, tubos de projecção ou de visão directa 244 e uma fonte de energia 70. O agrupamento de vários circuitos em diferentes blocos funcionais é feita para efeitos de conveniência na descrição, e não pretende ser limitador da posição física relativa de tais circuitos entre si.

A secção de entrada de sinais video 20 está adaptada para receber uma pluralidade de sinais video compostos de diferentes fontes video. Os sinais video podem ser comutados selectivamente para visionamento como sinais video principais e auxiliares. Um comutador RF 204 tem duas entradas de antena ANT1 e ANT2. Estas representam entradas para a recepção tanto por antena aérea distante como por cabo. O comutador RF 204 controla qual a entrada de antena que é fornecida a um primeiro sintonizador 206 e a um segundo sintonizador 208. A saída do primeiro sintonizador

206 é uma entrada para uma monopastilha 202, que executa um número de funções relativas à sintonia, deflexão horizontal e vertical e controlos video. A monopastilha particular apresentada é designada industrialmente como do tipo TA7730. O sinal video de banda de base VIDEO OUTPUT (saída video) desenvolvido na monopastilha e que resulta do sinal do primeiro sintonizador 206 é uma entrada tanto para o comutador video 200 como para a entrada TV1 do processador de écran largo 30. Outras entradas video de banda de base para o comutador video 200 são designadas por AUX1 e AUX2. Estas podem ser utilizadas para câmaras video, reprodutores de discos laser, reprodutores de cassetes video, jogos video e semelhantes. A saída do comutador video 200, que é controlada pelo base ou microprocessador TV 216 é designado por SWITCHED VIDEO (video comutado), O SWITCHED VIDEO é uma outra entrada para o processador de écran largo 30.

Com referência adicional à figura 3, um processador comutador SW1 de écran largo selecciona entre os sinais TV1 e SWITCHED VIDEO, como sinal video SEL COMP OUT (saída composta seleccionada) que é uma entrada para um descodificador Y/C 210. O descodificador Y/C 210 pode ser implementado como um filtro pente em linha adaptativo. Duas fontes video adicionais S1 e S2 são também entradas para o descodificador Y/C 210. Cada um dos S1 e S2 representam diferentes fontes S-VHS, e cada uma consiste de sinais de luminância e crominância separados. Um comutador, que pode ser incorporado como parte do descodificador Y/C, ou que pode ser implementado como um comutador separado, que responde ao microprocessador TV 216 para seleccionar um par de sinais de luminância e crominância como saídas designadas por Y_M e C_IN respectivamente. O par seleccionado dos sinais de luminância e crominância é consequentemente considerado o sinal principal e é processado ao longo de um trajecto de sinal principal. As designações do sinal incluindo _M ou _MN referem-se ao trajecto de sinal principal. O sinal de crominância C_IN é redireccionado pelo processador de écran largo de volta à monopastilha, para desenvolver sinais de diferença de cor U_M e V_M. Neste contexto, U é uma designação equivalente para ((R-Y) e V é uma designação equivalente para (B-Y). Os sinais Y_M, U_M, e V_M são convertidos

para o formato digital no processador de écran largo para processamento de sinal adicional.

O segundo sintonizador 208, definido funcionalmente como parte do processador de écran largo 30, desenvolve um sinal video de banda de base TV2. Um comutador SW" selecciona entre os sinais SWITCHED VIDEO e TV2 como uma entrada para um descodificador Y/C 220. O descodificador Y/C 220 pode ser implementado como um filtro pente em linha adaptativo. Os comutadores SW3 e SW4 seleccionam entre as saídas de luminância e crominância do descodificador Y/C 220 e os sinais de luminância e crominância de uma fonte video externa Y_EXT e C_EXT respectivamente. Os sinais Y_EXT e C_EXT correspondem à entrada S-VHS S1. O descodificador Y/C 220 e os comutadores SW3 e SW4 pode estar combinados como em alguns filtros pente em linha adaptativos. A saída dos comutadores SW3 e SW4 é consequentemente considerada o sinal auxiliar e é processado ao longo de um trajecto de sinal auxiliar. A saída de luminância seleccionada é designada Y_A. As designações de sinal incluindo _A, _AX e _AUX referem-se ao trajecto de sinal auxiliar. A crominância seleccionada é convertida para sinais de diferença de cor U_A e V_A. Os sinais Y_A, U_A e V_A são convertidos para formato digital para processamento de sinal adicional. A disposição de fonte de sinal video que comuta nos trajecto de sinal principal e auxiliar, maximiza flexibilidade gerindo a selecção da fonte para as diferentes partes dos diferentes formatos de visionamento de imagem.

Um sinal de sincronização composto COMP SYNC, correspondendo a Y_M é fornecido pelo processador de écran largo a um separador síncrono 212. Os componentes de sincronização horizontal e vertical H e V respectivamente são entradas para um circuito de contagem decrescente vertical 214. O circuito de contagem decrescente vertical desenvolve um sinal de VERTICAL RESET (reposicionamento vertical) que é dirigido para dentro do processador de écran largo 30. O processador de écran largo gera um sinal de saída de reposicionamento vertical interno INT VERT RST OUT dirigido para a interface RGB 60. Um comutador na

interface RGB 60 selecciona entre o sinal de saída de reposicionamento vertical interno e o componente de sincronização vertical da fonte externa RGB. A saída deste comutador é um componente de sincronização vertical seleccionado SEL_VERT_SYNC dirigido para o circuito de deflexão 50. Os sinais de sincronização horizontal e vertical do sinal video auxiliar são desenvolvidos pelo separador síncrono 250 no processador de écran largo.

O conversor de $1f_H$ para $2f_H$ 40 é responsável por converter sinais video entrelaçados para sinais não entrelaçados explorados progressivamente, por exemplo um em que cada linha horizontal é gerada por interpolação das linhas horizontais adjacentes do mesmo campo. Em alguns casos, a utilização de uma linha anterior ou a utilização de uma linha interpolada dependerá do nível de movimento que é detectado entre campos adjacentes ou quadros. O circuito conversor 40 funciona em conjunto com uma RAM (memória apenas de leitura) video 420. A RAM video pode ser utilizada para armazenar um ou mais campos de um quadro para possibilitar o visionamento progressivo. Os dados video convertidos como sinais Y_{2f_H} , U_{2f_H} e V_{2f_H} são fornecidos à interface RGB 60.

A interface RGB 60, mostrada mais detalhadamente na figura 15, possibilita a selecção dos dados video convertidos ou dados video externos RGB para visionamento pela secção de entrada de sinais video. O sinal RGB externo é julgado ser um sinal de relação de formato de visionamento largo adaptado para exploração $2f_H$. A componente de sincronização vertical do sinal principal é fornecido à interface RGB pelo processador de écran largo como INT VERT RST OUT, possibilitando que uma sincronização vertical seleccionada (f_{V_m} ou $f_{V_{ext}}$) esteja disponível ao circuito de deflexão 50. O funcionamento da televisão de écran largo possibilita a selecção pelo utilizador de um sinal RGB externo, gerando-se um sinal de controlo interno/externo INT/EXT. Contudo, a selecção de uma entrada de sinal RGB externo, na ausência de um tal sinal, pode resultar no colapso vertical do quadro, e danos no tubo de raios catódicos ou tubos de projecção. Consequentemente, o circuito interface RGB detecta um sinal de



sincronização externo, a fim de anular a selecção de uma entrada externa RGB não existente. O microprocessador WSP 340 fornece também controlos de cor e matiz para o sinal RGB externo.

O processador de écran largo 30 compreende um processador de imagem em imagem 320 para processamento de sinal especial do sinal video auxiliar. O termo imagem em imagem é algumas vezes abreviado como PIP ou pix-in-pix. Uma disposição de portas 300 combina os dados de sinal principal e auxiliar num grande variedade de formatos de visionamento, como mostrado pelos exemplos das figuras de 1(b) a 1(i). O circuito de imagem em imagem 320 e a disposição de portas 300 estão sob o controlo de um microprocessador de écran largo (WSP μ P) 340. O microprocessador 340 que responde ao microprocessador TV 216 através de um bus série. O bus série inclui quatro linhas de sinal, para dados, sinais de relógio, sinais de autorização e sinais de reposicionamento+. O processador de écran largo 30 gera também um sinal vertical composto de apagamento/reposicionamento, como um sinal castelo de areia de três níveis. Alternativamente, os sinais de apagamento e reposicionamento verticais podem ser gerados como sinais separados. Um sinal de apagamento composto é fornecido à interface RGB pela secção de entrada de sinal video.


O circuito de deflexão 50, exposto com maior detalhe na figura 14, recebe um sinal de reposicionamento vertical do processador de écran largo, um sinal de sincronização horizontal $2f_H$ seleccionado a partir da interface RGB 60 e sinais de controlo adicional a partir do processador de écran largo. Estes sinais de controlo adicional dizem respeito ao faseamento horizontal, ajustamento de dimensão vertical e ajustamento de cavilha este-oeste.. O circuito de deflexão 50 fornece impulsos de retorno $2f_H$ ao processador de écran largo 30, o conversor de $1f_H$ para $2f_H$ 40 e o conversor de YUV para RGB 240.

As tensões de funcionamento para toda a televisão de écran largo são geradas por uma fonte de energia 70 que pode ser alimentada por uma fonte principal de corrente alternada.

O processador de écran largo 30 está mostrado com maior detalhe na figura 3. Os principais componentes do processador de écran largo são uma disposição de portas 300, um circuito de imagem em imagem 301, conversores de analógico para digital e de digital para analógico, o segundo sintonizador 208, um microprocessador processador de écran largo 340 e um codificador de saída de écran largo 227. Detalhes adicionais do processador de écran largo, que são comuns tanto à base $1f_H$ como ao $2f_H$, por exemplo o circuito PIP, estão mostrados na figura 4. Um processador de imagem em imagem 320, que constitui uma parte significativa do circuito PIP 301, é mostrada com maior detalhe na figura 5. A disposição de portas 300 está mostrada com mais detalhe na figura 6. Uma pluralidade dos componentes mostrados na figura 3, que constituem partes dos trajectos de sinal principal e auxiliar, foram já descritos em detalhe.

O segundo sintonizador 208 tem associado nele um andar IF 224 e um andar audio 226. O segundo sintonizador 208 opera também em conjunção com o WSP μP 340. O WSO μP 340 compreende uma secção de entrada saída I/O 340A e uma secção de saída analógica 340B. A secção I/O 340B fornece sinais de controlo de matiz e cor, o sinal INT/EXT para seleccionar a fonte video RGB externa e sinais de controlo para os comutadores de SW1 a SW6. A secção I/O controla também o sinal EXT SYNC DET da interface RGB para proteger o circuito de deflexão e tubo(s) de raios catódicos. A secção de saída analógica 340B fornece sinais de controlo para dimensão vertical, ajustamento este-oeste e fase horizontal, através dos respectivos circuitos de interface 254, 256 e 258.

A disposição de portas 300 é responsável para combinar informação video dos trajectos de sinal principal e auxiliar para implementar um visionamento de écran largo composto, por exemplo por um dos mostrados nas diferentes partes da figura 1. A informação de relógio para a disposição de portas é fornecida por circuito fechado de bloqueio de fase 374, que funciona em conjunção com filtro de passagem de baixas frequências 376. O sinal video principal é fornecido ao processador de écran largo no formato analógico, e formato Y U V, como sinais designados por

 Y_M, U_M e V_M. Estes sinais principais são convertidos do formato analógico para o formato digital por conversores de analógico para digital 342 e 346, mostrados com mais detalhe na figura 4.

Os sinais de componente de cor são designados pelas designações genéricas U e V, que pode ser atribuídos quer aos sinais R-Y ou B-Y, quer aos sinais I e Q. A largura de banda da luminância amostrada está limitada a 8 MHz porque a frequência do dispositivo de relógio é de $1024f_H$, que é aproximadamente de 16 MHz. Um conversor simples de analógico para digital e um comutador analógico podem ser utilizados para amostrar os dados de componente de cor porque os sinais U e V estão limitados a 500 kHz, ou 1,5 MHz para a largura I. A linha seleccionada UV_MUX para o comutador analógico, ou dispositivo de multiplexação 344, é um sinal de 8 MHz derivado dividindo-se o relógio do dispositivo por 2. Um início largo mono relógio de impulso de linha SOL restabelece sincronizadamente este sinal a zero no começo de cada linha video horizontal. A linha UV_MUX varia então de estado em cada ciclo de relógio através da linha horizontal. Dado que o comprimento de linha é um número ímpar de ciclos de relógio, o estado do UV_MUX, uma vez iniciado, variará consistentemente 0, 1, 1, 1, ..., sem interrupção. Os fluxos de dados Y e UV fora dos conversores de analógico para digital 342 e 346 estão deslocados porque os conversores de analógico para digital têm cada um 1 ciclo de relógio de atraso. A fim de se adaptar a esta mudança de dados, a informação do acesso relógio do trajecto de processamento de sinal principal 304 deve ser atrasado de maneira semelhante. Se a informação do acesso relógio não fosse atrasada, os dados UV não seriam correctamente emparelhados quando apagados. Isto é importante porque cada par UV representa um vector. Um elemento U de um vector não pode ser emparelhado com um elemento V de um outro vector sem originar uma mudança de cor. Em vez disso, uma amostra V de um par anterior seria apagado juntamente com a amostra corrente U. Este processo de multiplexação UV é referido como 2:1:1, dado que há duas amostras de luminância para todos os pares de amostras de componente de cor (U,V). A frequência Nyquist tanto para U como

para V é efectivamente reduzida para um meio da frequência Nyquist de luminância. Consequentemente, a frequência Nyquist da saída do conversor de analógico para digital para o componente de luminância é de 8 MHz, enquanto que a frequência Nyquist da saída do conversor analógico para digital para o componente de cor é de 4 MHz.

O circuito PIP e/ou a disposição de portas podem incluir também meios para aumentarem a resolução dos dados auxiliares não opondo-se à compressão de dados. Uma pluralidade de esquemas de redução de dados e de restauração de dados foram desenvolvidos, incluindo por exemplo compressão de pixel (ponto) emparelhada e excitação e não excitação. Além do mais, são contempladas diferentes sequências de excitação envolvendo diferentes números de bits e diferentes compressões de pixel (ponto) emparelhados envolvendo números diferentes de bits. Um de uma pluralidade de esquemas de redução e restauração de dados particulares pode ser seleccionado pelo WSP μ P 340 a fim de maximizar a resolução do video visionado para cada tipo particular de formato de visionamento de imagem.

A disposição de portas inclui interpoladores que funcionam em conjunção com memórias de linha, que podem ser implementados como FIFO 356 e 3558. O interpolador e as FIFO são utilizados para reamostrar o sinal principal como desejado. Um interpolador adicional pode reamostrar o sinal auxiliar. Circuitos de sincronização e de relógio na disposição de portas controlam a manipulação dos dados de ambos os sinais principal e auxiliar, incluindo a sua combinação num único sinal video de saída tendo componentes Y_{MX}, U_{MX} e V_{MX}. Estes componentes de saída são convertidos para o formato analógico pelos conversores de digital para analógico 360, 362 e 364. O formato analógico dos sinais, designados Y, U e V, são fornecidos ao conversor de $1f_H$ para $2f_H$ 40 para conversão para exploração não entrelaçada. Os sinais Y, U e V são também codificados para o formato Y/C pelo codificador 227 para definir um sinal de saída de relação de formato largo Y_{OUT_EXT}/C_{OUT_EXT} disponível nas tomadas do painel. O comutador SW5 selecciona um sinal de sincronização para o codificador 227

quer da disposição de portas, C_SYNC_MN, quer do circuito PIP, C_SYNC_AUX. O comutador SW6 selecciona entre Y_M e C_SYNC_AUX como sinal de sincronização para a saída de painel de écran largo.

Porções do circuito de sincronismo horizontal, são representadas com mais detalhe na figura 9. O comparador de fase 228, é parte de um inversor de bloqueio de fase, incluindo um filtro de baixa frequência 230, um oscilador de tensão controlada 232, um divisor 234 e um condensador 236. O oscilador de tensão controlada 232, funciona a $32f_H$ e em ligação a um ressonador de cerâmica, ou similar, 238. A saída do oscilador de tensão controlada é dividida por 32, de modo a proporcionar uma conveniente frequência, do segundo sinal de entrada, para o comparador de fase 228. A saída do divisor 234, é um sinal de sincronismo $1f_H$ REF. Os sinais de sincronismo $32f_H$ REF e $1f_H$ REF, são fornecidos a um contador 400, que divide por 16. Uma saída $2f_H$, é fornecida a um circuito de duração de impulso 402. Um divisor 400 pré-estabelecido pelo sinal $1f_H$ REF assegura que o divisor funcione sincronizadamente com o inversor de bloqueio de fase da secção de entrada dos sinais video. O circuito de duração de impulso 402, assegura que um sinal $2f_H$ REF, tem uma duração de impulso adequada, para assegurar um funcionamento conveniente do comparador de fase 404, por exemplo, um do tipo CA 1391, que é parte de um segundo inversor de bloqueio de fase, que inclui um filtro de baixa frequência 406 e um oscilador de tensão controlada $2f_H$ 408. O oscilador de tensão controlada 408, gera um sinal interno de sincronismo $2f_H$, que é usado para conduzir a exploração contínuo do visor. O outro sinal de entrada para o comparador de fase 404, são os impulsos de retorno $2f_H$, ou um sinal de sincronismo com ele relacionado. O uso do segundo inversor de bloqueio de fase, que inclui o comparador de fase 404, é útil, porque assegura que cada período de exploração $2f_H$, é simétrico com cada período $1f_H$ do sinal de entrada. De outro modo, o visor pode apresentar uma abertura no quadro, por exemplo, onde metade das linhas video estão deslocadas para a direita e metade para a esquerda.

O circuito de deflexão 50, é representado com mais detalhe na figura 10. Um circuito 500, é fornecido, para ajuste do comprimento vertical do quadro, de acordo com a quantidade desejada de sobreexploração vertical, necessária para a implementação de diferentes formatos de visionamento. Como representado no diagrama, uma fonte de corrente contínua 502 fornece uma quantidade constante de corrente I_{RAMP} , que carrega um condensador de rampa vertical 504. Um transistor 506, está ligado em paralelo com o condensador de rampa vertical, e descarrega periodicamente o condensador, que funciona em ligação com o sinal de reposição vertical. Na falta de ajustamento, a corrente I_{RAMP} , fornece o máximo comprimento vertical disponível, ao quadro. Isto, pode corresponder ao ponto de sobreexploração vertical necessário ao preenchimento do visor de écran largo, por uma fonte de sinal com relação expandida de formato de visionamento 4x3, como representado na figura 1(a). Até ao ponto em que menos comprimento vertical de quadro é requerido, uma fonte de corrente ajustável 580, diversifica uma quantidade variável de corrente I_{ADJ} de I_{RAMP} , de modo a que o condensador de rampa vertical 504, carregue mais devagar e para um menor valor de pico. A fonte de corrente variável 508, funciona em ligação com um sinal de afinação de comprimento vertical, por exemplo, em forma analógica, gerado pelo circuito de controlo do comprimento vertical 1030, mostrado na figura 12. O ajuste do comprimento vertical 500, é independente de um ajuste manual de comprimento vertical 510, que pode ser implementado por um potenciómetro ou por um botão de ajuste na parte traseira do quadro de instrumentos. Em qualquer dos casos, a(s) bobina(s) de deflexão vertical 512 recebe(m) corrente de excitação com a intensidade conveniente. A deflexão horizontal é fornecida pelo circuito de ajuste de fase 518, pelo circuito de correcção do eixo este-oeste 514, pelo inversor do bloqueio de fase $2f_H$ 520 e pelo circuito de saída horizontal 516.

O circuito interface RGB 60, é mostrado com mais detalhe na figura 11. O sinal que vai ser exibido em último lugar, vai ser seleccionado entre a saída do conversor $1f_H$ para $2f_H$ 40, e uma entrada RGB exterior. Para finalidade da televisão de écran



largo, aqui descrita, a entrada exterior RGB é suposta ter uma fonte de exploração contínuo, com relação larga de formato de visionamento. Os sinais RGB exteriores, e um sinal composto de bloqueio, provenientes da secção de entrada dos sinais video 20, dão entrada num conversor de RGB para YUV 610. O sinal exterior composto de sincronismo $2f_H$ para o sinal RGB exterior, é uma entrada para o separador de sinal exterior de sincronismo, 600. A selecção do sinal de sincronismo vertical é implementada pelo comutador 608. A selecção do sinal de sincronismo horizontal é implementada pelo comutador 604. A selecção do sinal video é implementada pelo comutador 606. Cada um dos comutadores 604, 606 e 608, age em resposta a um sinal de controlo interno/externo, gerado pelo WSP μP 340. A selecção de fontes de video internas ou externas, é uma selecção a fazer pelo utilizador. Porém, se um utilizador, inadvertidamente, selecciona uma fonte exterior RGB, quando tal fonte não está ligada ou activada, ou se a fonte exterior se desliga, o quadro vertical vai-se deformar e podem resultar sérios estragos no(s) tubo(s) de raios catódicos. Em conformidade, um detector de sincronismo exterior 602, verifica a presença de um sinal exterior de sincronismo. Na inexistência desse sinal, um sinal de controlo do comutador de cancelamento, é transmitido para cada um dos comutadores 604, 606 e 608, de modo a evitar a escolha duma fonte exterior RGB, se o sinal daí resultante não estiver presente. O conversor de RGB para YUV 610, também recebe sinais de controlo de cor e matiz do WSP μP 340.

A figura 4 é um diagrama de blocos, representando outros detalhes do processador de écran largo 30, mostrado na figura 3. Os sinais Y_A , U_A e V_A são entradas para o processador de imagem em imagem 320, que pode incluir um circuito de processamento de resolução 370. A televisão de écran largo, de acordo com características deste invento, pode expandir ou comprimir o video. Os efeitos especiais, incorporados pelos diversos formatos compostos de visionamento representados, em parte, na figura 1, são criados pelo processador imagem em imagem 320, que pode receber sinais de dados de resolução, processados, Y_{RP} , U_{RP} e V_{RP} do circuito de processamento de resolução 370. O processamento da resolução não necessita de ser sempre

utilizado, mas apenas durante os formatos de visionamento seleccionados. O processador imagem em imagem 320, é representado com mais detalhe na figura 5. Os componentes principais do processador imagem em imagem são, uma secção de conversão analógica digital 322, uma secção de entrada 324, um comutador rápido (FSW) e uma secção de bus 326, uma secção de controlo e sincronismo 328 e uma secção conversora digital analógica 330.

O processador imagem em imagem 320, pode ser concretizado como uma variação melhorada dum circuito integrado básico CPIP, criado pela Thompson Consumer Electronics, Inc. O circuito integrado básico CPIP é descrito com maior precisão numa publicação com o título The CTC 140 Picture in Picture (CPIP) Technical Training Manual, disponível através da Thomson Consumer Electronics, Inc., Indianapolis, Indiana. Um número de características especiais ou efeitos especiais são possíveis, sendo os próximos, representativos. O efeito especial básico é uma imagem grande, tendo uma imagem pequena sobrepondo uma porção dessa imagem grande, como representado na figura 1(c). As imagens grande e pequena podem resultar do mesmo sinal video, de sinais videos diferentes e podem ser trocadas ou mudadas de posição entre si. Falando de um modo geral, o sinal audio é comutado de modo a corresponder sempre à imagem grande. A imagem pequena pode ser movimentada para qualquer posição no écran, ou pode saltar por um número de posições predeterminadas. Uma característica da ampliação progressiva, é a de aumentar e diminuir o tamanho da imagem pequena, para, por exemplo, um qualquer número de tamanhos pré-fixados. Numa dada situação, como por exemplo, no formato de visionamento mostrado na figura 1(d), temos as imagens pequena e grande com o mesmo tamanho.

Num modo de imagem única, como por exemplo a mostrada nas figuras 1(b), 1(e) ou 1(f), um utilizador pode ampliar progressivamente, no conteúdo da imagem única, por exemplo, em saltos com uma relação de 1,0:1 para 5,0:1. Enquanto que no modo de ampliação progressiva, um utilizador pode procurar ou usar um efeito panorâmico através do conteúdo da imagem, permitindo que a imagem, no écran, se mova através de diferentes áreas da cena. Em

qualquer dos casos, tanto a imagem pequena, como a imagem grande, como a imagem ampliada, podem ser visionadas num quadro em estado estacionário (formato de imagem parada). Esta função permite um formato estroboscópico, onde os últimos nove quadros do video podem ser repetidos no écran. A velocidade de repetição do quadro, pode ser mudada de 30 quadros por segundo, para zero quadros por segundo.

O processador de imagem em imagem, usado na televisão de écran largo, de acordo com outra disposição do invento, difere da presente configuração do circuito integrado básico CPIP, descrito acima. Se o circuito integrado básico CPIP, fosse usado com uma televisão com écran 16x9, e sem um circuito de aceleração de video, as imagens inseridas exibiriam distorção do formato de imagem devido à efectiva expansão 4/3 vezes horizontal, resultante da exploração ao longo do écran mais largo 16x9. Os objectos na imagem, ficariam alongados horizontalmente. Se um circuito de aceleração exterior fosse utilizado, não haveria distorção do formato de imagem, mas a imagem não preencheria a totalidade do écran.

Os processadores imagem em imagem existentes, baseados no circuito integrado básico CPIP, que são usados em televisões convencionais, funcionam de uma maneira particular, tendo consequências indesejáveis. O sinal video recebido é amostrado por um relógio de $640f_H$, que é bloqueado por um sinal de sincronismo horizontal da fonte video principal. Noutras palavras, os dados armazenados na RAM video, associada com o circuito integrado CPIP, não são amostrados ortogonalmente, no que diz respeito à fonte auxiliar de video recebida. Isto é uma limitação fundamental no método de sincronismo de quadro do CPIP básico. A natureza não ortogonal da velocidade de amostragem da entrada, resulta em erros de desvio dos dados amostrados. A limitação resulta da utilização da RAM video com o circuito integrado CPIP, que deve usar o mesmo relógio para escrever e ler dados. Quando os dados da RAM video, tal como a RAM video 350, são exibidos, os erros de desvio são vistos como distorção aleatória da imagem, ao longo das margens verticais da imagem e

são, geralmente consideradas, muito prejudiciais.

O processador de imagem em imagem 320, de acordo com arranjos do invento e, ao contrário do circuito integrado básico CPIP, está adaptado para compressão assimétrica dos dados video, numa pluralidade de modos de visionamento seleccionáveis. Neste modo de funcionamento, as imagens são comprimidas 4:1 na direcção horizontal e 3:1 na direcção vertical. Este modo assimétrico de compressão produz formatos de imagem distorcidos para armazenamento na RAM video. Os objectos, nas imagens, são apertados horizontalmente. Porém, se estas imagens forem lidas normalmente, como por exemplo no modo de exploração de canal para exibição num écran com relação de formato de visionamento de 16x9, a imagem aparece correctamente. A imagem preenche o écran e não há distorção do formato de imagem. O modo de compressão assimétrica, de acordo com características deste invento, torna possível a criação de formatos especiais de visionamento, num écran 16x9, sem circuitos de aceleração exteriores.

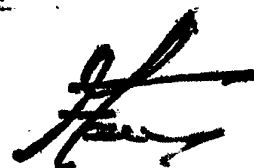
Em modos PIP de écran cheio, o processador imagem em imagem, em conjunto com um oscilador de livre funcionamento 348, vai buscar a entrada Y/C de um descodificador, por exemplo, um filtro de pente de linha adaptável, descodifica o sinal em componentes de cor, Y, U e V, e gera impulsos de sincronismo horizontal e vertical. Estes sinais são processados no processador imagem em imagem para os diversos modos de écran cheio, tais como, modo de ampliação progressiva, modo estacionário e modo de exploração de canal. Durante o modo de exploração de canal, por exemplo, o sincronismo horizontal e vertical, presentes pela secção de entrada dos sinais video, terão muitas descontinuidades, porque os sinais amostrados (canais diferentes) terão impulsos de sincronismo não relacionados e serão comutados em momentos semelhantemente aleatórios no tempo. Portanto, o relógio de amostragem (e o relógio de leitura/escrita da RAM video) é determinado pelo oscilador de livre funcionamento. Para os modos estacionário e de ampliação progressiva, o relógio de amostragem será bloqueado através do sincronismo horizontal video recebido, o qual, nestes casos especiais, é o mesmo que para a frequência



do relógio de visionamento.

Referindo novamente a figura 4, as saídas Y, U e V, e C_SYNC, (sincronismo composto), do processador imagem em imagem, em forma analógica, podem ser recodificados em componentes Y/C, pelo circuito codificador 366, que funciona em conjugação com um oscilador 380, de 3,58 MHz. Este sinal Y/C_PIP_ENC pode ser ligado a um comutador Y/C, que não é mostrado na figura, o que permite aos componentes recodificados Y/C, serem substituídos por componentes Y/C do sinal principal. Daqui para a frente, os sinais Y,U,V PIP, codificados e os sinais de sincronismo, seriam a base para sincronização horizontal e vertical no resto do chassis. Este modo de funcionamento é apropriado para a implementação de um modo de ampliação progressiva para o PIP, baseado no funcionamento do interpolador e da FIFO, no trajecto do sinal principal.

Com referência adicional à figura 5, o processador imagem em imagem 320, compreende uma secção de conversão analógica digital 322, uma secção de entrada 324, um comutador rápido FSW e uma secção de controlo de bus 326, uma secção de controlo e sincronismo 328 e uma secção de conversão digital analógica 330. De modo geral, o processador imagem em imagem 320, digitaliza o sinal de video em luminância (Y) e em diferentes sinais de cor (U,V), subamostrando e armazenando os resultados numa RAM video 350, de 1 megabit, como acima descrito. A RAM video 350, associada com o processador imagem em imagem 320, tem uma capacidade de memória de 1 megabit, que não é suficientemente espaçosa para armazenar um campo completo de dados video, com amostras de 8 bits. Capacidade de memória aumentada tende a ser cara e pode necessitar de circuitos de controlo mais complexos. O menor número de bits por amostra, no canal auxiliar, representa uma redução na resolução de quantificação, ou na largura de banda, no que diz respeito ao sinal principal, que é inteiramente processado com amostras de 8 bits. Esta redução efectiva da largura de banda, não é, normalmente, um problema quando a imagem auxiliar visionada é relativamente pequena, mas pode causar problemas se a imagem auxiliar visionada for maior, se por



exemplo, tiver o mesmo tamanho da imagem principal visionada. O circuito de processamento de resolução 370, pode implementar selectivamente, um ou mais esquemas para realçar a resolução de quantificação ou a largura de banda efectiva, ou os dados auxiliares de video. Um determinado número de esquemas de redução e recuperação de dados foram criados, incluindo, por exemplo, compressão de pontos de imagem emparelhados, oscilação e não oscilação. Um circuito de não oscilação seria disponível a jusante da RAM video 350, por exemplo, no trajecto do sinal auxiliar da disposição de portas, como abaixo explicado com mais detalhe. Além disso, são contempladas diferentes sequências de oscilação e não oscilação, envolvendo diferentes números de bits e diferentes compressões de pontos de imagem emparelhados envolvendo um diferente número de bits. Um número particular de esquemas de redução e recuperação de dados, pode ser seleccionado pelo WSP μP , de modo a maximizar a resolução do visionamento video para cada espécie particular de formato de visionamento da imagem.

Os sinais de luminância e diferença de cor, do sinal auxiliar, são armazenados, com o modelo 8:1:1, Y,U,V de seis bits, numa RAM video 350, que é parte de um processador de imagem em imagem. Noutras palavras, cada componente é quantificado em amostras de seis bits. Existem oito amostras de luminância para cada par de diferentes amostras de cor. Em resumo, o processador imagem em imagem 320, é operado num modo onde os dados video recebidos são amostrados com uma velocidade de relógio de $640f_H$, bloqueado pelo sinal de sincronismo video auxiliar. Neste modo, os dados armazenados na RAM video 350, são amostrados ortogonalmente. Quando os dados são lidos à saída da RAM video 350 do processador imagem em imagem, são lidos usando o mesmo relógio de $640f_H$ bloqueado pelo sinal auxiliar de video recebido. Porém, embora estes dados sejam amostrados e armazenados ortogonalmente, e possam ser lidos à saída ortogonalmente, não podem ser enviados directamente da RAM video 350, para visionamento ortogonal, visto que as fontes de video auxiliares e principais são de natureza assíncrona. As fontes de video auxiliares e principais só podem ser síncronas no caso de serem



sinais de visionamento resultantes da mesma fonte video.

Os trajectos do sinal principal 304, do sinal auxiliar 306 e do sinal de saída 312, da disposição de portas 300, são mostrados no diagrama de blocos da figura 6. A disposição de portas, também inclui um circuito de relógio/sincronismo 320, e um decodificador do WSP μ P 310. As linhas de saída de dados e de endereços do decodificador WSP μ P 310, identificadas como WSP DATA, são fornecidas para cada um dos circuitos e trajectos principais acima identificados, assim como, para o processador imagem em imagem 320, e para o circuito de processamento de resolução 370. Será bom, que se alguns circuitos fizerem, ou não, parte da disposição de portas, tal se deva, na maior parte dos casos, a razões de conveniência, para que seja mais fácil explicar os arranjos do invento.

A disposição de portas é responsável pelo aumento, compressão e corte dos dados video do canal video principal, quando e se necessário, para implementar diferentes formatos de visionamento de imagem. O componente de luminância Y_MN é armazenado numa memória de linha "primeiro a entrar, primeiro a sair" (FIFO) 356, durante um período de tempo que depende da natureza da interpolação do componente de luminância. Os componentes combinados de crominância U/V_MN são armazenados na FIFO 358. Os componentes de luminância e crominância do sinal auxiliar Y_PIP U_PIP e V_PIP, são criados pelo desmultiplexador 355. O componente de luminância sofre um processamento de resolução, como desejado, no circuito 357 e é aumentado tanto quanto o necessário pelo interpolador 359 criando um sinal de saída Y_AUX.

Nalguns casos, o sinal auxiliar do visionamento será tão grande quanto o sinal principal do visionamento, como representado na figura 1(d). As limitações de memória associadas com o processador imagem em imagem e com a RAM video 350, não conseguem arranjar um número suficiente de pontos de dados, ou pontos de imagem, de modo a preencher uma tão grande área de visionamento. Nestas circunstâncias, o circuito de processamento



de resolução 357, pode ser usado para recuperar pontos de imagem para o sinal video auxiliar, para substituir os que foram perdidos durante a compressão ou redução de dados. O processamento de resolução pode corresponder ao processamento de resolução levado a cabo pelo circuito 370 representado na figura 4. Como exemplo, o circuito 370, pode ser um circuito de oscilação e o circuito 357 um circuito sem oscilação.

Com referência adicional à figura 12, os dados de entrada video auxiliares são amostrados a uma frequência de $240f_H$ e armazenados na RAM video 350. Os dados auxiliares são lidos na RAM video 350 são designados por VRAM_OUT. O circuito PIP 301 tem também a capacidade de reduzir a imagem auxiliar por factores interior iguais horizontal e verticalmente, bem como assimetricamente. Os dados de canal auxiliar são separados e sincronizados para o video digital de canal principal por trincos de 4 bits 352A e 352B, pela FIFO auxiliar 354, pelo circuito de temporização 369 e pelo circuito de sincronização 368. Os dados VRAM_OUT são dispostos em Y(luminância) U, V, (componentes de cor), e FSW_DAT (dados de comutação rápida pelo desmultiplexador 355. O FXW_DAT indica que o tipo de campo foi escrito na RAM video. O sinal PIP_FSW é recebido directamente do circuito PIP e aplicado ao circuito de controlo de saída 321 para determinar qual o campo lido da RAM video que é para ser visionado durante os modos de imagem pequena.

O canal auxiliar é amostrado à velocidade de $640f_H$, enquanto que o canal principal é amostrado à velocidade de $1024f_H$. O canal auxiliar FIFO 354, converte os dados recebidos à velocidade de amostragem do canal auxiliar, para a velocidade de relógio do canal principal. Neste processo, o sinal video sofre uma compressão de $8/5$ ($1024/640$). Isto é mais que a compressão de $4/3$ necessária para a exibição correcta do sinal do canal auxiliar. Portanto, o canal auxiliar deve ser aumentado pelo interpolador 359, para que a exibição duma imagem pequena em 4×3 seja correcto. O interpolador 359 é controlado pelo circuito de controlo do interpolador 371, o qual, por sua vez, funciona em ligação com o WSP μP 340. A quantidade de expansão do

interpolador, requerida, é de 5/6. O factor de expansão X é determinado da seguinte maneira:

$$X = (640/1024) * (4/3) = 5/6$$


Os componentes de crominância U_PIP e V_PIP, são atrasados pelo circuito 367, por um período de tempo dependente da natureza da interpolação do componente de luminância, gerando sinais de saída U_AUX e V_AUX. Os respectivos componentes Y, U e V dos sinais principal e auxiliar são combinados nos respectivos multiplexadores 315, 317 e 319 no trajecto do sinal de saída 312, através do controlo dos sinais de permissão de leitura provenientes das FIFO 354, 356 e 358. Os multiplexadores 315, 317 e 319 funcionam em ligação com o circuito de controlo de saída dos multiplexadores 321. O circuito de controlo de saída dos multiplexadores 321, funciona em ligação com um sinal de relógio, um sinal de início de linha, um sinal de contador de linha horizontal, o sinal de reposição do bloqueio vertical e com a saída do comutador rápido do processador imagem em imagem e do WSP μ P 340. Os componentes de luminância e de crominância, multiplexados, Y_MX, U_MX e V_MX, são fornecidos aos respectivos conversores digitais analógicos 360, 362 e 364, respectivamente. Os conversores analógicos digitais são seguidos por filtros de baixa frequência 341, 343 e 345 respectivamente, representados na figura 4. As diversas funções do processador imagem em imagem, da disposição de portas e do circuito de redução de dados, são controlados pelo WSP μ P 340. O WSP μ P 340, funciona em ligação com o TV μ P 216, sendo ligado através de um bus em série. O bus em série pode ser um bus de quatro fios, como mostrado, tendo linhas para dados, sinais de relógio, sinais de permissão e sinais de reposição. O WSP μ P 340, comunica com os diferentes circuitos da disposição de portas através do descodificador WSP μ P 310.

Num caso, é necessário comprimir o video 4x3 NTSC com um factor de 4/3, para evitar distorção do formato de imagem da imagem exibida. Noutro caso, o video pode ser expandido de modo a realizar operações de ampliação horizontal, normalmente

acompanhados por ampliação vertical. Operações de ampliação horizontal até 33%, podem ser conseguidas reduzindo as compressões para menos de 4/3. Um interpolador de amostragem é utilizado para recalcular o video recebido, para novas posições dos pontos de imagem, porque a largura de banda da luminância video, até 5.5 MHz para o formato S-VHS, ocupa uma grande percentagem da frequência de distorção de imagem de Nyquist, que é de 8 MHz para um relógio de 1024 f_H .

Como representado na figura 6, os dados de luminância Y_{MN} são dirigidos através de um interpolador 337, no trajecto do sinal principal 304, que recalcula valores de amostragem baseado na compressão ou expansão do video. A função dos comutadores ou selectores de trajecto, 323 e 331, é de inverter a topologia do trajecto do sinal principal 304 no que diz respeito às posições relativas da FIFO 356, e do interpolador 337. Em particular, estes comutadores seleccionam se o interpolador 337 precede a FIFO 356, como requerido para compressão da imagem, ou se a FIFO 356 precede o interpolador 337, como requerido para expansão da imagem. Os comutadores 323 e 331, funcionam em ligação com um circuito de controlo de trajecto 335, que por sua vez funciona em ligação com o WSP μP 340. Será lembrado que o sinal auxiliar de video é comprimido para armazenamento na RAM video 350, e só a expansão é necessária para fins práticos. Em conformidade, não são requeridos comutadores com funções semelhantes no trajecto do sinal auxiliar.

De maneira a implementar compressões video, através da utilização de uma FIFO, por exemplo, cada quarta amostra pode ser inibida de ser escrita na FIFO 356. Isto constitui uma compressão 4/3. É função do interpolador 337, o recálculo das amostras de luminância a serem escritas na FIFO, de modo a que a leitura de dados à saída da FIFO seja uniforme em vez de irregular. As expansões podem ser realizadas, exactamente da maneira oposta das compressões. No caso das compressões, o sinal de permissão de escrita, tem informação para o relógio de selecção de sinais a ele ligado, em forma de impulsos de inibição. Para expansão de dados, a informação para o relógio de selecção de sinais é




aplicada ao sinal de permissão de leitura. Isto vai suspender os dados enquanto estiverem a ser lidos da FIFO 356. Neste caso, a função do interpolador 337, que vem a seguir à FIFO 356, durante este processo, é de recalcular os dados amostrados, de irregulares para uniformes. No caso da expansão, os dados devem ser suspensos, enquanto forem lidos da FIFO 356, e enquanto forem cronometrados para o interpolador 337. Isto é diferente do caso em que há compressão, onde os dados são continuamente cronometrados através do interpolador 337. Para ambos os casos, compressão e expansão, as operações da selecção de sinais pelo relógio, podem ser executadas facilmente dum modo síncrono, isto é, os acontecimentos podem ocorrer baseados nas margens ascendentes do relógio do dispositivo $1024 f_H$.

A interpolação do sinal auxiliar acontece no trajecto do sinal auxiliar 306. O circuito PIP 301, manipula uma memória de quadro Y,U,V, 8:1:1, com 6 bits, RAM video 350, para armazenar dados video recebidos. A RAM video 350, guarda dois quadros de dados video numa diversidade de posições de memória. Cada posição de memória guarda oito bits de dados. Em cada posição de 8 bits, há uma amostra de Y (luminância) com 6 bits (amostrada a $640f_H$) e 2 outros bits. Estes dois outros bits, guardam os dados do comutador rápido, ou uma parte da amostra U ou V (amostrada a $80f_H$). Os valores de dados do comutador rápido indicam que tipo de quadro foi introduzido na RAM video. Uma vez que há dois quadros com dados armazenados na RAM video 350, e toda a RAM video 350 é lida durante o período de visionamento, ambos os quadros são lidos durante a exploração do visor. O circuito PIP 301, vai determinar qual o quadro que vai ser lido da memória, para ser visionado, através da utilização dos dados do comutador rápido. O circuito PIP, lê sempre o tipo de quadro oposto ao que está a ser escrito, para ultrapassar um problema de interrupção de movimento. Se o tipo de quadro que está a ser lido é o tipo oposto do quadro que está a ser exibido, então o quadro par, armazenado na RAM video 350, é invertido, apagando a linha de cima do quadro, quando o quadro estiver a ser lido da memória. O resultado é que a imagem pequena mantém um entrelaçamento correcto sem interrupção de movimento.



O circuito de relógio/sincronismo 320, gera sinais de leitura, de escrita e de permissão, necessários para operar as FIFO 354, 356 e 358. As FIFO para os canais principal e auxiliar têm permissão para escrever dados para armazenamento, para aquelas porções de cada linha video, que é requerida para subsequente visionamento. Os dados são escritos ou do canal principal ou do auxiliar, mas não de ambos, como seja necessário, de modo a combinar os dados de cada fonte na mesma linha ou linhas video do visor. A FIFO 354, do canal auxiliar é escrita sincronizadamente com o sinal auxiliar de video, mas é lido à saída da memória, sincronizadamente com o sinal principal de video. Os componentes do sinal principal de video são lidos para a FIFO 356 e 358, sincronizadamente com o sinal principal de video e são lidos à saída da memória, sincronizadamente com o video principal. Quantas vezes a função de leitura é ligada para trás e para a frente entre os canais principal e auxiliar é uma função do efeito especial particular que for escolhido.

A geração de diferentes efeitos especiais tais como imagens cortadas de lado a lado, é conseguida através da manipulação dos sinais de controlo de permissão de leitura e escrita para a memória de linha FIFO. O processo para este formato de visionamento está representado nas figuras 7 e 8. No caso da exibição de imagens cortadas lado a lado, o sinal de controlo de permissão de escrita (WR_EN_AX) para a FIFO 354, 2048x8, do canal auxiliar está activo para $(1/2) \times (5/12) = 5/12$ ou, aproximadamente 41% do período de visionamento da linha útil (pós-aceleração), ou 67% do período de linha útil do canal auxiliar (pré-aceleração), como representado na figura 7. Isto corresponde a, aproximadamente, 33% de corte (aproximadamente 67% de imagem útil) e a uma expansão de sinal do interpolador de 5/6. No canal video principal, representado na parte superior da figura 8, o sinal de controlo de permissão de escrita (WR_EN_MN_Y), para a FIFO 356 e 358 910x8, está activo para $(1/2) \times (4/3) = 0,67$ ou 67% do período de visionamento da linha útil. Isto corresponde a, aproximadamente, 33% de corte e uma relação de compressão de 4/3 a ser executada no canal video principal pelas FIFO 910x8.



Em cada uma das FIFO, os dados video são armazenados temporariamente de modo a serem lidos num determinado ponto, particular, no tempo. A região activa do tempo, onde os dados podem ser lidos à saída de cada FIFO, é determinada pelo formato de visionamento escolhido. No exemplo representado, do modo cortado lado a lado, o canal principal de video é exibido na metade esquerda do visor, e o canal auxiliar de video é exibido na metade direita do visor. As porções arbitrárias das formas de onda do video são diferentes, como representado, para os canais principal e auxiliar. O sinal de controlo de permissão de leitura (RD_EN_MN) das FIFO 910x8 do canal principal está activo para 50% do período de visionamento da linha útil, do visor, começando com o início do video activo seguindo imediatamente a entrada posterior de video. O sinal de controlo de permissão de leitura, do canal auxiliar (RD_EN_AX), está activo para os outros 50% do período de visionamento da linha útil, começando com a margem descendente do sinal RD_EN_MN e acabando com o início da entrada dianteira do canal principal de video. Pode ser constatado que os sinais de controlo de permissão de escrita, estão sincronizados com os seus respectivos dados de entrada FIFO (principal ou auxiliar), enquanto que os sinais de controlo de permissão de leitura estão sincronizados com o canal principal de video.

O formato de visionamento representado na figura 1(d) é particularmente desejado, uma vez que permite às duas imagens que preenchem quase completamente o visor, a exibição num formato lado a lado. O visionamento é particularmente eficaz e apropriado para um visor com relação larga de formato de visionamento, por exemplo em 16x9. A maioria dos sinais NTSC, são representados com um formato 4x3, o que, claro, corresponde a 12x9. Duas imagens NTSC com relação de formato de visionamento de 4x3, podem ser apresentadas no mesmo visor com relação de formato de visionamento de 16x9, ou cortando as imagens em 33% ou comprimindo as imagens em 33% e introduzindo distorção do formato de imagem. Dependendo da preferência do utilizador, a relação corte de imagem distorção do formato de imagem, pode ser ajustada algures entre os limites de 0% e de 33%. Como exemplo, duas imagens lado a lado podem ser apresentadas com 16,7% de



compressão e 16,7% de corte.


O tempo de visionamento horizontal para um visor com relação de formato de visionamento de 16x9 é o mesmo que para um visor com relação de formato de visionamento de 4x3, porque ambos têm uma duração nominal de linha de 62,5 microssegundo. Em conformidade, um sinal de video NTSC deve ser acelerado com um factor de 4/3, de modo a preservar um formato de imagem correcto, sem distorção. O factor 4/3 é calculado como uma divisão de dois formatos de visionamento:

$$4/3 = (16/9)/(4/3)$$

Interpoladores variáveis são utilizados, de acordo com as características deste invento, para acelerar os sinais video. No passado, as FIFO com diferentes velocidades de relógio nas entradas e saídas, foram usadas para executar funções semelhantes. Usando termos de comparação, se dois sinais NTSC com relação de formato de visionamento 4x3, forem exibidos num único visor com relação de formato de visionamento 4x3, cada imagem deve ser distorcida ou cortada, ou alguma combinação entre estas, em 50%. Uma aceleração comparável a essa, necessária para uma aplicação em écran largo, é desnecessária.

Geralmente, o sistema de visionamento e deflexão de video está sincronizado com o sinal principal de video. O sinal principal de video deve ser acelerado, como explicado acima, para encher o visor de écran largo. O sinal auxiliar de video deve ser sincronizado verticalmente com o primeiro sinal video e com o visor video. O sinal auxiliar de video pode ser atrasado numa fracção de um período do quadro numa memória de quadro, e depois expandido numa memória de linha. O sincronismo dos dados auxiliares de video com os dados principais do video é conseguida, utilizando a RAM video 350 como memória de quadro e um aparelho, primeiro a entrar primeiro a sair (FIFO), de memória de linha 354, para expandir o sinal.

A natureza assíncrona dos relógios de leitura e escrita,



porém, requer que certos passos sejam dados para evitar colisões dos ponteiros de leitura/escrita. Colisões de ponteiros de leitura/escrita ocorrem quando os dados velhos são lidos à saída da FIFO antes dos dados novos terem uma oportunidade de serem escritos na FIFO. A dimensão do FIFO está relacionada com a mínima capacidade de armazenamento da linha que se julga razoavelmente necessária para evitar colisões dos ponteiros de leitura/escrita. Um dispositivo de sincronização de campo, para evitar as colisões de ponteiro de leitura/escrita e manter a integridade de entrelaçamento, é explicado mais completamente em ligação com as figuras 12-20.

O processador imagem em imagem funciona de maneira que os dados auxiliares do video são amostrados com um relógio $640f_H$ bloqueado pelo componente de sincronismo horizontal do sinal auxiliar de video recebido. Esta operação permite aos dados ortogonalmente amostrados, o armazenamento na RAM video 350. Os dados devem ser lidos à saída da RAM video 350, à mesma velocidade de $640f_H$. Os dados não podem ser exibidos ortogonalmente da RAM video, sem a modificação devida à natureza geralmente assíncrona das fontes video principal e auxiliar. De modo a facilitar o sincronismo entre o sinal auxiliar e o sinal principal, uma memória de linha, com relógios de acesso de leitura e escrita, independentes, é disposta no trajecto do sinal auxiliar, depois da saída da RAM video 350.

Mais em particular, como representado na figura 4, a saída da RAM video 350, é uma entrada para o primeiro de dois trincos de 4 bits, 352A e 352B. A saída VRAM_OUT é em blocos de dados de 4 bits. Os trincos de 4 bits são utilizados para recombinar o sinal auxiliar de volta aos blocos de dados de 8 bits. Os trincos também reduzem a velocidade do relógio de dados de $1280f_H$ para $640f_H$. Os blocos de dados de 8 bits são escritos para a FIFO 354, pelo mesmo relógio $640f_H$, usado para amostrar os dados auxiliares de video, para armazenamento na RAM video 350. A dimensão da FIFO 354 é 2048×8 . Os blocos de dados de 8 bits são lidos à saída da FIFO 354, pelo relógio de visionamento $1024f_H$, que é bloqueado pelo componente de sincronismo horizontal do sinal video



principal. Esta configuração básica, que usa uma memória múltipla de linha com relógios de acesso de leitura e escrita independentes, permite que os dados que foram amostrados ortogonalmente, sejam exibidos ortogonalmente. Os blocos de dados de 8 bits são divididos em diferentes amostras de 6 bits de luminância e de cor, pelo desmultiplexador 355. As amostras de dados, podem então ser interpoladas quantas vezes for necessário para obter a desejada relação de formato de visionamento e para serem escritas como dados de saída do video.

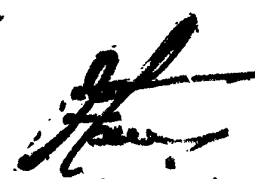
Uma memória suficientemente grande deve ser escolhida no primeiro caso para evitar colisão de ponteiro de leitura/escrita na FIFO de canal auxiliar. Para visionamento video de relação de visionamento de formato normal cortado por 33%, a FIFO auxiliar, que tem a dimensão 2048x8, é capaz de armazenar 5,9 linhas de dados video calculado como se segue, onde N é o número de vezes e L é o comprimento de cada linha:

$$N = (2/3) * (0,82) * (640) = 350 \quad \text{com base no período de linha activo de 82\%}$$

$$L = 2048/350 = 5,9$$

Um aspecto do invento reconhece que velocidades de precessão maiores do que duas linhas/campo não são provavelmente encontradas. Consequentemente, um critério de projecto de uma FIFO de cinco linhas para o canal auxiliar pode ser suficiente para evitar colisões de ponteiro de leitura/escrita.

A utilização de memória da FIFO de canal auxiliar pode ser mapeada como mostrado na figura 13. Um diagrama de blocos para um circuito simplificado formado por biestáveis tipo D para gerarem atrasos de linha (Z₁) e impulsos de reposição para controlo da escrita e da leitura na FIFO 354 no trajecto de sinal auxiliar, está mostrado na figura 14. No início de um campo de sinal principal novo, o ponteiro de escrita é repostado para o início da FIFO. Este impulso de reposição indicado por WR_RST_AX_ é a combinação do V_SYNC_MN amostrado por H_SYNC_AX. Por outras



palavras, WR_RST_AX ocorre no primeiro impulso de sincronização horizontal do sinal video auxiliar que ocorre após um impulso de sincronização vertical do sinal principal. Duas linhas horizontais de sinal principal mais tarde, o ponteiro de leitura é repostado no início da FIFO 354. Este impulso de reposição está indicado por RD_RST_AX. Por outras palavras, o RD_RST_AX ocorre no terceiro impulso de sincronização horizontal do sinal video principal que ocorre após o impulso de sincronização vertical do sinal principal ou iniciado ainda de outro modo, no segundo impulso de sincronização horizontal do sinal principal que ocorre após o impulso de WR_RST_AX.

Uma vez que os sinais principal e auxiliar são assíncronos existe alguma ambiguidade acerca da exactidão onde o ponteiro de escrita está quando o ponteiro de leitura é repostado. é conhecido que o ponteiro de escrita conduz o ponteiro de leitura por, pelo menos duas linhas. No entanto, se a frequência do sincronismo horizontal de canal auxiliar é mais alta do que a frequência do sincronismo horizontal de canal principal, então o ponteiro de escrita terá avançado para além da marcador de duas linhas mostrado. é desta maneira que uma colisão de ponteiro é evitada para dois sinais com menos do que a frequência de precessão de duas linhas/campo. A FIFO de canal auxiliar 354 é dividida em cinco peças de linha através de sinais de reposição de leitura e escrita apropriadamente temporizados. Neste esquema, os ponteiros de leitura e escrita são iniciados no começo de cada campo de visionamento, pelo menos, duas linhas afastados entre si.

Se a FIFO não tivesse um comprimento de cinco linhas completas, o dispositivo sacrificaria a distância de memória desde o ponteiro de escrita até ao ponteiro de leitura. Isto é o caso dos diferentes modos de compressão, por exemplo um compressão de 16%:

$$16\% \text{ de compressão} \quad N = (5/6) * (0,82) * 640 = 437$$

$$L = 2048(5 * 437) = 4,7$$

Nestes casos, a FIFO prova ter menos do que cinco linhas de comprimento. O factor (0,8) na equação de N da compressão de 335 reflecte uma limitação operacional da pastilha CPIP.

Uma vez que as reposições de leitura e escrita da FIFO estão espaçadas por um mínimo de duas linhas de video activo, o sacrifício vem sempre á custa de permitir o ponteiro de leitura alcançar o ponteiro de escrita. Além disso apenas 805 da linha video é considerada activa porque o processador de imagem em imagem não é capaz de armazenar mais do que 512 amostras video na RAM video 350. Na prática isto proporciona ainda uma linha video activa boa. Nestas casos, a frequência de precessão vai ser sacrificada para o conteúdo de imagem mais visível. Adicionalmente, existe mais distorção no video auxiliar. No pior dos casos, até uma linha por campo de precessão pode ser tolerada entre as fontes principal e auxiliar. Isto é ainda mais do que é necessário para a maioria das fontes video, e a tolerância de frequência de precessão é sacrificada para os modos característicos que podem ser esperados serem utilizados por último.

Um outro problema que se destaca da leitura e escrita assíncrona da FIFO é manutenção da integridade de entrelaçamento do video de canal auxiliar. Uma vez que o visor é bloqueado para o video de canal principal, o tipo de campo corrente a ser visionado, que é o campo superior ou inferior será determinado pelo sinal principal. O tipo de campo que é armazenado na RAM video 350 e pronto para ser lido no inicio do campo de canal principal pode ou não ser o mesmo que o tipo de campo visionado. Pode ser necessário mudar o tipo de campo auxiliar armazenado na RAM video 350 para alinhar com o do visor de canal principal.

O processador de imagem em imagem, 320 e a disposição de portas 300 quantificam 262,5 campos de linha do sinal NTSC em 263 campos de linha superiores (algumas vezes referidos como campos ímpares) e 262 campos de linha inferiores (algumas vezes chamados campos pares). Isto é devido ao facto que o sincronismo vertical é amostrado com impulsos representando o sincronismo vertical.

Isto está representado pelo diagrama da figura 15. O indicador de tipo de campo superior/inferior tem um valor 1 para campos superiores e um valor 0 para campos inferiores. Os campos superiores incluem linhas ímpares de 1 a 263. Os campos inferiores incluem linhas pares de 2 a 262. Na figura 16, o indicador de tipo de campo U/L MAIN SIGNAL representa o tipo de campo do canal video principal O sinal HSYNC_AX representa os sinais de sincronismo horizontais para cada linha do canal auxiliar.

O indicador de tipo de campo U/L(A) representa o tipo de campo armazenado na RAM video 350 se cada linha de canal auxiliar fosse escrita em "normalmente". O termo normal é utilizado aqui para indicar que as linhas ímpares 1_263 são escritas na RAM video 350 quando o campo superior está ser recebido e decodificado. O indicador de tipo de campo U/L(B) representa o tipo de campo armazenado na RAM video 350, se a primeira linha do campo superior não fosse escrita na RAM video 350 durante a recepção de um campo superior. Em vez disso a primeira linha é efectivamente tomada á última linha (número 262) do campo inferior. Isto inverte efectivamente o tipo de campo uma vez que a linha 2 será a primeira linha visionada e a linha 3 será a segunda linha visionada no quadro. O campo superior recebido torna-se agora o campo inferior e vice-versa. O indicador de tipo de campo U/L (C) representa o tipo de campo armazenado na RAM video 350 se a última linha do campo superior é adicionada à RAM video 350 durante a recepção do campo inferior. Isto inverte efectivamente o tipo de campo uma vez que a linha 263 será a primeira linha visionada e a linha 1 será a segunda linha visionada.

A adição e subtracção de linhas nos modos B e C não degrada a imagem de canal auxiliar, porque estas linhas ocorrem durante o retorno vertical ou sobreexploração. A ordem das linhas visionadas está mostrada na figura 18, onde as linhas a cheio representam linhas de campo superior e as linhas a ponteados representam as linhas de campo inferior.

À medida que sinais de canal principal e auxiliar precessam, o U/LMAIN SIGNAL deslocar-se-á para a esquerda ou para a direita em relação aos indicadores de tipo de campo U/L (A, B, C) de canal auxiliar. Na posição mostrada no diagrama, devem ser escritos dados na RAM video 350 utilizando o modo A, porque o bordo de decisão está na zona A. O modo a é apropriado porque quando o processador de imagem em imagem recebe sincronismo vertical, o mesmo escreverá o mesmo tipo de campo na RAM video 350 como será requerido pelo visor para ler desde a RAM video 350 começando com o V_SYNC_MN (sincronismo vertical de canal principal). Como os sinais precessão o modo mudará de acordo com as suas posições relativas. Os modos válidos estão mostrados graficamente no topo da figura 16 e na tabela da figura 17. Existe uma sobreposição entre os modos B e C, uma vez que a maioria do tempo que o modo B é válido, o modo C é também válido e vice-versa. Isto é verdadeiro para todas excepto duas linhas fora das 262 linhas. Pode ser utilizado qualquer dos modos B ou C quando ambos são válidos.

Está mostrado na figura 20 um diagrama de blocos de um circuito 700 para manter a integridade de entrelaçamento de acordo com o arranjo do invento. Os sinais de saída do circuito 700 são sinais de controlo de reposição de escrita e leitura para a RAM video 350, para a FIFO 354 no trajecto de sinal auxiliar e para a FIFO 356 no trajecto de sinal principal como mostrado na figura 12. O tipo de campo do sinal video principal é determinado a partir de um par de sinais, VSYNC_MN e HSYNC_MN. O tipo de campo do sinal video auxiliar é determinado a partir de um par correspondente de sinais, VSYNC_AX_HS e NC_AX. Cada par de sinais tem uma relação de fase predeterminada, que é posta na disposição de portas. Esta relação está mostrada nas figuras 19(a) - 19(c), que se aplicam a ambos os pares de sinais. Em cada caso, HSYNC é uma onda quadrada, cujo bordo elevado corresponde ao início da linha horizontal do respectivo sinal. Em cada caso, VSYNC tem apenas um bordo elevado por campo que corresponde ao início de um campo vertical do respectivo sinal. A relação entre os bordos elevados dos respectivos pares de sinais é testado pelo circuito 700 para determinar quais os passos, se existirem que são

necessários para alinharem o tipo de campo do sinal auxiliar com o tipo de campo do sinal principal. Para evitar ambiguidade, os bordos dianteiros do par principal de sinais nunca estão mais próximos de que $1/8$ de um período de linha horizontal. Os bordos dianteiros do par de sinais auxiliares nunca estão mais próximos do que $1/10$ de um período de linha horizontal. Isto evita a instabilidade dos bordos dianteiros em relação um ao outro. Esta relação é assegurada pelos circuitos de temporização da disposição de portas.

O par dos sinais principais VSYNC_MN e HSYNC_MN são entradas para um primeiro circuito de tipo de campo 702, que compreende dois biestáveis tipo T. Num caso, HSYNC_MN é amostrado por VSYNC_MN, isto é, VSYNC_MN é a entrada de relógio. A saída deste biestável é um indicador de campo superior/inferior UL_MN para o sinal principal que pode ser um lógico HI para um tipo de campo superior e um lógico LO para um tipo de campo inferior apesar de isto ser arbitrário. No outro caso VSYNC_MN é amostrado por HSYNC_MN precisamente como no biestável 252 explicado em ligação com a figura 14. Isto proporciona uma saída VH, que é sincronizada verticalmente com a horizontal.

O par dos sinais auxiliar SYNC_AX e HSYNC_AX são entradas para um primeiro circuito de tipo de campo 710 que compreende também dois biestáveis tipo D. Num caso HSYNC_AX é amostrado por VSYNC_AX isto é VSYNC_AX é a entrada de relógio. A saída deste biestável é o indicador de campo superior/inferior UL_AX para o sinal auxiliar, que pode ser um lógico HI para um tipo de campo superior e um lógico LO para um tipo de campo inferior, apesar disto ser arbitrário. No outro caso, VSYNC_AX é amostrado por HSYNC_AX precisamente como no biestável 852 explicado em ligação com a figura 14. Isto proporciona uma saída VH que é sincronizada verticalmente com a horizontal.

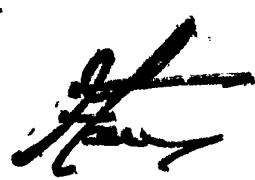
A determinação de tipo de campo para ambos os sinais está mostrada na figura 19 (a) -19(c). Se o início elevado do bordo de campo ocorre na primeira metade de período de linha horizontal, como na figura 19(b), o campo é um tipo de campo inferior. Se o

início elevado do bordo de campo ocorre na segunda metade no período de linha horizontal, como na figura 19(c), o campo é um tipo de campo superior.

O VH para o sinal principal e o HSYNC_MN são entradas para circuitos de atraso 704, 706 e 708, que proporcionam atrasos de período de linha horizontais para assegurarem a relação de fase apropriada dos sinais de saída WR_RST_FIFO_MN, RD_RST_FIFO_MN e RD_RST_FIFO_AX. O atraso de operação que pode ser implementado pelos biestáveis tipo D é similar ao circuito mostrado na figura 14. Dois a três período de linha horizontal de atraso são proporcionados entre os ponteiros de escrita e leitura.

O indicador de tipo de campo superior/inferior UL_MN corresponde ao U/L MAIN SIGNAL mostrado no topo da figura 16 e é uma entrada para um comparador UL_SEL 714. As outras entradas para o comparador 714 são fornecidas pelo gerador de teste UL_AX 712. O gerador de teste 712 tem o indicador de campo UL_AX como uma entrada bem, como o HSYNC_AX como uma entrada de relógio. O gerador de teste 712 proporciona sinais U/L (A), U/L (B), e U/L (C) mostrados no fundo da figura 16, correspondendo aos três modos possíveis A, B e C. Cada um dos sinais U/L (A), U/L (B) e U/L (C) é comparado com o L_MN, no instante do bordo de decisão de U/L_MN, também mostrado na figura 16. Se UL_MN se alinha com U/L(A), os tipos de campos alinham-se e não é necessária a acção para manter a integridade de entrelaçamento. Se UL_MN se alinha com U/L(B), os tipos de campos não se alinham. É necessário atrasar a escrita do campo superior de uma linha para manter a integridade de entrelaçamento. Se UL_MN coincide com U/L(C), os tipos de campo não coincidem. É necessário avançar a escrita do campo inferior de uma linha para manter a integridade de entrelaçamento.

Os resultados desta comparação uma entrada para o circuito selector RST_AX_SEL 718. As outras entradas são os três sinais de sincronização vertical RST_A_, RST_B e RST_C gerados pelo gerador RST_AX_GEN 716. Os três sinais de sincronização verticais RST_A, RST_B e RST_C têm fases diferentes relativamente uns aos outros,



para implementarem a acção correctiva ou a acção não correctiva ou para manterem a integridade de entrelaçamento de acordo com a saída do comparador 714. O circuito de retardo 722 sincroniza de novo o sinal de sincronização vertical seleccionado com a entrada video auxiliar para gerar WR_RST_VRAM_AX. O circuito de atraso 720 executa uma função similar para gerar RD_RST_VRAM_AX e WR_RST_FIFO_AX. Como se vê na figura 16, os modos B e C sobrepõem-se a maioria do tempo. De facto, apenas duas comparações fora de 525 comparações requererão apenas um dos modos B ou C em vez de ambos. O comparador 714 pode ser disposto para favorecer o modo C sobre o modo B quando ambos os modos são válidos. Esta escolha pode ser arbitrária ou baseada noutras considerações de circuito.

R E I V I N D I C A Ç Õ E S



1 - Dispositivo de sincronização, caracterizado por compreender:

primeiros e segundos meios de detecção de tipo de campo para primeiro e segundo sinais video, respectivamente, tendo cada um deles uma saída, indicando se o dito respectivo sinal video tem um primeiro ou um segundo tipo de campo;

meios para sincronizarem o dito segundo sinal video com o dito primeiro sinal video para um visor combinado; e


meios para alterarem o dito tipo de campo do dito segundo sinal video, quando necessário para fazer coincidir o dito campo do dito primeiro sinal video, para manter a integridade entrelaçada no dito visor combinado.

2 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de alteração controlarem os ditos meios de sincronização.

3 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de sincronização compreenderem meios para armazenarem o dito segundo sinal video, sendo o dito segundo sinal video escrito nos ditos meios de armazenagem e sendo lidos dos ditos meios de armazenagem, de uma maneira que sincroniza o dito segundo sinal video com o dito primeiro sinal video.

4 - Dispositivo de acordo com a reivindicação 3, caracterizado por o dito segundo sinal video ser escrito nos ditos meios de armazenagem sincronamente com o dito segundo sinal video, e ser lido dos meios de armazenagem sincronamente com o dito primeiro sinal video.

5 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de sincronização compreenderem:



uma memória de campo síncrona, tendo acessos de escrita e leitura operáveis sincronamente com o dito segundo sinal video; e

uma memória de linha múltipla assíncrona para leitura de dados da dita memória de campo, tendo um acesso de escrita operável sincronamente com o dito segundo sinal video e um acesso de leitura operável sincronamente com o dito primeiro sinal video.

6 - Dispositivo de acordo com a reivindicação 3, caracterizado por os ditos meios de operação controlarem a dita escrita nos ditos meios de armazenagem.

7 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de alteração terem um modo de operação que retarda os campos de escrita do dito primeiro tipo de campo de um período de linha horizontal.

8 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de alteração terem um modo de operação que avança os campos de escrita do dito segundo tipo de campo de um período de linha horizontal.

9 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de alteração terem um primeiro modo de alteração que retarda a escrita num campo corrente do dito primeiro tipo de campo de um período de linha horizontal, um segundo modo de operação que avança a escrita num campo corrente do dito segundo tipo de campo por um período de linha horizontal e um terceiro modo de operação que mantém um tipo de campo corrente.

10 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de alteração compreenderem meios para compararem o dito tipo de campo do dito segundo sinal com o dito tipo de campo do dito primeiro sinal e gerarem um sinal de saída indicando uma de uma pluralidade de saídas de comparação.

11 - Dispositivo de acordo com a reivindicação 10, caracteri-

zado por a dita pluralidade de saídas de comparação compreendem:

os ditos primeiro e segundo sinais video, tendo campos correntes do mesmo tipo de campo;

o dito primeiro sinal video, tendo um campo corrente do dito primeiro tipo de campo e o segundo sinal video, tendo um campo corrente do dito segundo tipo de campo.

o dito primeiro sinal video, tendo um campo corrente do dito segundo tipo de campo e o dito segundo sinal video, tendo um campo corrente do dito primeiro tipo de campo.

12 - Dispositivo de acordo com a reivindicação 10, caracterizado por os ditos meios de alteração compreenderem meios para gerarem uma pluralidade de sinais de correcção de entrelaçamento seleccionáveis, sendo cada um deles apropriado para uma da dita pluralidade de saídas de comparação.

13 - Dispositivo de acordo com a reivindicação 10, caracterizado por os ditos meios de alteração compreenderem meios para fixarem um tempo de comparação relacionado com um bordo do dito tipo de campo, indicando a saída do dito primeiro sinal video.

14 - Dispositivo de acordo com a reivindicação 1, caracterizado por os ditos meios de alteração compreenderem meios para gerarem uma pluralidade de sinais de correcção de entrelaçamento seleccionáveis, sendo cada um deles apropriado para um modo diferente da correcção de entrelaçamento.

15 - Dispositivo de acordo com a reivindicação 1, caracterizado por cada um dos ditos meios de detecção de tipo de campo compreender meios para amostrarem um componente de sincronização horizontal do dito respectivo sinal video, através de um componente de sincronização vertical do dito respectivo sinal video, para gerar um sinal de saída de tipo de campo.



16 - Dispositivo para manter a integridade entrelaçada, caracterizado por compreender:

primeiros meios de detecção de tipos de campo para um primeiro sinal video, tendo uma saída indicando se o dito primeiro sinal video tem um primeiro ou segundo tipo de campo;

segundos meios de detecção de tipo de campo para um segundo sinal video, tendo uma saída indicando se o dito segundo sinal video tem o dito primeiro ou segundo tipo de campo;

meios para armazenarem o dito segundo sinal video, para sincronizarem o dito segundo sinal video com o dito primeiro sinal video, sendo o dito segundo sinal video escrito nos ditos meios de armazenagem sincronamente com o dito segundo sinal video e sendo lido dos ditos meios de armazenagem sincronamente com o dito primeiro sinal video;

meios para compararem o dito tipo de campo do dito segundo sinal ao dito tipo de campo do dito primeiro sinal; e

meios para alterarem o dito tipo de campo do segundo sinal video como necessário, para fazer coincidir o dito tipo de campo do dito primeiro sinal video, que responde aos ditos meios de comparação.

17 - Dispositivo de acordo com a reivindicação 16, caracterizado por os ditos meios para alterarem o dito tipo de campo do dito segundo sinal video controlarem a dita escrita do dito segundo sinal video nos ditos meios de armazenagem.

18 - Dispositivo de acordo com a reivindicação 17, caracterizado por os meios para alterarem o dito tipo de campo do dito segundo sinal video retardarem, a escrita do dito primeiro tipo de campo de um período de linha horizontal.

19 - Dispositivo de acordo com a reivindicação 17, caracterizado por os ditos meios para alterarem o dito tipo de campo do

segundo sinal video avançarem a escrita do dito segundo tipo de campo de um período de linha horizontal.

20 - Dispositivo de acordo com a reivindicação 16, caracterizado por os ditos meios de alteração compreenderem meios para compararem o dito tipo de campo do dito segundo sinal para o dito tipo de campo do dito primeiro sinal e gerarem um sinal de saída indicando uma de uma pluralidade de saídas de comparação.

21 - Dispositivo de acordo com a reivindicação 20, caracterizado por a dita pluralidade de saídas de comparação compreender:

os ditos primeiro e segundo sinais video, tendo campos correntes do mesmo tipo de campo;

o dito primeiro sinal video, tendo um campo corrente do dito primeiro tipo de campo e o dito segundo sinal video, tendo um campo corrente do dito segundo tipo de campo; e

o dito primeiro sinal video, tendo um campo corrente do tipo segundo tipo de campo e o dito segundo sinal video, tendo um campo corrente do dito primeiro tipo de campo.

22 - Dispositivo de acordo com a reivindicação 20, caracterizado por os ditos meios de alteração compreenderem meios para gerarem uma pluralidade de sinais de correcção de entrelaçamento seleccionáveis, sendo cada um deles apropriado para uma da dita pluralidade de saídas de comparação.

23 - Dispositivo de acordo com a reivindicação 20, caracterizado por os ditos meios de alteração compreenderem meios para fixarem um tempo de comparação relacionado com um bordo do dito tipo de campo, indicando a saída do dito primeiro sinal video.

24 - Dispositivo de acordo com a reivindicação 16, caracterizado por os ditos meios de alteração compreenderem meios para gerarem uma pluralidade de sinais de correcção de entrelaçamento seleccionáveis, sendo cada um deles apropriado para um modo



diferente de correcção de entrelaçamento.

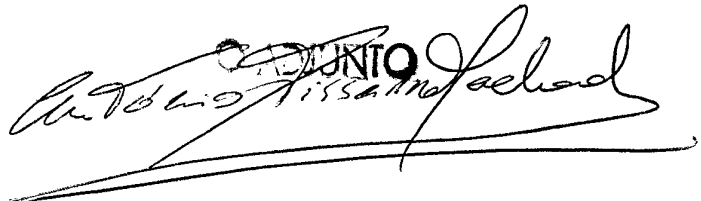
25 - Dispositivo de acordo com a reivindicação 16, caracterizado por cada um dos ditos meios de detecção de tipo de campo compreender meios para amostrarem um componente de sincronização horizontal do dito respectivo sinal de video de um componente de sincronização vertical do dito respectivo sinal video, para gerar um sinal de saída de tipo de campo.

Lisboa,

31. MAI 1991

Por THOMSON CONSUMER ELECTRONICS, INC.

=O AGENTE OFICIAL=



ANTONIO TISSERAND

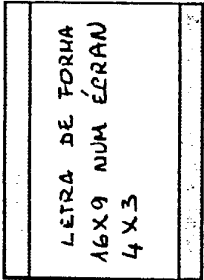


FIG. 1(a)

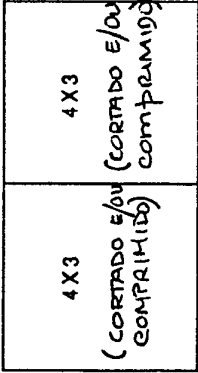


FIG. 1(d)

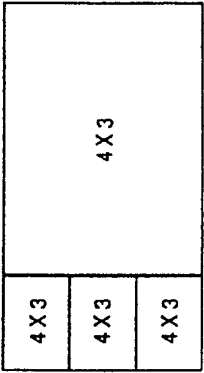


FIG. 1(g)

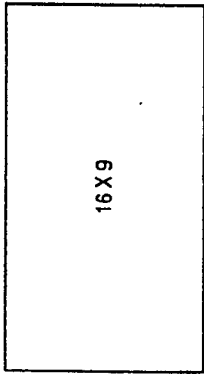


FIG. 1(b)

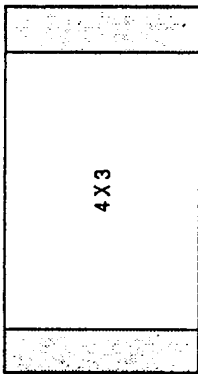


FIG. 1(e)

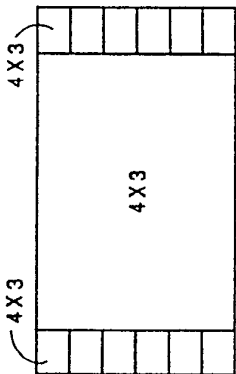


FIG. 1(h)

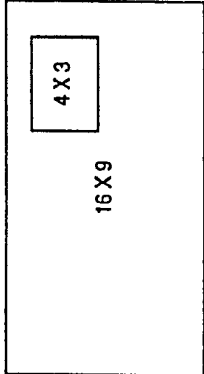


FIG. 1(c)

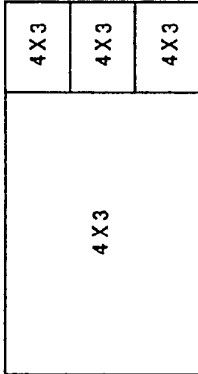


FIG. 1(f)

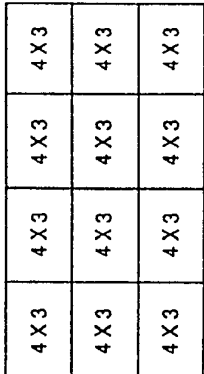


FIG. 1(i)

FIG. 2

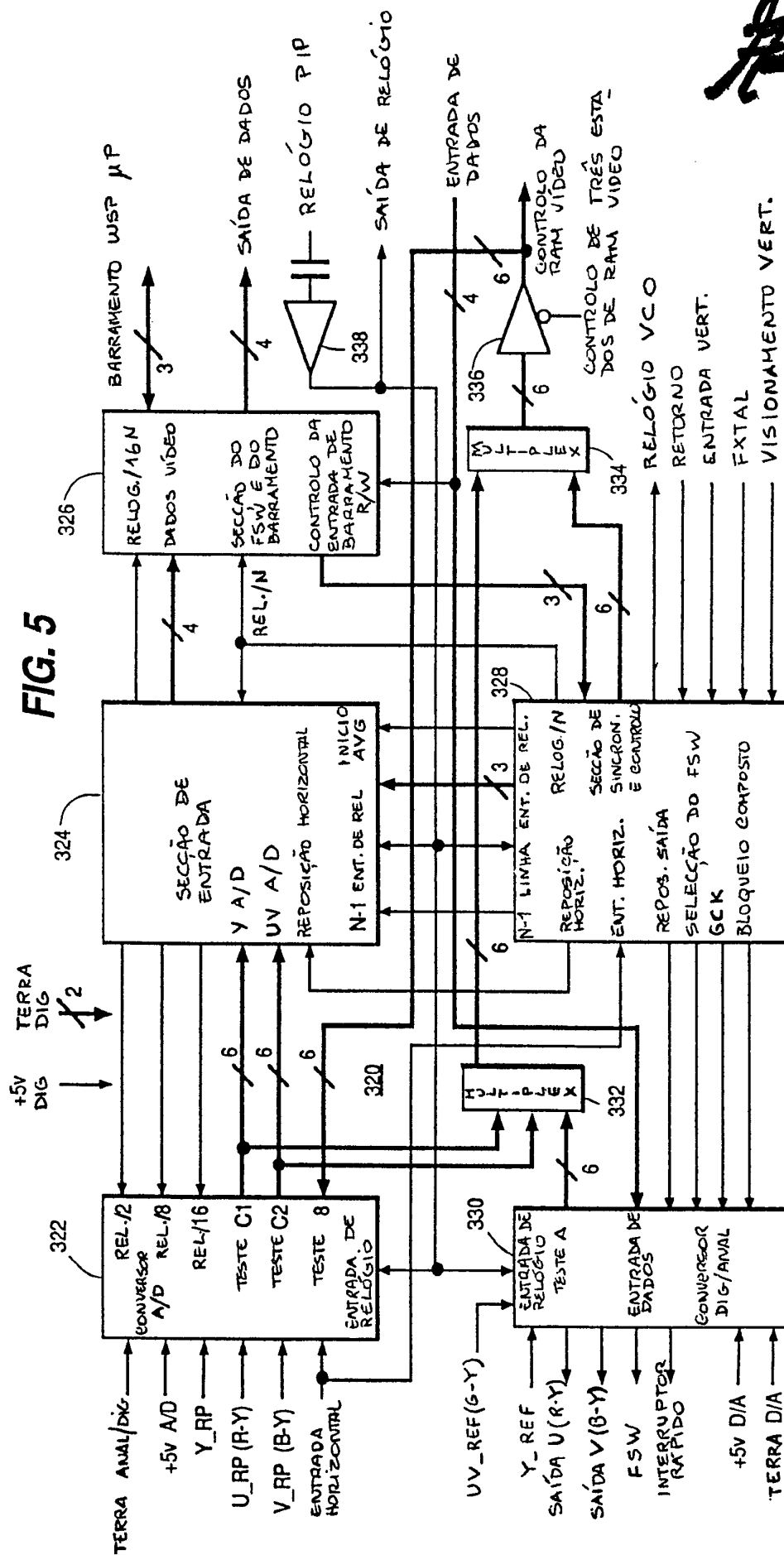


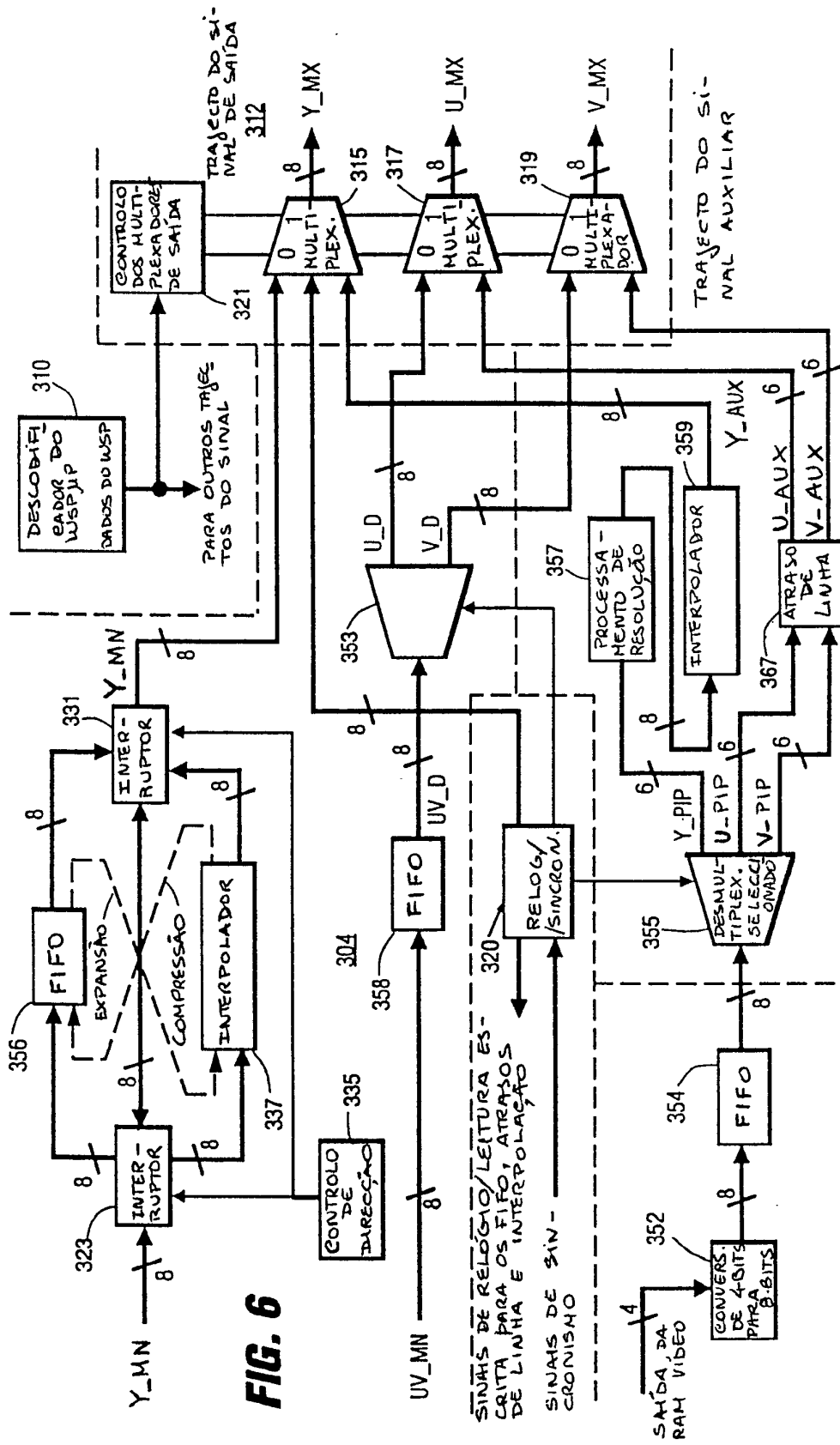


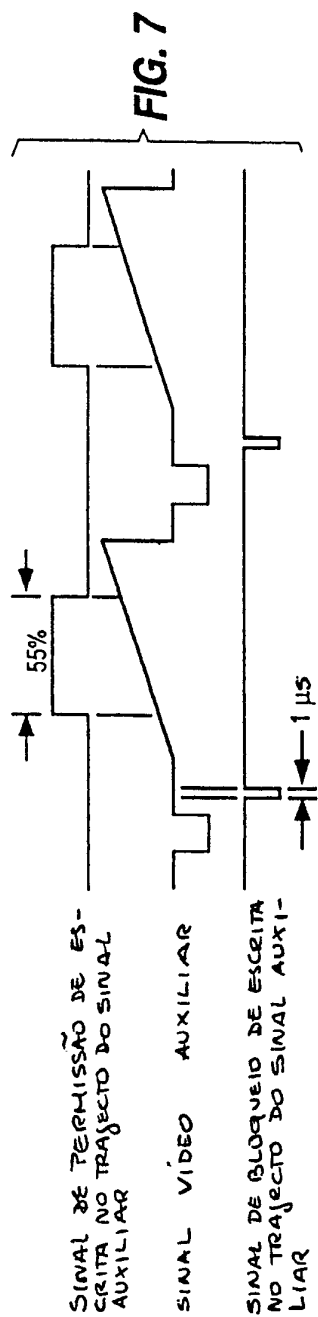


FIG. 4

FIG. 5







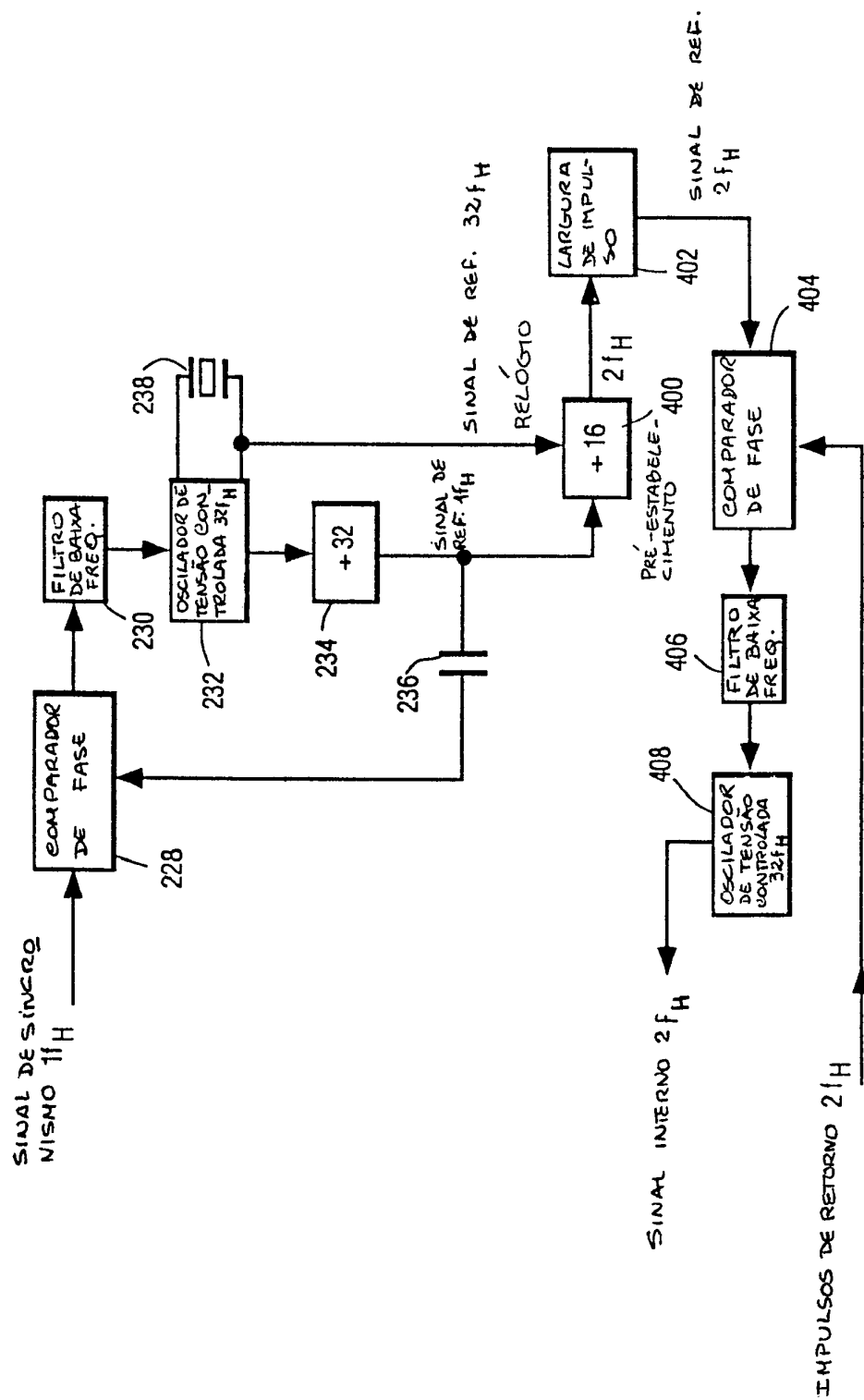


FIG. 9

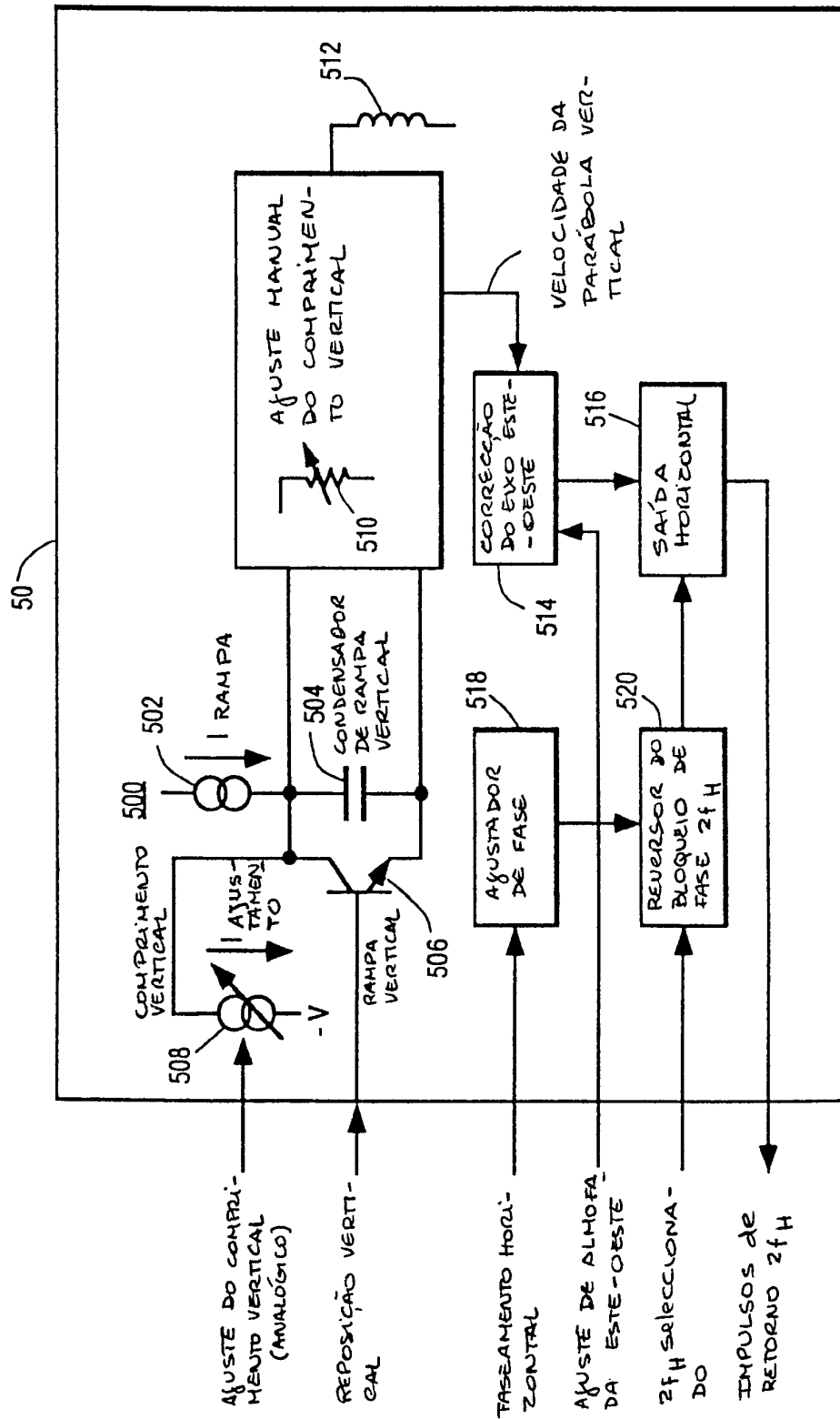


FIG. 10

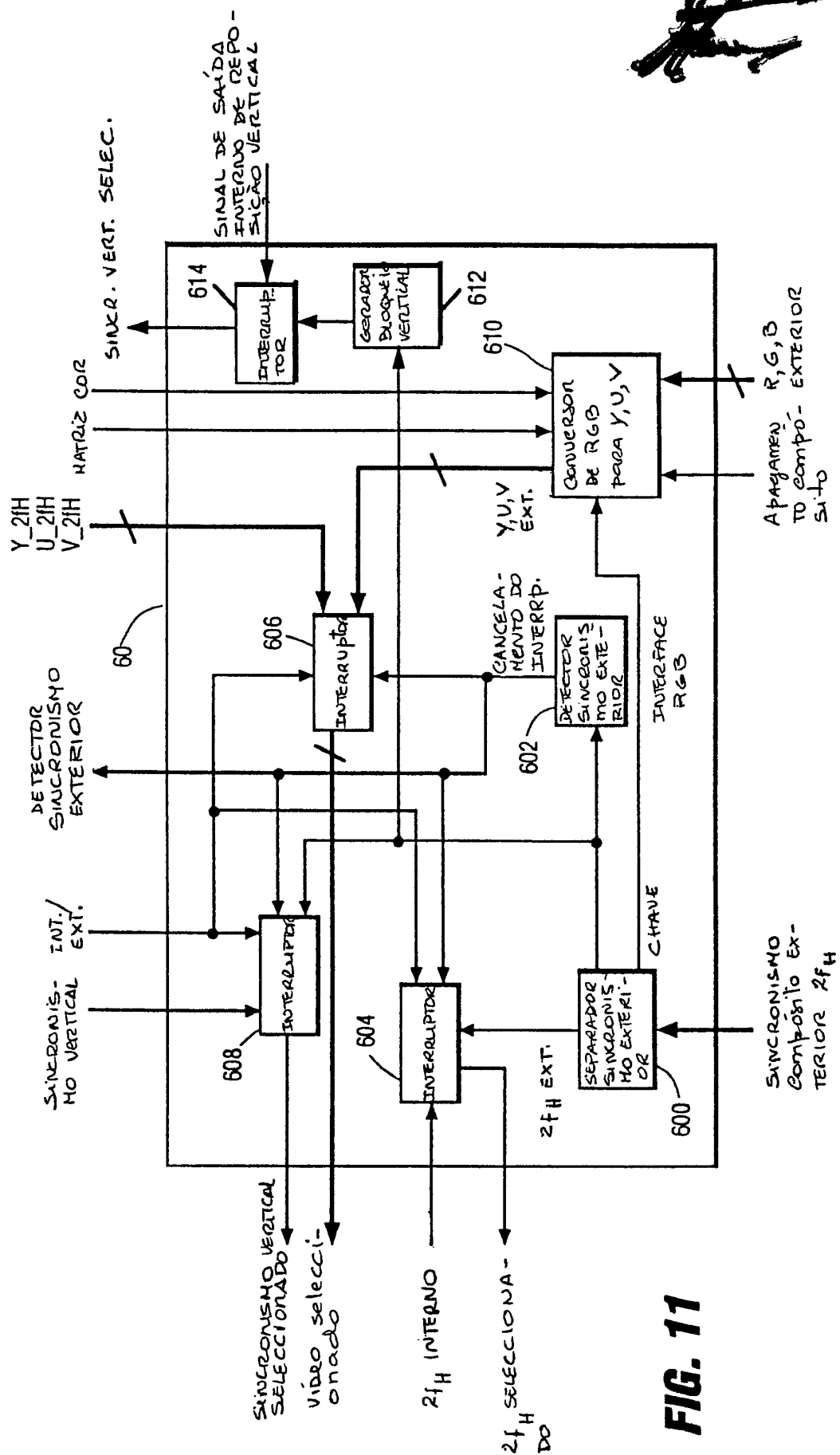
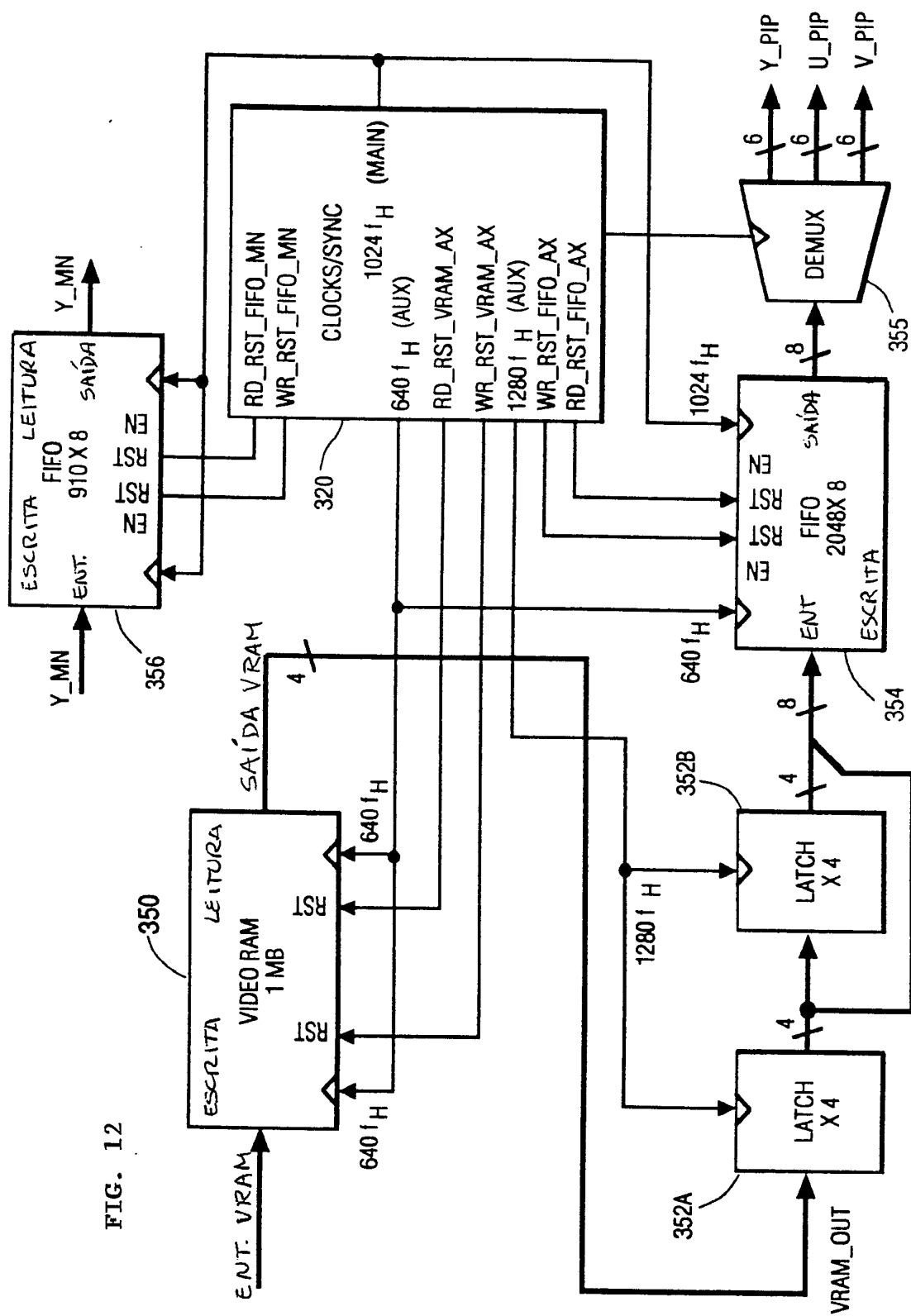
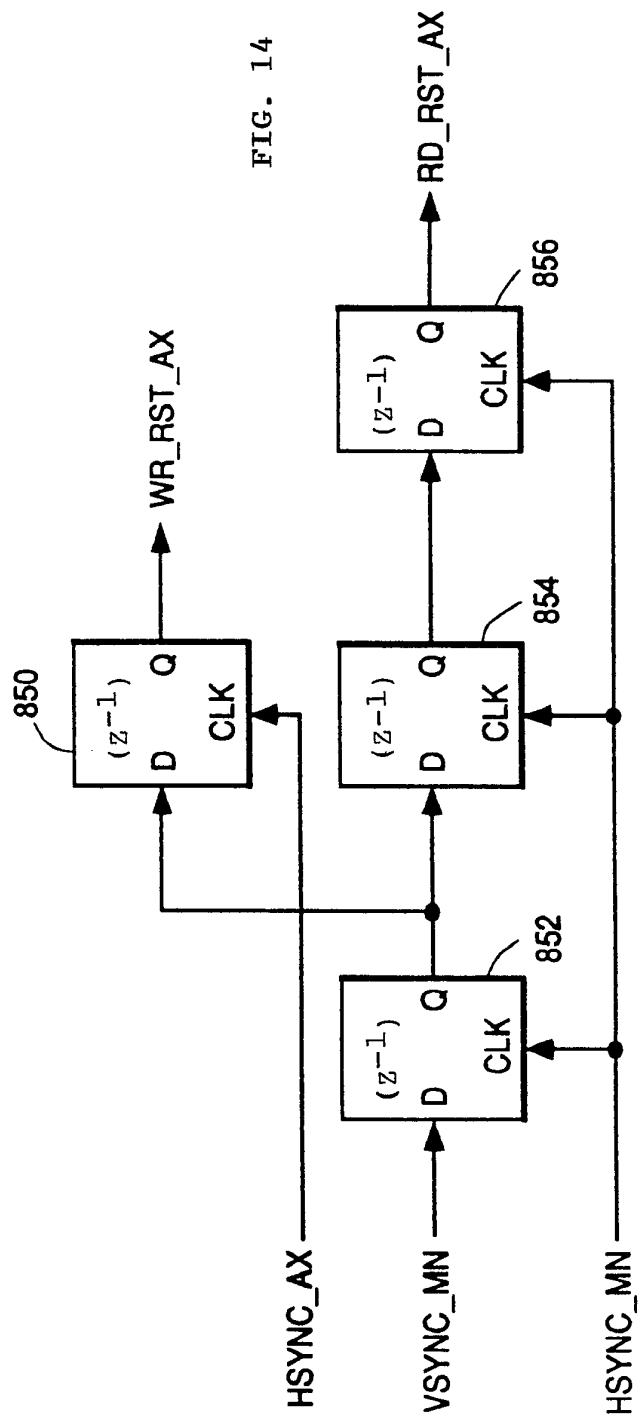
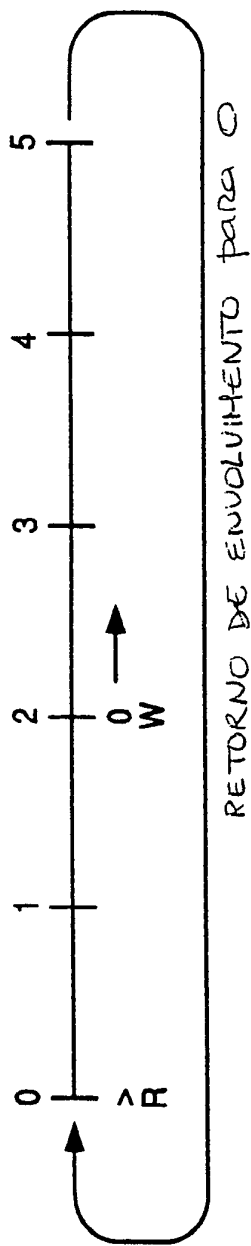


FIG. 11

FIG. 12





[Handwritten signature]

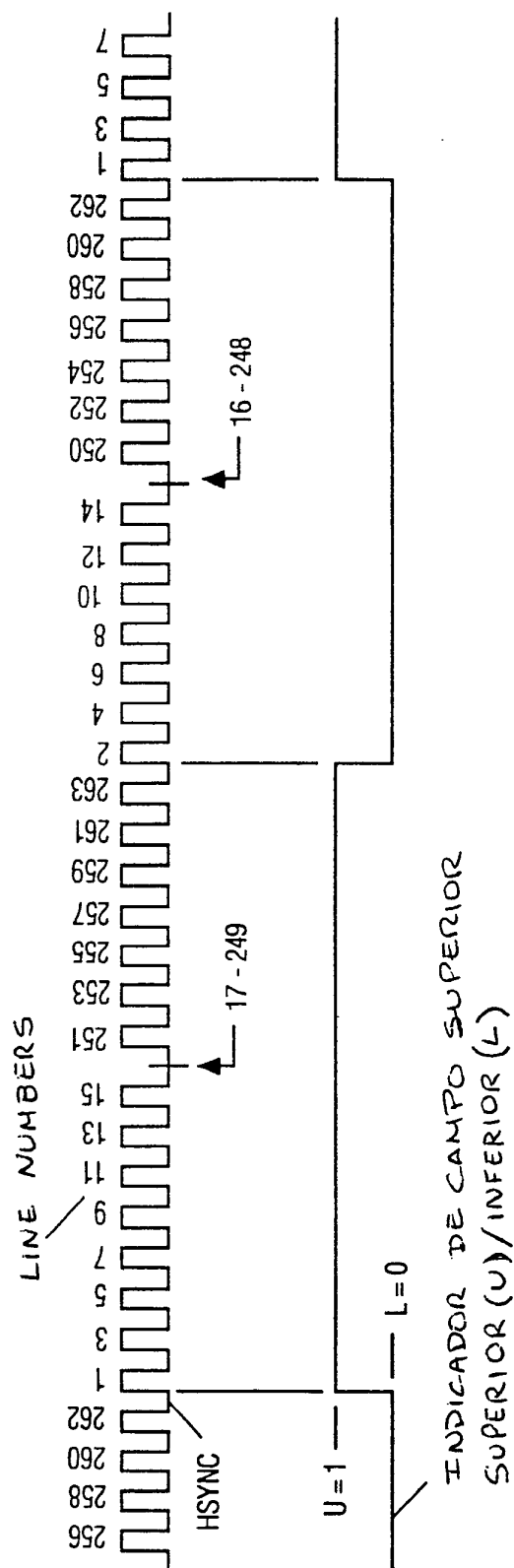
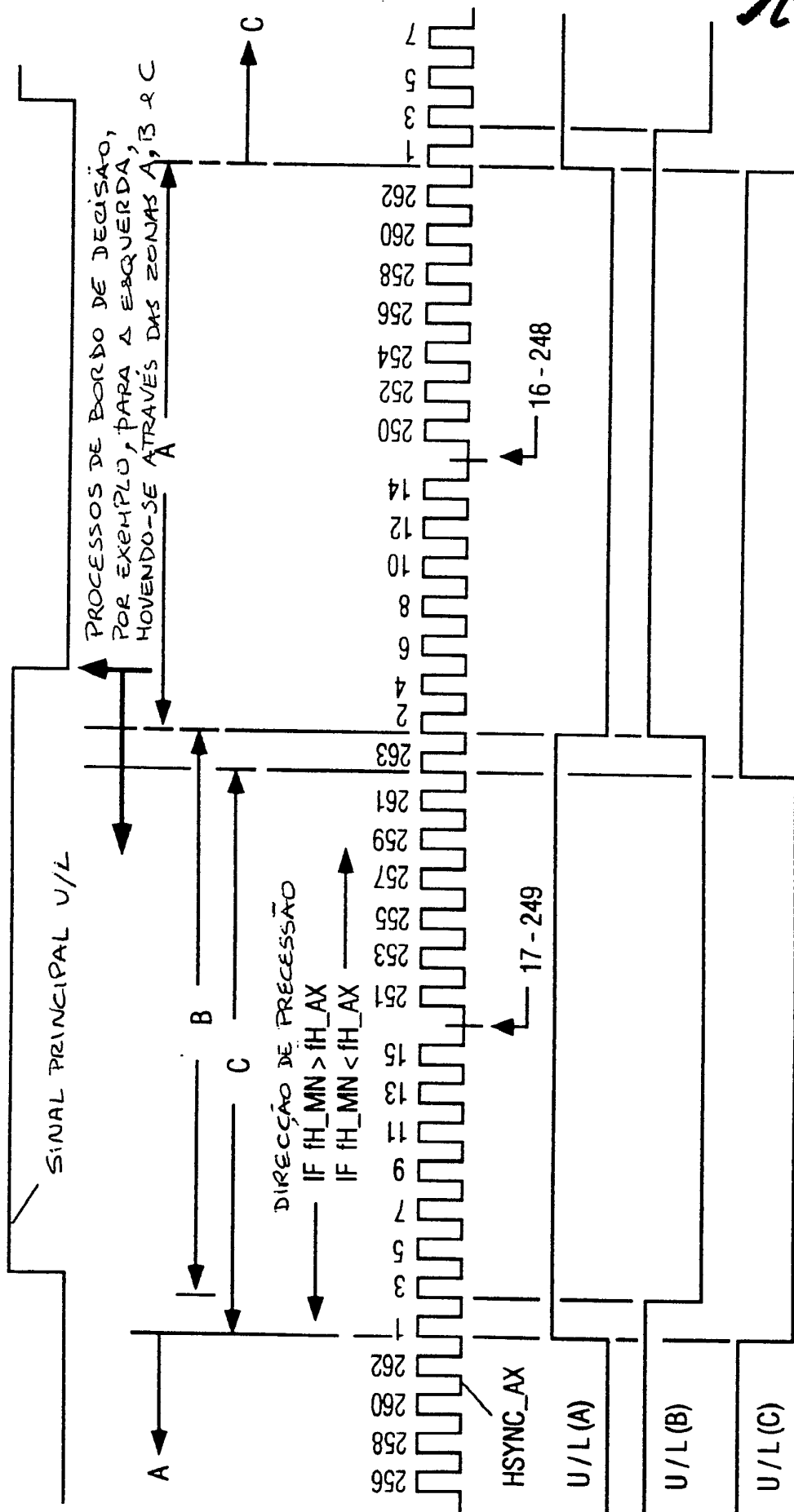


FIG. 15

INDICADOR DE CAMPO SUPERIOR
SUPERIOR (U)/INFERIOR (L)



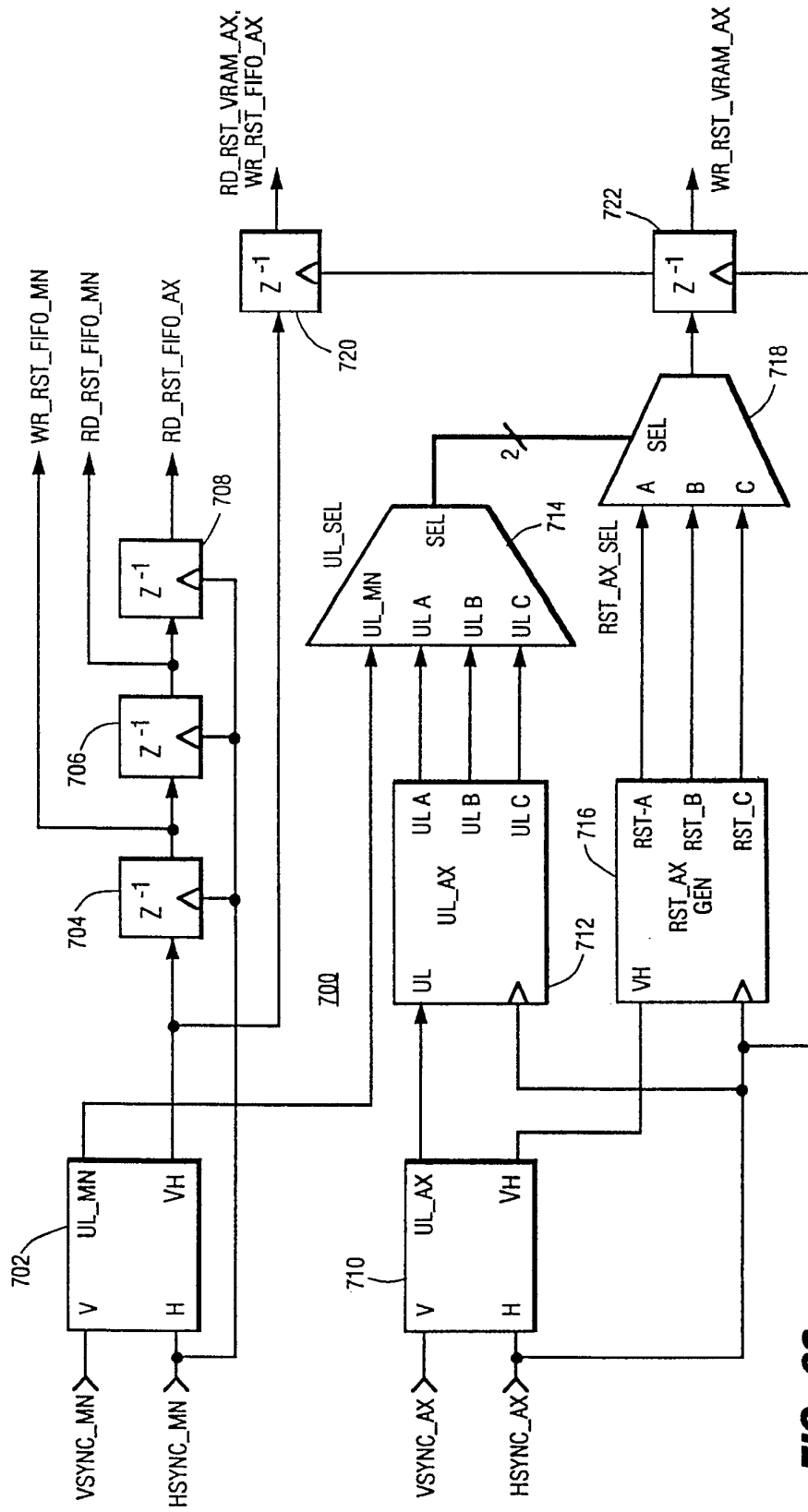


FIG. 20