

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年1月26日(2012.1.26)

【公開番号】特開2010-140972(P2010-140972A)

【公開日】平成22年6月24日(2010.6.24)

【年通号数】公開・登録公報2010-025

【出願番号】特願2008-313662(P2008-313662)

【国際特許分類】

H 01 L 27/04 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 21/3205 (2006.01)

H 01 L 23/52 (2006.01)

【F I】

H 01 L 27/04 C

H 01 L 27/04 H

H 01 L 21/88 Z

【手続補正書】

【提出日】平成23年12月5日(2011.12.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に設けられた下部電極と、

前記下部電極上に設けられた中間電極と、

前記中間電極上に設けられた上部電極と、

前記下部電極と前記中間電極との間に設けられた第1の絶縁膜と、

前記中間電極と前記上部電極との間に設けられた第2の絶縁膜と、

前記中間電極と同層に設けられ、前記中間電極と電気的に絶縁されている第1の接続配線と、

前記下部電極と前記第1の接続配線とを電気的に接続する第1のピアと、

前記第1の接続配線と前記上部電極とを電気的に接続する第2のピアと、

を有し、

前記下部電極と、前記中間電極と、前記上部電極と、前記第1の絶縁膜と、前記第2の絶縁膜とが、MIM型容量素子を構成していて、

前記第1の接続配線、前記第1のピア、および、前記第2のピアが、前記中間電極の第1の辺に隣接して設けられているとともに、前記中間電極の前記第1の辺と対向する第2の辺に隣接して設けられていることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電気的に接続されていることを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

本実施形態においては、外部のノイズからの影響をより少なくした第1実施形態乃至第3の実施形態のいずれかのMIM型容量素子を単位容量として、マトリックス状に配置することにより、ノイズレベルが場所によって異なるような場合においても、ノイズに起因する単位容量の容量値のバラつきを小さくできるので、より高精度な容量素子を得ることができる。

<付記>

<発明1>

半導体基板と、

前記半導体基板上に設けられた下部電極と、

前記下部電極上に設けられた中間電極と、

記中間電極上に設けられた上部電極と、

前記下部電極と前記中間電極との間に設けられた第1の絶縁膜と、

前記中間電極と前記上部電極との間に設けられた第2の絶縁膜と、

前記中間電極と同層に設けられ、前記中間電極と電気的に絶縁されている第1の接続配線と、

前記下部電極と前記第1の接続配線とを電気的に接続する第1のピアと、

前記第1の接続配線と前記上部電極とを電気的に接続する第2のピアと、
を有し、

前記下部電極と、前記中間電極と、前記上部電極と、前記第1の絶縁膜と、前記第2の絶縁膜とが、MIM型容量素子を構成していて、

前記第1の接続配線、前記第1のピア、および、前記第2のピアが、前記中間電極の第1の辺に隣接して設けられているとともに、前記中間電極の前記第1の辺と対向する第2の辺に隣接して設けられていることを特徴とする半導体装置。

<発明2>

発明1に記載の半導体装置において、

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電気的に接続されていることを特徴とする半導体装置。

<発明3>

発明1または2に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電気的に接続されていることを特徴とする半導体装置。

<発明4>

発明1に記載の半導体装置において、

前記下部電極、前記中間電極、および、前記上部電極には、スリット状の溝が設けられていることを特徴とする半導体装置。

<発明5>

発明4に記載の半導体装置において、

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電気的に接続されていることを特徴とする半導体装置。

<発明6>

発明4または5に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電気的に接続されていることを特徴とする半導体装置。

<発明7>

発明1または4に記載の半導体装置において、

前記中間電極と同層に設けられ、前記中間電極と電気的に絶縁されている第2の接続配線と、

前記下部電極と前記第2の接続配線とを接続する第3のビアと、
前記第2の接続配線と前記上部電極とを接続する第4のビアと、
をさらに有し、

前記第2の接続配線、前記第3のビア、および、前記第4のビアが、前記中間電極の前記第1の辺と直交する第3の辺に隣接して設けられているとともに、前記中間電極の前記第3の辺と対向する第4の辺に隣接して設けられていることを特徴とする半導体装置。

<発明8>

発明7に記載の半導体装置において、

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電気的に接続されていることを特徴とする半導体装置。

<発明9>

発明7または8に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電気的に接続されていることを特徴とする半導体装置。

<発明10>

発明1乃至6のいずれかに記載の半導体装置において、

前記第1のビアおよび前記第2のビアは、スリット状のビアであることを特徴とする半導体装置。

<発明11>

発明7乃至9のいずれかに記載の半導体装置において、

前記第1のビア、前記第2のビア、前記第3のビア、および前記第4のビアは、スリット状のビアであることを特徴とする半導体装置。

<発明12>

発明1乃至11のいずれかに記載の半導体装置において、

複数の前記MIM型容量素子が、マトリックス状に配置されていることを特徴とする半導体装置。

<発明13>

発明2、5、8のいずれかに記載の半導体装置において、

複数の前記MIM型容量素子が、マトリックス状に配置されているとともに、複数の前記MIM型容量素子が、前記上部電極引き出し配線を介して電気的に接続されていることを特徴とする半導体装置。

<発明14>

発明3、6、9のいずれかに記載の半導体装置において、

複数の前記MIM型容量素子が、マトリックス状に配置されているとともに、複数の前記MIM型容量素子が、前記上部電極引き出し配線および前記中間電極引き出し配線を介して電気的に接続されていることを特徴とする半導体装置。