

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 24 年 1 月 26 日 (2012.1.26)

【公開番号】特開 2010-140972 (P2010-140972A)

【公開日】平成 22 年 6 月 24 日 (2010.6.24)

【年通号数】公開・登録公報 2010-025

【出願番号】特願 2008-313662 (P2008-313662)

【国際特許分類】

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

【F I】

H 0 1 L 27/04 C

H 0 1 L 27/04 H

H 0 1 L 21/88 Z

【手続補正書】

【提出日】平成 23 年 12 月 5 日 (2011.12.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、  
前記半導体基板上に設けられた下部電極と、  
前記下部電極上に設けられた中間電極と、  
前記中間電極上に設けられた上部電極と、  
前記下部電極と前記中間電極との間に設けられた第 1 の絶縁膜と、  
前記中間電極と前記上部電極との間に設けられた第 2 の絶縁膜と、  
前記中間電極と同層に設けられ、前記中間電極と電氣的に絶縁されている第 1 の接続配線と、  
前記下部電極と前記第 1 の接続配線とを電氣的に接続する第 1 のビアと、  
前記第 1 の接続配線と前記上部電極とを電氣的に接続する第 2 のビアと、  
を有し、  
前記下部電極と、前記中間電極と、前記上部電極と、前記第 1 の絶縁膜と、前記第 2 の絶縁膜とが、MIM 型容量素子を構成していて、  
前記第 1 の接続配線、前記第 1 のビア、および、前記第 2 のビアが、前記中間電極の第 1 の辺に隣接して設けられているとともに、前記中間電極の前記第 1 の辺と対向する第 2 の辺に隣接して設けられていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、  
前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0038

## 【補正方法】変更

## 【補正の内容】

## 【0038】

本実施形態においては、外部のノイズからの影響をより少なくした第1実施形態乃至第3の実施形態のいずれかのMIM型容量素子を単位容量として、マトリックス状に配置することにより、ノイズレベルが場所によって異なるような場合においても、ノイズに起因する単位容量の容量値のバラつきを小さくできるので、より高精度な容量素子を得ることができる。

## &lt; 付記 &gt;

## &lt; 発明1 &gt;

半導体基板と、

前記半導体基板上に設けられた下部電極と、

前記下部電極上に設けられた中間電極と、

前記中間電極上に設けられた上部電極と、

前記下部電極と前記中間電極との間に設けられた第1の絶縁膜と、

前記中間電極と前記上部電極との間に設けられた第2の絶縁膜と、

前記中間電極と同層に設けられ、前記中間電極と電氣的に絶縁されている第1の接続配線と、

前記下部電極と前記第1の接続配線とを電氣的に接続する第1のビアと、

前記第1の接続配線と前記上部電極とを電氣的に接続する第2のビアと、

を有し、

前記下部電極と、前記中間電極と、前記上部電極と、前記第1の絶縁膜と、前記第2の絶縁膜とが、MIM型容量素子を構成して、

前記第1の接続配線、前記第1のビア、および、前記第2のビアが、前記中間電極の第1の辺に隣接して設けられているとともに、前記中間電極の前記第1の辺と対向する第2の辺に隣接して設けられていることを特徴とする半導体装置。

## &lt; 発明2 &gt;

発明1に記載の半導体装置において、

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

## &lt; 発明3 &gt;

発明1または2に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

## &lt; 発明4 &gt;

発明1に記載の半導体装置において、

前記下部電極、前記中間電極、および、前記上部電極には、スリット状の溝が設けられていることを特徴とする半導体装置。

## &lt; 発明5 &gt;

発明4に記載の半導体装置において、

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

## &lt; 発明6 &gt;

発明4または5に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

## &lt; 発明7 &gt;

発明1または4に記載の半導体装置において、

前記中間電極と同層に設けられ、前記中間電極と電氣的に絶縁されている第2の接続配線と、

前記下部電極と前記第２の接続配線とを接続する第３のビアと、  
前記第２の接続配線と前記上部電極とを接続する第４のビアと、  
をさらに有し、

前記第２の接続配線、前記第３のビア、および、前記第４のビアが、前記中間電極の前記第１の辺と直交する第３の辺に隣接して設けられているとともに、前記中間電極の前記第３の辺と対向する第４の辺に隣接して設けられていることを特徴とする半導体装置。

< 発明 ８ >

発明 ７に記載の半導体装置において、  
前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

< 発明 ９ >

発明 ７または ８に記載の半導体装置において、  
前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

< 発明 １０ >

発明 １乃至 ６のいずれかに記載の半導体装置において、  
前記第１のビアおよび前記第２のビアは、スリット状のビアであることを特徴とする半導体装置。

< 発明 １１ >

発明 ７乃至 ９のいずれかに記載の半導体装置において、  
前記第１のビア、前記第２のビア、前記第３のビア、および前記第４のビアは、スリット状のビアであることを特徴とする半導体装置。

< 発明 １２ >

発明 １乃至 １１のいずれかに記載の半導体装置において、  
複数の前記 M I M 型容量素子が、マトリックス状に配置されていることを特徴とする半導体装置。

< 発明 １３ >

発明 ２、５、８のいずれかに記載の半導体装置において、  
複数の前記 M I M 型容量素子が、マトリックス状に配置されているとともに、複数の前記 M I M 型容量素子が、前記上部電極引き出し配線を介して電氣的に接続されていることを特徴とする半導体装置。

< 発明 １４ >

発明 ３、６、９のいずれかに記載の半導体装置において、  
複数の前記 M I M 型容量素子が、マトリックス状に配置されているとともに、複数の前記 M I M 型容量素子が、前記上部電極引き出し配線および前記中間電極引き出し配線を介して電氣的に接続されていることを特徴とする半導体装置。