



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0032682
(43) 공개일자 2022년03월15일

(51) 국제특허분류(Int. Cl.)
H03M 1/40 (2006.01) H03M 1/06 (2006.01)
H03M 1/10 (2006.01)
(52) CPC특허분류
H03M 1/403 (2013.01)
H03M 1/0617 (2013.01)
(21) 출원번호 10-2020-0114313
(22) 출원일자 2020년09월08일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
안태지
경기도 화성시 동탄원천로 348(능동)
박준상
서울특별시 동작구 사당로2길 2-32, 102동 1203호(상도동, 상도현대아파트)
(뒷면에 계속)
(74) 대리인
특허법인가산

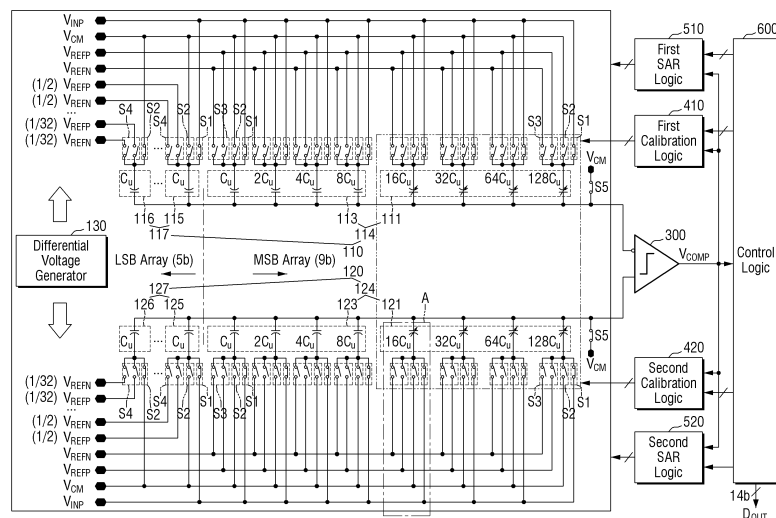
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 아날로그 디지털 변환기 및 아날로그 디지털 변환기의 아날로그 디지털 변환 방법

(57) 요약

아날로그 디지털 변환 장치를 제공한다. 아날로그 디지털 변환 장치는, 아날로그 입력 신호를 출력하는 아날로그 회로, 및 아날로그 입력 신호를 제공받고, 보정 커패시터가 연결된 제1 커패시터와 보정 커패시터가 연결되지 않은 제2 커패시터를 포함하는 제1 커패시터 어레이와, 제1 커패시터와 제2 커패시터를 포함하는 제2 커패시터 어레이를 이용하여 아날로그 입력 신호에 대응하는 디지털 출력 신호를 출력하는 아날로그 디지털 변환기를 포함하되, 아날로그 디지털 변환기는, 보정 커패시터에 제1 보정 전압을 제공하여 제1 커패시터의 커패시턴스를 보정하고, 보정된 제1 커패시터의 커패시턴스를 이용하여 아날로그 입력 신호에 대응하는 디지털 출력 신호를 출력한다.

대표도 - 도2



(52) CPC특허분류

H03M 1/1023 (2013.01)

(72) 발명자

안길초

서울특별시 강남구 남부순환로363길 30, 104동 701호(도곡동, 도곡쌍용예가아파트)

이승훈

서울특별시 용산구 이촌로 310, 101동 2303호(이촌동, 래미안 첼리투스)

김용태

서울특별시 송파구 잠실로 88, 131동 2803호(잠실동, 레이크팰리스)

류기호

경기도 용인시 수지구 대지로 49, 204동 1503호(죽전동, 죽전퍼스트하임)

이승훈

경기도 화성시 동탄순환대로21길 53, 1314동 1901호(청계동, 롯데캐슬 알바트로스)

전제민

경기도 군포시 용호1로21번길 15, 120동 602호(당동, 용호마을 e-편한세상)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116161
과제번호	2018-0-01421-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학ICT연구센터지원사업
연구과제명	인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기 여 율	1/1
과제수행기관명	서강대학교산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

아날로그 입력 신호를 출력하는 아날로그 회로; 및

상기 아날로그 입력 신호를 제공받고, 보정 커패시터가 연결된 제1 커패시터와 상기 보정 커패시터가 연결되지 않은 제2 커패시터를 포함하는 제1 커패시터 어레이와, 상기 제1 커패시터와 상기 제2 커패시터를 포함하는 제2 커패시터 어레이를 이용하여 상기 아날로그 입력 신호에 대응하는 디지털 출력 신호를 출력하는 아날로그 디지털 변환기를 포함하되,

상기 아날로그 디지털 변환기는,

상기 보정 커패시터에 제1 보정 전압을 제공하여 상기 제1 커패시터의 커패시턴스를 보정하고,

상기 보정된 제1 커패시터의 커패시턴스를 이용하여 상기 아날로그 입력 신호에 대응하는 디지털 출력 신호를 출력하는 아날로그 디지털 변환 장치.

청구항 2

제 1항에 있어서,

상기 아날로그 디지털 변환기는,

상기 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스를 비교하고,

상기 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스의 비교 결과에 기초하여, 상기 보정 커패시터에 상기 제1 보정 전압을 제공하는 아날로그 디지털 변환 장치.

청구항 3

제 1항에 있어서,

상기 아날로그 디지털 변환기는,

상기 제1 커패시터에 제1 기준 전압을 제공하고 상기 제2 커패시터에 상기 제1 기준 전압과 크기는 같으나 반대 부호를 갖는 제2 기준 전압을 제공하여, 상기 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스를 비교하고,

상기 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스의 비교 결과에 기초하여, 상기 보정 커패시터에 상기 제1 보정 전압을 제공하는 아날로그 디지털 변환 장치.

청구항 4

제 3항에 있어서,

상기 아날로그 디지털 변환기는,

상기 제1 커패시터의 커패시턴스가 상기 제2 커패시터의 커패시턴스보다 크면, 상기 보정 커패시터에 상기 제2 기준 전압과 동일한 부호를 갖는 상기 제1 보정 전압을 제공하고,

상기 제1 커패시터의 커패시턴스가 상기 제2 커패시터의 커패시턴스보다 작으면, 상기 보정 커패시터에 상기 제1 기준 전압과 동일한 부호를 갖는 상기 제1 보정 전압을 제공하는 아날로그 디지털 변환 장치.

청구항 5

제 1항에 있어서,

상기 제1 보정 전압의 크기는 상기 제1 기준 전압의 크기의 $(1/2)^n$ (n 은 자연수)인 아날로그 디지털 변환 장치.

청구항 6

제 1항에 있어서,

상기 보정 커패시터는 서로 동일한 커패시턴스를 갖는 제1 보정 커패시터와 제2 보정 커패시터를 포함하고,

상기 아날로그 디지털 변환기는,

상기 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스의 비교 결과에 기초하여, 상기 제1 보정 커패시터에 상기 제1 보정 전압을 제공하고,

상기 보정된 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스를 비교하고,

상기 보정된 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스의 비교 결과에 기초하여, 상기 제2 보정 커패시터에 상기 제1 보정 전압과 다른 제2 보정 전압을 제공하는 아날로그 디지털 변환 장치.

청구항 7

제 6항에 있어서,

상기 아날로그 디지털 변환기는,

상기 제1 보정 커패시터에 상기 제1 보정 전압을 제공하고 상기 제1 커패시터에 제1 기준 전압을 제공하고 상기 제2 커패시터에 상기 제1 기준 전압과 크기는 같으나 반대 부호를 갖는 제2 기준 전압을 제공하여, 상기 보정된 제1 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스를 비교하는 아날로그 디지털 변환 장치.

청구항 8

제 1항에 있어서,

상기 제1 커패시터는 서로 다른 제1 상위 커패시터와 제2 상위 커패시터를 포함하고,

상기 보정 커패시터는 상기 제1 상위 커패시터에 연결된 제1 보정 커패시터와 상기 제2 상위 커패시터에 연결된 제2 보정 커패시터를 포함하고,

상기 아날로그 디지털 변환기는,

상기 제1 보정 커패시터에 상기 제1 보정 전압을 제공하여 상기 제1 상위 커패시터의 커패시턴스를 보정하고,

상기 보정된 제1 상위 커패시터의 커패시턴스와 상기 제2 커패시터의 커패시턴스를 이용하여 상기 제2 상위 커패시터를 보정하는 아날로그 디지털 변환 장치.

청구항 9

제 8항에 있어서,

상기 아날로그 디지털 변환기는,

상기 제1 상위 커패시터의 커패시턴스를 보정하는 동안 상기 제2 상위 커패시터에 공통 모드 전압을 제공하는 아날로그 디지털 변환 장치.

청구항 10

제 8항에 있어서,

상기 아날로그 디지털 변환기는,

상기 제2 상위 커패시터에 제1 기준 전압을 제공하고 상기 제1 보정 커패시터에 상기 제1 보정 전압을 제공하고 상기 제1 상위 커패시터와 상기 제2 커패시터에 상기 제1 기준 전압과 크기는 같으나 반대 부호를 갖는 제2 기준 전압을 제공하여, 상기 제2 상위 커패시터의 커패시턴스와 상기 보정된 제1 상위 커패시터의 커패시턴스 및 상기 제2 커패시터의 커패시턴스의 합을 비교하고,

상기 제2 상위 커패시터의 커패시턴스와 상기 보정된 제1 상위 커패시터의 커패시턴스 및 상기 제2 커패시터의 커패시턴스의 합의 비교 결과에 기초하여, 상기 제2 보정 커패시터에 상기 제1 보정 전압과 다른 제2 보정 전압

을 제공하는 아날로그 디지털 변환 장치.

청구항 11

제공되는 아날로그 입력 신호에 대응하는 디지털 출력 신호의 상위 비트들을 결정하는데 이용되는 복수의 상위 커패시터들;

상기 복수의 상위 커패시터들 중 적어도 일부에 연결되는 복수의 보정 커패시터들;

상기 디지털 출력 신호의 하위 비트들을 결정하는데 이용되는 복수의 하위 커패시터들; 및

제1 기준 전압 및 제2 기준 전압을 제공받아 상기 제1 기준 전압의 $(1/2)^n$ (n 은 자연수)배인 제1 차동 기준 전압과 상기 제2 기준 전압의 $(1/2)^n$ 배인 제2 차동 기준 전압을 생성하는 차동 기준 전압 생성 로직을 포함하고,

상기 복수의 보정 커패시터들은 상기 차동 기준 전압 생성 로직으로부터 상기 제1 차동 기준 전압 및 상기 제2 차동 기준 전압 중 어느 하나를 제공받고,

상기 보정 커패시터들은 상기 복수의 상위 커패시터들의 커패시턴스가 2진 가중 구조를 갖도록 하고, 상기 복수의 보정 커패시터들과 상기 복수의 하위 커패시터들은 동일한 커패시턴스를 갖는 아날로그 디지털 변환 장치.

청구항 12

제 11항에 있어서,

상기 복수의 상위 커패시터들은, 상기 복수의 보정 커패시터들을 포함하는 복수의 제1 가변 커패시터들과 상기 복수의 보정 커패시터들을 포함하지 않는 복수의 제1 비가변 커패시터를 포함하고,

상기 복수의 제1 상위 커패시터들 중 어느 하나를 선택하는 선택 신호를 출력하는 보정 로직과,

상기 선택 신호에 따라 상기 복수의 하위 커패시터들과 상기 복수의 제2 상위 커패시터들을 상기 제1 기준 전압과 공통 모드 전압 중 어느 하나에 접속시키는 제1 스위치와,

상기 보정 신호에 따라 상기 복수의 가변 커패시터들 중 선택된 어느 하나를 상기 제2 기준 전압과 상기 공통 모드 전압 중 어느 하나에 접속시키는 제2 스위치를 포함하는 아날로그 디지털 변환 장치.

청구항 13

제 12항에 있어서,

상기 제2 스위치는, 상기 선택 신호에 따라 상기 복수의 제2 하위 커패시터들 중 어느 하나에 상기 제1 기준 전압을 접속시키고 나머지 복수의 제2 하위 커패시터들에 상기 공통 모드 전압을 접속시키는 아날로그 디지털 변환 장치.

청구항 14

제 11항에 있어서,

상기 제1 차동 기준 전압은 서로 다른 제1-1 차동 기준 전압과 제1-2 차동 기준 전압을 포함하고,

상기 제2 차동 기준 전압은 서로 다른 제2-1 차동 기준 전압과 제2-2 차동 기준 전압을 포함하고,

상기 복수의 보정 커패시터들은 상기 제1-1 차동 기준 전압과 상기 제2-1 차동 기준 전압 중 어느 하나에 연결되는 제1 보정 커패시터와 상기 제2-1 차동 기준 전압과 상기 제2-2 차동 기준 전압 중 어느 하나에 연결되는 제2 보정 커패시터를 포함하는 아날로그 디지털 변환 장치.

청구항 15

제 11항에 있어서,

상기 차동 기준 전압 생성 로직은,

직렬로 연결된 복수의 저항들을 포함하고, 상기 복수의 저항들에 의해 상기 제1 차동 기준 전압과 상기 제2 차동 기준 전압을 생성하는 아날로그 디지털 변환 장치.

청구항 16

제 11항에 있어서,

상기 복수의 보정 커패시터들의 개수는 상기 제1 차동 기준 전압의 개수 및 상기 제2 차동 기준 전압의 개수보다 작은 아날로그 디지털 변환 장치.

청구항 17

제 11항에 있어서,

상기 복수의 하위 커패시터들의 개수는 상기 제1 차동 기준 전압의 개수 및 상기 제2 차동 기준 전압의 개수와 동일한 아날로그 디지털 변환 장치.

청구항 18

제 11항에 있어서,

상기 복수의 하위 커패시터들의 개수는 상기 제1 차동 기준 전압의 개수 및 상기 제2 차동 기준 전압의 개수보다 작은 아날로그 디지털 변환 장치.

청구항 19

제1 커패시턴스를 갖는 제1 보정 커패시터를 포함하는 제1 가변 커패시터, 상기 제1 보정 커패시터를 포함하지 않는 제1 비가변 커패시터 및 제1 하위 커패시터를 포함하는 제1 커패시터 어레이;

상기 제1 커패시턴스를 제2 보정 커패시터를 포함하는 제2 가변 커패시터, 상기 제2 보정 커패시터를 포함하지 않는 제2 비가변 커패시터 및 제2 하위 커패시터를 포함하는 제2 커패시터 어레이;

상기 제1 커패시터 어레이의 출력이 연결된 제1 노드와 상기 제2 커패시터 어레이의 출력이 연결된 제2 노드를 포함하는 비교기;

복수의 저항들이 직렬로 연결되어 제1 기준 전압을 분배한 제1 차동 기준 전압과 제2 기준 전압을 분배한 제2 차동 기준 전압을 생성하는 저항 스트링; 및

상기 비교기의 제1 출력 신호에 따라, 상기 제1 보정 커패시터 및 상기 제2 보정 커패시터 중 어느 하나에 상기 제1 차동 기준 전압 및 상기 제2 차동 기준 전압 중 어느 하나를 접속시키는 보정 로직을 포함하고,

상기 제1 가변 커패시터는 상기 제1 보정 커패시터에 의해 그 커패시턴스가 변하고,

상기 제2 가변 커패시터는 상기 제2 보정 커패시터에 의해 그 커패시턴스가 변하고,

상기 제1 하위 커패시터와 상기 제2 하위 커패시터는 상기 제1 커패시턴스를 갖고,

상기 제1 가변 커패시터의 커패시턴스와 상기 제1 비가변 커패시터의 커패시턴스는 상기 제1 보정 커패시터에 의해 이진 가중 구조를 갖고, 상기 제2 가변 커패시터의 커패시턴스와 상기 제2 비가변 커패시터의 커패시턴스는 상기 제2 보정 커패시터에 의해 이진 가중 구조를 갖는 아날로그 디지털 변환 장치.

청구항 20

제 19항에 있어서,

상기 제1 하위 커패시터는 제1-1 하위 커패시터와 제1-2 하위 커패시터를 포함하고,

상기 제2 하위 커패시터는 제2-1 하위 커패시터와 제2-2 하위 커패시터를 포함하고,

상기 제1 커패시터 어레이는,

상기 제1 가변 커패시터와 상기 제1 비가변 커패시터를 아날로그 입력 신호, 공통 모드 전압, 상기 제1 기준 전압 및 상기 제2 기준 전압 중 어느 하나에 접속시키는 제1 스위치를 포함하고,

상기 제1-1 하위 커패시터에 상기 아날로그 입력 신호, 상기 공통 모드 전압, 상기 제1 차동 기준 전압 및 상기

제2 차동 기준 전압 중 어느 하나에 접속시키는 제2 스위치를 포함하고,

상기 제1-2 하위 커패시터에 상기 공통 모드 전압, 상기 제1 차동 기준 전압 및 상기 제2 차동 기준 전압 중 어느 하나에 접속시키는 제3 스위치를 포함하고,

상기 제2 커패시터 어레이는,

상기 제2 가변커패시터와 상기 제2 비가변 커패시터를 상기 아날로그 입력 신호, 상기 공통 모드 전압, 상기 제1 기준 전압 및 상기 제2 기준 전압 중 어느 하나에 접속시키는 제4 스위치를 포함하고,

상기 제2-1 하위 커패시터에 상기 아날로그 입력 신호, 상기 공통 모드 전압, 상기 제1 차동 기준 전압 및 상기 제2 차동 기준 전압 중 어느 하나에 접속시키는 제5 스위치를 포함하고,

상기 제2-2 하위 커패시터에 상기 공통 모드 전압, 상기 제1 차동 기준 전압 및 상기 제2 차동 기준 전압 중 어느 하나에 접속시키는 제6 스위치를 포함하는 아날로그 디지털 변환 장치.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 디지털 변환기 및 아날로그 디지털 변환기의 아날로그 디지털 변환 방법에 관한 것이다.

배경 기술

[0002] 아날로그 디지털 변환기(ADC; Analog to Digital Converter)는 아날로그 신호의 각 신호 레벨들을 나타내는 디지털 코드들의 시퀀스를 발생하는 데 사용되는 아날로그 디지털 변환기다.

[0003] 이러한 아날로그 디지털 변환기의 한 종류로, 반복적으로 아날로그 디지털 변환을 수행하여 데이터를 비교하고 디지털 코드의 비트들을 결정하는 SAR ADC(Successive Approximation Register Analog to Digital Converter)가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 회로도의 복잡도가 개선 또는 경감되고 선형성이 개선 또는 향상된 커패시터들을 포함하는 반도체 장치를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 기술적 과제는 회로도의 복잡도가 개선 또는 경감되고 선형성이 개선 또는 향상된 커패시터들을 포함하는 반도체 장치의 아날로그 디지털 변환 방법을 제공하는 것이다.

[0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 아날로그 디지털 변환 장치는, 아날로그 입력 신호를 출력하는 아날로그 회로, 및 아날로그 입력 신호를 제공받고, 보정 커패시터가 연결된 제1 커패시터와 보정 커패시터가 연결되지 않은 제2 커패시터를 포함하는 제1 커패시터 어레이와, 제1 커패시터와 제2 커패시터를 포함하는 제2 커패시터 어레이를 이용하여 아날로그 입력 신호에 대응하는 디지털 출력 신호를 출력하는 아날로그 디지털 변환기를 포함하되, 아날로그 디지털 변환기는, 보정 커패시터에 제1 보정 전압을 제공하여 제1 커패시터의 커패시턴스를 보정하고, 보정된 제1 커패시터의 커패시턴스를 이용하여 아날로그 입력 신호에 대응하는 디지털 출력 신호를 출력한다.

[0008] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 아날로그 디지털 변환 장치는, 제공되는 아날로그 입력 신호에 대응하는 디지털 출력 신호의 상위 비트들을 결정하는데 이용되는 복수의 상위 커패시터들, 복수의 상위 커패시터들 중 적어도 일부에 연결되는 복수의 보정 커패시터들, 디지털 출력 신호의 하위 비트들을 결정하는데 이용되는 복수의 하위 커패시터들, 및 제1 기준 전압 및 제2 기준 전압을 제공받아 제1 기준 전압의 $(1/2)^n$ (n 은 자연수)배인 제1 차동 기준 전압과 제2 기준 전압의 $(1/2)^n$ 배인 제2 차동 기준 전압을 생성하는 차동 기준 전압 생성 로직을 포함하고, 복수의 보정 커패시터들은 차동 기준 전압 생성 로직으로부터 제1 차동 기준 전압

및 제2 차동 기준 전압 중 어느 하나를 제공받고, 보정 커패시터들은 복수의 상위 커패시터들의 커패시턴스가 2진 가중 구조를 갖도록 하고, 복수의 보정 커패시터들과 복수의 하위 커패시터들은 동일한 커패시턴스를 갖는다.

[0009] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 아날로그 디지털 변환 장치는, 제1 커패시턴스를 갖는 제1 보정 커패시터를 포함하는 제1 가변 커패시터, 제1 보정 커패시터를 포함하지 않는 제1 비가변 커패시터 및 제1 하위 커패시터를 포함하는 제1 커패시터 어레이, 제1 커패시턴스를 제2 보정 커패시터를 포함하는 제2 가변 커패시터, 제2 보정 커패시터를 포함하지 않는 제2 비가변 커패시터 및 제2 하위 커패시터를 포함하는 제2 커패시터 어레이, 제1 커패시터 어레이의 출력이 연결된 제1 노드와 제2 커패시터 어레이의 출력이 연결된 제2 노드를 포함하는 비교기, 복수의 저항들이 직렬로 연결되어 제1 기준 전압을 분배한 제1 차동 기준 전압과 제2 기준 전압을 분배한 제2 차동 기준 전압을 생성하는 저항 스트링, 및 비교기의 제1 출력 신호에 따라, 제1 보정 커패시터 및 제2 보정 커패시터 중 어느 하나에 제1 차동 기준 전압 및 제2 차동 기준 전압 중 어느 하나를 접속시키는 보정 로직을 포함하고, 제1 가변 커패시터는 제1 보정 커패시터에 의해 그 커패시턴스가 변하고, 제2 가변 커패시터는 제2 보정 커패시터에 의해 그 커패시턴스가 변하고, 제1 하위 커패시터와 제2 하위 커패시터는 제1 커패시턴스를 갖고, 제1 가변 커패시터의 커패시턴스와 제1 비가변 커패시터의 커패시턴스는 제1 보정 커패시터에 의해 이진 가중 구조를 갖고, 제2 가변 커패시터의 커패시턴스와 제2 비가변 커패시터의 커패시턴스는 제2 보정 커패시터에 의해 이진 가중 구조를 갖는다.

[0010] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 아날로그 디지털 변환 장치의 동작 방법은, 가변 커패시터에 포함된 보정 커패시터에 보정 전압을 제공하여 가변 커패시터의 커패시턴스를 보정하고, 보정된 가변 커패시터, 보정 커패시터를 포함하지 않는 비가변 커패시터 및 하위 커패시터를 이용하여 아날로그 입력 신호를 샘플링하고, 보정된 가변 커패시터와 비가변 커패시터에 기준 전압을 선택적으로 연결하여 아날로그 입력 신호에 대응하는 디지털 출력 신호의 상위 비트들을 결정하고, 하위 커패시터에 기준 전압을 분배한 차동 기준 전압을 선택적으로 연결하여 디지털 출력 신호의 하위 비트들을 결정하는 것을 포함하고, 가변 커패시터의 커패시턴스와 비가변 커패시터의 커패시턴스는 보정 커패시터에 의해 이진 가중 구조를 갖고, 보정 커패시터와 하위 커패시터는 제1 커패시턴스를 갖는다.

[0011] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0012] 도 1은 몇몇 실시예들에 따른 반도체 장치의 블록도이다.

도 2는 도 1의 SAR ADC의 예시적인 회로도이다.

도 3은 도 2의 차동 기준 전압 생성기의 예시적인 회로도이다.

도 4는 도 2의 A의 확대도이다. 도 5는 몇몇 실시예들에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다.

도 6은 도 5의 S100단계를 설명하기 위한 흐름도이다.

도 7 내지 도 12는 도 6을 설명하기 위한 개념도이다.

도 13은 도 2의 제1 보정 로직의 예시적인 회로도이다.

도 14 및 도 15는 몇몇 실시예들에 따른 반도체 장치의 동작을 설명하기 위한 개념도이다.

도 16은 도 2의 차동 기준 전압 생성기의 예시적인 회로도이다.

도 17은 도 2의 A의 확대도이다. 도 18 내지 도 20은 도 2의 비교기의 동작을 설명하기 위한 예시적인 회로도이다.

도 21은 잡음 감쇄 커패시터에 따른 비교기의 전력 소모와 비교기의 잡음을 나타낸 도면이다.

도 22는 온칩으로 형성된 몇몇 실시예들에 따른 반도체 장치를 나타낸 도면이다.

도 23은 도 22의 반도체 장치의 전력 소모를 나타낸 도면이다.

도 24는 도 22의 반도체 장치의 DNL 및 INL을 나타낸 도면이다.

도 25는 도 22의 반도체 장치의 FFT 스펙트럼을 나타낸 도면이다.

도 26은 도 22의 반도체 장치의 동적 성능을 나타내는 그래프이다.

도 27은 몇몇 실시예들에 따른 SoC의 블록도이다.

도 28은 몇몇 다른 실시예들에 따른 SoC의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 도 1은 몇몇 실시예들에 따른 반도체 장치의 블록도이다.
- [0014] 도 1을 참조하면, 반도체 장치는 SAR DAC(100), 기준 전압 생성기(200), 비교기(300), 제1 보정 로직(410), 제2 보정 로직(420), 제1 SAR 로직(510), 제2 SAR 로직(520) 및 제어 로직(600)을 포함할 수 있다.
- [0015] 몇몇 실시예에서, 도시된 반도체 장치(1)는 예를 들어, 아날로그 입력 신호(V_{INP} , V_{INN})를 이에 대응하는 디지털 출력 신호(D_{OUT})로 변환하는 아날로그 디지털 변환기일 수 있다. 구체적으로, 반도체 장치(1)는, 예를 들어, 연속 근사(Successive Approximation) 방식을 통해 제공된 아날로그 입력 신호(V_{INP} , V_{INN})를 q비트(q는 자연수)의 디지털 출력 신호로 변환하는 SAR ADC(Successive Approximation Register Analog to Digital Converter)일 수 있다.
- [0016] 이하에서는 반도체 장치(1)가 SAR ADC인 것을 예로 들어, 본 발명의 기술적 사상에 대해 설명할 것이나, 본 발명이 이에 제한되는 것은 아니다. 다른 몇몇 실시예에서, 반도체 장치(1)는 SAR ADC가 아닌 다른 종류의 아날로그 디지털 변환기로 실시될 수도 있고, 아날로그 디지털 변환기가 아닌 다른 종류의 반도체 장치(1)로 실시될 수도 있다.
- [0017] 도 1을 참조하면, SAR DAC(100)는 제1 커패시터 어레이(110), 제2 커패시터 어레이(120) 및 차동 기준 전압 생성기(130)를 포함할 수 있다.
- [0018] SAR DAC(100)는 아날로그 입력 신호(V_{INP} , V_{INN})를 제공받을 수 있다. SAR DAC(100)는 아날로그 입력 신호(V_{INP} , V_{INN})를 샘플링 및 홀드할 수 있다. SAR DAC(100)는 아날로그 입력 신호(V_{INP} , V_{INN})를 비교기(300)에 제공할 수 있도록, 소정의 저장 소자를 이용하여 아날로그 입력 신호(V_{INP} , V_{INN})를 저장할 수 있다.
- [0019] SAR DAC(100)는 기준 전압 생성기(200)로부터 제1 기준 전압(V_{REFP}), 공통 모드 전압(V_{CM}) 및 제2 기준 전압(V_{REFN})을 제공받을 수 있다. 공통 모드 전압(V_{CM})은 예를 들어, 제1 기준 전압(V_{REFP})과 제2 기준 전압(V_{REFN})의 중간 값일 수 있다.
- [0020] 차동 기준 전압 생성기(130)는 제1 기준 전압(V_{REFP})을 분배한 제1 차동 기준 전압(V_{DREFP})과 제2 기준 전압(V_{REFN})을 분배한 제2 차동 기준 전압(V_{DREFN})을 생성할 수 있다. 제1 차동 기준 전압(V_{DREFP})은 제1 기준 전압(V_{REFP})의 $(1/2)^n$ 배(n은 자연수)일 수 있다. 제2 차동 기준 전압(V_{DREFN})은 제2 기준 전압(V_{REFN})의 $(1/2)^n$ 배(n은 자연수)일 수 있다.
- [0021] 비교기(300)의 제1 노드는 제1 커패시터 어레이(110)의 제1 출력 전압(V_{DAC1})과 연결될 수 있다. 비교기(300)의 제2 노드는 제2 커패시터 어레이(120)의 제2 출력 전압(V_{DAC2})과 연결될 수 있다. 비교기(300)는 제1 커패시터 어레이(110)의 제1 출력 전압(V_{DAC1})과 제2 커패시터 어레이(120)의 제2 출력 전압(V_{DAC2})을 비교하여 비교 신호(V_{COMP})를 출력할 수 있다. 비교기(300)는 제1 출력 전압(V_{DAC1})이 제2 출력 전압(V_{DAC2})보다 큰 경우, 제1 레벨을 갖는 비교 신호(V_{COMP})를 출력하고, 제1 출력 전압(V_{DAC1})이 제2 출력 전압(V_{DAC2})보다 작은 경우, 제1 레벨과 다른 제2 레벨을 갖는 비교 신호(V_{COMP})를 출력할 수 있다.
- [0022] 제1 SAR 로직(510)은 제3 제어 신호(CS3)에 의해 동작될 수 있다. 제1 SAR 로직(510)과 제2 SAR 로직(520)은 비교기(300)로부터 비교 신호(V_{COMP})를 제공받고, 이를 바탕으로 아날로그 입력 신호(V_{INP} , V_{INN})에 대응하는 디지털 출력 신호(D_{OUT})의 각각의 비트들을 결정할 수 있다.
- [0023] 제2 SAR 로직(520)은 제4 제어 신호(CS4)에 의해 동작될 수 있다. 제1 SAR 로직(510)은 비교 신호(V_{COMP})를 바탕

으로 제1 커패시터 어레이(110)에 제1 스위치 제어 신호(SC1)를 출력할 수 있다. 제2 SAR 로직(520)은 비교 신호(V_{COMP})를 바탕으로 제2 커패시터 어레이(120)에 제2 스위치 제어 신호(SC2)를 출력할 수 있다.

[0024] 본 도면에서 제1 SAR 로직(510)과 제2 SAR 로직(520)은 별도의 로직으로 도시되었지만, 본 발명이 이에 제한되는 것은 아니다. 제1 SAR 로직(510)과 제2 SAR 로직(520)은 하나의 로직으로 구현될 수 있음은 물론이다.

[0025] SAR DAC(100)는 제1 스위치 제어 신호(SC1)에 따라 비교기(300)에 제공되는 제1 출력 전압(V_{DAC1})을 조절할 수 있다. SAR DAC(100)는 제2 스위치 제어 신호(SC2)에 따라 비교기(300)에 제공되는 제2 출력 전압(V_{DAC2})을 조절할 수 있다. 구체적으로, SAR DAC(100)는 제1 스위치 제어 신호(SC1)와 제2 스위치 제어 신호(SC2)에 따라 비교기(300)에 제공되는 제1 출력 전압(V_{DAC1})과 제2 출력 전압(V_{DAC2})의 레벨을 조절할 수 있다. SAR DAC(100)는 제1 스위치 제어 신호(SC1)에 따라 제1 커패시터 어레이(110)에 포함된 복수의 커패시터와 복수의 스위치를 제어하여 제1 출력 전압(V_{DAC1})을 생성하고, 비교기(300)에 출력할 수 있다. 또한 SAR DAC(100)는 제2 스위치 제어 신호(SC2)에 따라 제2 커패시터 어레이(120)에 포함된 복수의 커패시터와 복수의 스위치를 제어하여 제2 출력 전압(V_{DAC2})을 생성하고, 비교기(300)에 출력할 수 있다. 이 때, SAR DAC(100)는 제1 보정 로직(410)에 의해 커패시턴스가 보정된 제1 커패시터 어레이(110)와 제2 보정 로직(420)에 의해 커패시턴스가 보정된 제2 커패시터 어레이(120)를 이용하여 제1 출력 전압(V_{DAC1})과 제2 출력 전압(V_{DAC2})을 조절할 수 있다.

[0026] 한편, 제어 로직(600)은 제1 보정 로직(410), 제2 보정 로직(420), 제1 SAR 로직(510) 및 제2 SAR 로직(520)의 동작을 제어할 수 있다. 예를 들어, 제어 로직(600)은 제1 보정 로직(410), 제2 보정 로직(420), 제1 SAR 로직(510) 및 제2 SAR 로직(520)의 동작의 타이밍을 제어할 수 있다. 제1 보정 로직(410)은 제1 제어 신호(CS1)에 의해 동작될 수 있다. 제1 보정 로직(410)은 제1 제어 신호(CS1)에 따라 제1 커패시터 어레이(110)에 포함된 커패시터의 보정 동작을 수행할 수 있다. 제1 보정 로직(410)은 비교기(300)로부터 비교 신호(V_{COMP})를 제공받고, 이를 바탕으로 제1 커패시터 어레이(110)에 포함된 커패시터에 제1 보정 신호(CC1)를 출력할 수 있다.

[0027] 제2 보정 로직(420)은 제2 제어 신호(CS2)에 의해 동작될 수 있다. 제2 보정 로직(420)은 제2 제어 신호(CS2)에 따라 제2 커패시터 어레이(120)에 포함된 커패시터의 보정 동작을 수행할 수 있다. 제2 보정 로직(420)은 비교기(300)로부터 비교 신호(V_{COMP})를 제공받고, 이를 바탕으로 제2 커패시터 어레이(120)에 포함된 커패시터에 제2 보정 신호(CC2)를 출력할 수 있다.

[0028] 본 도면에서 제1 보정 로직(410)과 제2 보정 로직(420)은 별도의 로직으로 도시되었지만, 본 발명이 이에 제한되는 것은 아니다. 제1 보정 로직(410)과 제2 보정 로직(420)은 하나의 로직으로 구현될 수 있음은 물론이다.

[0029] 제1 커패시터 어레이(110)에 포함된 복수의 커패시터 중 적어도 일부는 제1 보정 신호(CC1)에 따라 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$) 중 어느 하나를 제공받을 수 있다. 제2 커패시터 어레이(120)에 포함된 복수의 커패시터 중 적어도 일부는 제2 보정 신호(CC2)에 따라 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$) 중 어느 하나를 제공받을 수 있다. 이에 따라 제1 커패시터 어레이(110)에 포함된 복수의 커패시터의 커패시턴스가 보정될 수 있고, 제2 커패시터 어레이(120)에 포함된 복수의 커패시터의 커패시턴스가 보정될 수 있다. 이러한 보정에 관한 구체적인 설명은 후술한다.

[0030] SAR DAC(100)는 제1 보정 신호(CC1)에 따라 제1 커패시터 어레이(110)에 포함된 복수의 커패시터와 복수의 스위치를 제어하여 제1 출력 전압(V_{DAC1})을 생성하고, 비교기(300)에 출력할 수 있다. SAR DAC(100)는 제2 보정 신호(CC2)에 따라 제2 커패시터 어레이(120)에 포함된 복수의 커패시터와 복수의 스위치를 제어하여 제2 출력 전압(V_{DAC2})을 생성하고, 비교기(300)에 출력할 수 있다.

[0031] 제어 로직(600)은 제1 SAR 로직(510) 및 제2 SAR 로직(520)에서 결정된 각각의 비트들을 병합하여 디지털 출력 신호(D_{OUT})를 출력할 수 있다.

[0032] 도 2는 도 1의 SAR ADC의 예시적인 회로도이다. 도 3은 도 2의 차동 기준 전압 생성기의 예시적인 회로도이다. 도 4는 도 2의 A의 확대도이다.

- [0033] 도 1 및 도 2를 참조하면, SAR DAC(100)는 복수의 커패시터들(114, 117)을 포함하는 제1 커패시터 어레이(110)와 복수의 커패시터들(124, 127)을 포함하는 제2 커패시터 어레이(120)를 포함할 수 있다.
- [0034] 제1 커패시터 어레이(110)와 비교기(300)의 제1 노드 사이 및 제2 커패시터 어레이(120)와 비교기(300)의 제2 노드 사이에 샘플링 스위치(S5)가 연결될 수 있다. 제1 커패시터 어레이(110)에 포함된 복수의 커패시터들(114, 117)의 제1 단자 및 제2 커패시터 어레이(120)에 포함된 복수의 커패시터들(124, 127)의 제1 단자는 샘플링 스위치(S5)에 의해 공통 모드 전압(V_{CM})에 접속될 수 있다. 샘플링 스위치(S5)는 제1 SAR 로직(510) 및 제2 SAR 로직(520)으로부터 출력된 제1 스위치 제어 신호(SC1) 및 제2 스위치 제어 신호(SC2)에 따라 스위칭될 수 있다.
- [0035] 제1 커패시터 어레이(110)는 복수의 제1 상위 커패시터들(114)과 복수의 제1 하위 커패시터들(117)을 포함할 수 있다. 복수의 제1 상위 커패시터들(114)과 복수의 제1 하위 커패시터들(117)의 제1 단자는 비교기(300)의 제1 노드에 연결될 수 있다. 제2 커패시터 어레이(120)는 복수의 제2 상위 커패시터들(124)과 복수의 제2 하위 커패시터들(127)을 포함할 수 있다. 복수의 제2 상위 커패시터들(124)과 복수의 제2 하위 커패시터들(127)의 제1 단자는 비교기(300)의 제2 노드에 연결될 수 있다.
- [0036] 복수의 제1 상위 커패시터들(114)과 복수의 제2 상위 커패시터들(124)의 제2 단자는 복수의 스위치(S1, S2, S3)에 의해 아날로그 입력 신호(V_{INN}), 공통 모드 전압(V_{CM}), 제1 기준 전압(V_{REFP}) 및 제2 기준 전압(V_{REFN}) 중 어느 하나에 접속될 수 있다. 예를 들어, 제1 단자는 커패시터의 탑 플레이트(top plate)를 지시할 수 있고, 제2 단자는 바텀 플레이트(bottom plate)를 지시할 수 있다.
- [0037] 복수의 제1 하위 커패시터들(117) 중 제1-1 하위 커패시터(115)와 복수의 제2 하위 커패시터들(127) 중 제2-1 하위 커패시터(125)의 제2 단자는 복수의 스위치(S1, S2, S4)에 의해 아날로그 입력 신호(V_{INN}), 공통 모드 전압(V_{CM}), 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$) 중 어느 하나에 접속될 수 있다.
- [0038] 복수의 제1 하위 커패시터들(117) 중 제1-2 하위 커패시터(116)와 복수의 제2 하위 커패시터들(127) 중 제2-2 하위 커패시터(126)의 제2 단자는 복수의 스위치(S2, S4)에 의해 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$) 중 어느 하나에 접속될 수 있다. 복수의 스위치(S1, S2, S3, S4)는 제1 보정 로직(410), 제2 보정 로직(420), 제1 SAR 로직(510) 및 제2 SAR 로직(520)으로부터 출력된 제1 보정 신호(CS1), 제2 보정 신호(CS2), 제1 스위치 제어 신호(SC1) 및 제2 스위치 제어 신호(SC2)에 따라 스위칭될 수 있다.
- [0039] 복수의 제1 상위 커패시터들(114)과 복수의 제2 상위 커패시터들(124)은 각각 단위 커패시터의 커패시턴스의 2^n 배의 커패시턴스를 가질 수 있다. 예를 들어, 복수의 제1 상위 커패시터들(114)과 복수의 제2 상위 커패시터들(124)은 각각 단위 커패시터(C)의 커패시턴스의 2^0 배, 2^1 배, 2^2 배, 2^3 배, 2^4 배, 2^5 배, 2^6 배, 2^7 배의 커패시턴스를 가질 수 있다. 즉, 복수의 제1 상위 커패시터들(114)과 복수의 제2 상위 커패시터들(124)의 커패시턴스는 이진 가중치 구조를 가질 수 있다.
- [0040] 복수의 제1 하위 커패시터들(117)과 복수의 제2 하위 커패시터들(127)은 각각 단위 커패시터일 수 있다. 복수의 하위 커패시터들(117, 127)은 제1 하위 커패시터(115, 125)와 제2 하위 커패시터들(116, 126)을 포함할 수 있다.
- [0041] 제1 커패시터 어레이(110)와 제2 커패시터 어레이(120)는 디지털 출력 신호(D_{OUT})의 상위 비트들을 결정하는데 이용되는 복수의 상위 커패시터들(114, 124)과 디지털 출력 신호(D_{OUT})의 하위 비트들을 결정하는데 이용되는 복수의 하위 커패시터들(117, 127)을 포함할 수 있다. 복수의 상위 커패시터들(114, 124)은 공통 모드 전압(V_{CM}), 제1 기준 전압(V_{REFP}) 및 제2 기준 전압(V_{REFN})을 제공받아 디지털 출력 신호(D_{OUT})의 상위 비트들을 결정하는데 이용될 수 있다. 복수의 하위 커패시터들(117, 127)은 공통 모드 전압(V_{CM}), 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)을 제공받아 디지털 출력 신호(D_{OUT})의 하위 비트들을 결정하는데 이용될 수 있다. 이러한 디지털 출력 신호(D_{OUT})에 관한 구체적인 설명은 후술한다.

- [0042] 예를 들어, 복수의 제1 상위 커패시터들(114)과 복수의 제2 상위 커패시터들(124)은 각각 8개일 수 있으며 최상위 비트로부터 9비트를 결정하는데 이용될 수 있다. 복수의 제1 하위 커패시터들(117)과 복수의 제2 하위 커패시터들(127)은 각각 5개일 수 있으며, 최하위 비트로부터 5비트를 결정하는데 이용될 수 있다. 이하 반도체 장치는 상위 9비트와 하위 5비트의 디지털 출력 신호(D_{OUT})를 출력할 수 있는 것으로 설명하나, 이는 예시일 뿐 본 발명이 이에 제한되는 것은 아니다.
- [0043] 한편, 복수의 제1 상위 커패시터들(114)은 보정 커패시터를 포함하는 복수의 제1 가변 커패시터들(111)과 보정 커패시터를 포함하지 않는 복수의 제1 비가변 커패시터들(113)을 포함할 수 있다. 복수의 제2 상위 커패시터들(124)은 보정 커패시터를 포함하는 복수의 제2 가변 커패시터들(121)과 보정 커패시터를 포함하지 않는 복수의 제2 비가변 커패시터들(123)을 포함할 수 있다.
- [0044] 예를 들어, 복수의 제1 가변 커패시터들(111)과 복수의 제2 가변 커패시터들(121)은 4개일 수 있으며, 복수의 제1 비가변 커패시터들(113)과 복수의 제2 비가변 커패시터들(123)은 4개일 수 있다.
- [0045] 도 2 및 도 3을 참조하면, 제2 가변 커패시터(16C_u)는 복수의 보정 커패시터들(122_1)을 포함할 수 있다. 복수의 보정 커패시터들(122_1)의 제1 단자는 제2 가변 커패시터(16C_u)의 제1 단자와 연결될 수 있다. 복수의 보정 커패시터들(122_1)의 제2 단자는 스위치(S6)에 의해 제1 기준 전압(V_{REFP}) 및 제2 기준 전압(V_{REFN}) 중 어느 하나에 접속되거나, 제1 차동 기준 전압((1/2)V_{REFP}, (1/4)V_{REFP}, (1/8)V_{REFP}, (1/16)V_{REFP}, (1/32)V_{REFP}) 및 제2 차동 기준 전압((1/2)V_{REFN}, (1/4)V_{REFN}, (1/8)V_{REFN}, (1/16)V_{REFN}, (1/32)V_{REFN}) 중 어느 하나에 접속될 수 있다. 여기서, 제1 차동 기준 전압((1/2)V_{REFP}, (1/4)V_{REFP}, (1/8)V_{REFP}, (1/16)V_{REFP}, (1/32)V_{REFP}) 및 제2 차동 기준 전압((1/2)V_{REFN}, (1/4)V_{REFN}, (1/8)V_{REFN}, (1/16)V_{REFN}, (1/32)V_{REFN})은 기준 전압 생성기(130)로부터 제공받을 수 있다. 스위치(S6)는 제2 보정 로직(420)으로부터 출력된 제2 보정 신호(CC2)에 따라 스위칭될 수 있다.
- [0046] 즉, 몇몇 실시예들에서, 복수의 보정 커패시터들(122_1)의 수는 제1 차동 기준 전압((1/2)V_{REFP}, (1/4)V_{REFP}, (1/8)V_{REFP}, (1/16)V_{REFP}, (1/32)V_{REFP})의 수보다 1개 더 많을 수 있다.
- [0047] 복수의 보정 커패시터들(122_1)은 단위 커패시터(C)의 커패시턴스를 가질 수 있다.
- [0048] 제2 가변 커패시터(16C_u)의 커패시턴스는 복수의 보정 커패시터들(122_1)에 보정 전압을 제공하여 보정될 수 있다. 제2 가변 커패시터(16C_u)의 커패시턴스는 예를 들어, 스위치(S6)에 의해 제1 기준 전압(V_{REFP}), 제2 기준 전압(V_{REFN}), 제1 차동 기준 전압((1/2)V_{REFP}, (1/4)V_{REFP}, (1/8)V_{REFP}, (1/16)V_{REFP}, (1/32)V_{REFP}) 및 제2 차동 기준 전압((1/2)V_{REFN}, (1/4)V_{REFN}, (1/8)V_{REFN}, (1/16)V_{REFN}, (1/32)V_{REFN}) 중 어느 하나에 접속된 각각의 보정 커패시터들(122_1)에 의해 보정될 수 있다. 즉, 보정 전압은 제1 차동 기준 전압((1/2)V_{REFP}, (1/4)V_{REFP}, (1/8)V_{REFP}, (1/16)V_{REFP}, (1/32)V_{REFP}) 및 제2 차동 기준 전압((1/2)V_{REFN}, (1/4)V_{REFN}, (1/8)V_{REFN}, (1/16)V_{REFN}, (1/32)V_{REFN}) 중 어느 하나를 의미할 수 있다. 이러한 보정에 관한 구체적인 설명은 후술한다.
- [0049] 도 2 및 도 4를 참조하면, 차동 기준 전압 생성기(130)는 복수의 저항들(R, 2R, 4R, 8R, 16R)을 포함할 수 있다. 복수의 저항들(R, 2R, 4R, 8R, 16R)은 제1 기준 전압(V_{REFP})이 제공되는 노드와 제2 기준 전압(V_{REFN})이 제공되는 노드 사이에 직렬로 연결될 수 있다. 복수의 저항들(R, 2R, 4R, 8R, 16R)의 적어도 일부는 서로 동일한 크기를 가질 수 있고, 나머지는 서로 다른 크기를 가질 수 있다. 예를 들어, 복수의 저항들(R, 2R, 4R, 8R, 16R)은 제1 크기를 갖는 저항들(R)과 제2 크기를 갖는 저항들(2R), 제3 크기를 갖는 저항들(4R), 제4 크기를 갖는 저항들(8R) 및 제5 크기를 갖는 저항들(16R)을 포함할 수 있다. 제5 크기는 제4 크기의 2배이고, 제4 크기는 제3 크기의 2배이고, 제3 크기는 제2 크기의 2배이고, 제2 크기는 제1 크기의 2배일 수 있다.
- [0050] 이에 따라 차동 기준 전압 생성기(130)는 제1 기준 전압(V_{REFP})의 2¹ 배, 2² 배, 2³ 배, 2⁴ 배, 2⁵ 배의 제1 차동 기준 전압((1/2)V_{REFP}, (1/4)V_{REFP}, (1/8)V_{REFP}, (1/16)V_{REFP}, (1/32)V_{REFP})을 생성할 수 있고, 제2 기준 전압(V_{REFN})의 2¹ 배, 2² 배, 2³ 배, 2⁴ 배, 2⁵ 배의 제2 차동 기준 전압((1/2)V_{REFN}, (1/4)V_{REFN}, (1/8)V_{REFN}, (1/16)V_{REFN}, (1/32)V_{REFN})을 생성할 수 있다.

- [0051] 도 5는 몇몇 실시예들에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다.
- [0052] 도 2 및 도 5를 참조하면, 몇몇 실시예들에 따른 반도체 장치는 복수의 제1 상위 커패시터들(114) 중 복수의 제1 가변 커패시터들(111) 및 복수의 제2 상위 커패시터들(124) 중 복수의 제2 가변 커패시터들(121)을 보정할 수 있다(S100).
- [0053] 이어서, 아날로그 입력 신호를 디지털 출력 신호로 변환할 수 있다(S200).
- [0054] 도 6은 도 5의 S100단계를 설명하기 위한 흐름도이다. 도 7 내지 도 12는 도 6을 설명하기 위한 개념도이다.
- [0055] 도 1, 도 2 및 도 6을 참조하면, 제1 보정 로직(410) 및 제2 보정 로직(420)은 제어 로직(600)으로부터 복수의 제1 가변 커패시터(111) 및 복수의 제2 가변 커패시터(121) 중 어느 하나를 선택하는 선택 신호(CI<2:0>)를 제공받을 수 있다(S110). 제1 보정 로직(410) 및 제2 보정 로직(420)은 선택 신호(CI<2:0>)에 따라 복수의 스위치(S1, S2 S3, S4) 및 샘플링 스위치(S5)를 제어하는 보정 신호(CC1, CC2)를 출력할 수 있다.
- [0056] 도 7을 참조하여, 제2 가변 커패시터(16C_u)가 선택된 것으로 가정하여 설명한다. 이어서, 제2 가변 커패시터 커패시터(16C_u)의 커패시턴스와 제2 비가변 커패시터(123)의 커패시턴스 및 제2-1 하위 커패시터(125)의 커패시턴스의 합(8C_u+4C_u+2C_u+C_u+C_u)의 차이(E)가 0보다 큰지 판단할 수 있다(S120). 상기 차이(E)는 수학적 식 1과 같을 수 있다.
- [0057] [수학적 식 1]
- [0058]
$$E = 2^{N+4} C_u - \left(\sum_{K=0}^{3-N} 2^K C_u + C_u \right)$$
- [0060] 즉, 선택 신호(CI<2:0>)에 의해 제1 가변 커패시터(16C_u) 또는 제2 가변 커패시터(16C_u)가 선택된 경우, N은 0일 수 있다. 선택 신호(CI<2:0>)에 의해 제1 가변 커패시터(32C_u) 또는 제2 가변 커패시터(32C_u)가 선택된 경우, N은 1일 수 있다. 선택 신호(CI<2:0>)에 의해 제1 가변 커패시터(64C_u) 또는 제2 가변 커패시터(64C_u)가 선택된 경우, N은 2일 수 있다. 선택 신호(CI<2:0>)에 의해 제1 가변 커패시터(128C_u) 또는 제2 가변 커패시터(128C_u)가 선택된 경우, N은 3일 수 있다.
- [0061] 도 8을 참조하면, 기준 전압(V_{REFP}, V_{REFN})을 샘플링 및 홀딩할 수 있다. 기준 전압(V_{REFP}, V_{REFN})은 선택된 제2 가변 커패시터(16C_u), 복수의 제2 비가변 커패시터들(123) 및 제2-1 하위 커패시터(125)에 의해 샘플링 및 홀딩될 수 있다.
- [0062] 선택된 제2 가변 커패시터(16C_u), 복수의 제2 비가변 커패시터들(123) 및 제2-1 하위 커패시터(125)의 제1 단자에 공통 모드 전압(V_{CM})이 접속될 수 있다. 선택된 제2 가변 커패시터(16C_u)의 제2 단자에 제2 기준 전압(V_{REFN})이 접속될 수 있다. 복수의 제2 비가변 커패시터들(123) 및 제2-1 하위 커패시터(125)의 제2 단자에 제1 기준 전압(V_{REFP})이 접속될 수 있다.
- [0063] 이 외의 비선택된 복수의 제2 가변 커패시터(32C_u, 64C_u, 128C_u)와 복수의 제2-2 하위 커패시터들(126)의 제1 단자 및 제2 단자에 공통 모드 전압(V_{CM})이 접속될 수 있다. 즉, 비선택된 복수의 제2 가변 커패시터(32C_u, 64C_u, 128C_u)와 복수의 제2-2 하위 커패시터들(126)은 리셋된 상태일 수 있다.
- [0064] 이어서, 도 9를 참조하면, 선택된 제2 가변 커패시터(16C_u), 복수의 제2 비가변 커패시터들(123) 및 제2-1 하위 커패시터(125)의 제1 단자에 공통 모드 전압(V_{CM})의 접속을 끊을 수 있다. 선택된 제2 가변 커패시터(16C_u), 복수의 제2 비가변 커패시터들(123) 및 제2-1 하위 커패시터(125)의 제2 단자에 공통 모드 전압(V_{CM})이 접속될 수 있다. 이에 따라 비교기(300)는 제2 커패시터 어레이(120)의 제1 출력 전압(V_{DAC}')과 공통 모드 전압(V_{CM})을 비교할 수 있다.

- [0065] 제1 출력 전압(V_{DAC}')은 수학식 2와 같을 수 있다.
- [0066] [수학식 2]
- [0067]
$$V_{DAC}' = \alpha \{16C_u - (8C_u + 4C_u + 2C_u + C_u + C_u)\}$$
- [0069] 따라서 비교기(300)는 선택된 제2 가변 커패시터($16C_u$)의 커패시턴스와 복수의 제2 비가변 커패시터들(123)의 커패시턴스 및 제2-1 하위 커패시터(125)의 커패시턴스의 합을 비교할 수 있다. 선택된 제2 가변 커패시터($16C_u$)의 커패시턴스가 복수의 제2 비가변 커패시터들(123)의 커패시턴스 및 제2-1 하위 커패시터(125)의 커패시턴스의 합보다 큰 경우, 비교기(300)는 제1 레벨의 비교 신호(V_{COMP})를 출력할 수 있다. 선택된 제2 가변 커패시터($16C_u$)의 커패시턴스가 복수의 제2 비가변 커패시터들(123)의 커패시턴스 및 제2-1 하위 커패시터(125)의 커패시턴스의 합보다 작은 경우, 비교기(300)는 제1 레벨과 다른 제2 레벨의 비교 신호(V_{COMP})를 출력할 수 있다.
- [0070] 이어서, 도 6을 참조하면, S120 단계에서 E가 0보다 큰 경우 선택된 제2 가변 커패시터($16C_u$)의 커패시턴스를 감소시킬 수 있다(S122). 선택된 제2 가변 커패시터($16C_u$)에 연결된 보정 커패시터들(122_1)에 제1 기준 전압(V_{REFP}), 제2 기준 전압(V_{REFN}), 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$) 중 어느 하나를 접속시켜 제1 가변 커패시터($16C_u$)의 커패시턴스를 감소시킬 수 있다.
- [0071] 도 10을 참조하면, 예를 들어, 제2 가변 커패시터($16C_u$)는 $(1/2)C_u$ 인 비이상적인 커패시턴스(C_{N_16})를 가질 수 있다. 이 경우, 추후 아날로그 입력 신호를 디지털 출력 신호로 변환할 경우 제2 가변 커패시터($16C_u$)의 제2 단자에 제2 기준 전압(V_{REFN})이 접속되기 때문에, 보정 커패시터(C_{u_c})의 제2 단자에 제1 차동 기준 전압($(1/2)V_{REFP}$)이 접속될 수 있다. 이에 따라 비이상적인 커패시턴스(C_{N_16})는 제1 차동 기준 전압($(1/2)V_{REFP}$)이 접속된 보정 커패시터(C_{u_c})에 의해 상쇄될 수 있고, 제2 가변 커패시터($16C_u$)는 제2 비가변 커패시터(123)와 함께 이진 가중치 구조를 가질 수 있다.
- [0072] 반면, 다시 도 6을 참조하면, S120 단계에서 E가 0보다 작거나 같은 경우 선택된 제2 가변 커패시터($16C_u$)의 커패시턴스를 증가시킬 수 있다(S124). 선택된 제2 가변 커패시터($16C_u$)에 연결된 보정 커패시터들(122_1)에 제1 기준 전압(V_{REFP}), 제2 기준 전압(V_{REFN}), 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$) 중 어느 하나를 접속시켜 제1 가변 커패시터($16C_u$)의 커패시턴스를 증가시킬 수 있다. 예를 들어, 추후 아날로그 입력 신호를 디지털 출력 신호로 변환할 경우 제2 가변 커패시터($16C_u$)의 제2 단자에 제2 기준 전압(V_{REFN})이 접속되기 때문에, 보정 커패시터(C_{u_c})의 제2 단자에 제2 차동 기준 전압($(1/2)V_{REFN}$)이 접속될 수 있다. 이에 따라 제2 가변 커패시터($16C_u$)의 비이상적인 커패시턴스가 제1 차동 기준 전압($(1/2)V_{REFP}$)이 접속된 보정 커패시터에 의해 상쇄될 수 있고, 제2 가변 커패시터($16C_u$)는 제2 비가변 커패시터(123)와 함께 이진 가중치 구조를 가질 수 있다.
- [0073] 이어서, 다시 도 6을 참조하면, 제2 가변 커패시터 커패시터($16C_u$)의 커패시턴스와 제2 비가변 커패시터(123)의 커패시턴스 및 제2-1 하위 커패시터(125)의 커패시턴스의 합($8C_u+4C_u+2C_u+C_u+C_u$)의 차이(E)의 절대값이 설정값(D)보다 작거나 같은지 판단할 수 있다(S130). 설정값(D)은 설계 마진, 인접하는 커패시터들 간의 기생 성분, 커패시터의 최대 부정합 범위 등을 고려하여 미리 설정된 값일 수 있다.
- [0074] 차이(E)의 절대값이 설정값(D)보다 작거나 같으면, N이 3보다 큰지 판단할 수 있다(S140).
- [0075] S140 단계에서, N이 3보다 크면 S100 단계가 종료될 수 있다.

- [0076] 반면, S140 단계에서, N이 3보다 작거나 같으면, N은 1이 증가될 수 있다(S144). 이어서, S120 단계로 돌아갈 수 있다. 즉, 제1 커패시터 어레이(110)에 포함된 제1 가변 커패시터($16C_u$)에서 제1 커패시터 어레이(110)에 포함된 제1 가변 커패시터($16C_u$)까지 및/또는 제2 커패시터 어레이(120)에 포함된 제2 가변 커패시터($16C_u$)에서 제2 커패시터 어레이(120)에 포함된 제2 가변 커패시터($128C_u$)까지 보정 동작이 수행될 수 있다.
- [0077] 도 12를 참조하면, 제2 가변 커패시터($16C_u$)가 보정된 경우 N은 1이 증가되어 제2 가변 커패시터($32C_u$)가 보정될 수 있다. S120 단계로 되돌아가, 제2 가변 커패시터($32C_u$)의 커패시턴스와 보정된 제2 가변 커패시터($32C_u$)의 커패시턴스, 제2 비가변 커패시터(123)의 커패시턴스 및 제2-1 하위 커패시터(125)의 커패시턴스의 합($16C_u+8C_u+4C_u+2C_u+C_u+C_u$)의 차이(E)가 0보다 큰지 판단할 수 있다.
- [0078] 반면, 다시 도 6을 참조하면, S130 단계에서 차이(E)의 절대값이 설정값(D)보다 크다고 판단되면, 다시 S120 단계로 돌아갈 수 있다. 이에 따라 제1 가변 커패시터(111) 및 제2 가변 커패시터들(121)에 포함된 보정 커패시터들 각각은 서로 다른 차동 기준 전압이 접속될 수 있다. 또한 제1 가변 커패시터(111) 및 제2 가변 커패시터들(121) 각각은 차동 기준 전압이 접속된 보정 커패시터들의 수가 서로 다를 수 있다.
- [0079] 도 11을 참조하면, 제2 가변 커패시터($16C_u$)는 $(1/2)C_u+(1/32)C_u$ 인 비이상적인 커패시턴스($C_{N_{16}}$)를 가질 수 있다. 이 경우, 제2 가변 커패시터($16C_u$)는 보정 커패시터($C_{u,c}$)에 제1 차동 기준 전압($(1/2)V_{REFP}$)이 접속된 상태에서 다시 S120 단계로 돌아와 다른 보정 커패시터($C_{u,c}$)에 제1 차동 기준 전압($(1/32)V_{REFP}$)이 접속될 수 있다. 또는 제2 가변 커패시터($16C_u$)는 보정 커패시터($C_{u,c}$)에 제1 차동 기준 전압($(1/32)V_{REFP}$)이 접속된 상태에서 다시 S120 단계로 돌아와 다른 보정 커패시터($C_{u,c}$)에 제1 차동 기준 전압($(1/2)V_{REFP}$)이 접속될 수 있다. 이에 따라 비이상적인 커패시턴스($C_{N_{16}}$)는 제1 차동 기준 전압($(1/2)V_{REFP}$)이 접속된 보정 커패시터($C_{u,c}$) 및 제1 차동 기준 전압($(1/32)V_{REFP}$)이 접속된 보정 커패시터($C_{u,c}$)에 의해 상쇄될 수 있고, 제2 가변 커패시터($16C_u$)는 제2 비가변 커패시터(123)와 함께 이진 가중치 구조를 가질 수 있다.
- [0080] 상대적으로 큰 커패시턴스를 갖는 커패시터는 단위 커패시터가 복수개 연결되어 있는 구조일 수 있다. 이 때, 커패시터는 복수개의 단위 커패시터를 연결하는 메탈의 기생 성분에 의해 부정합이 발생할 수 있고, 이에 따라 커패시터 어레이에 포함된 커패시터들의 선형성이 저하될 수 있다.
- [0081] 하지만 몇몇 실시예들에 따른 반도체 장치(1)의 경우, 제1 커패시터 어레이(110) 및 제2 커패시터 어레이(120)에서 가장 큰 커패시턴스를 갖는 복수의 제1 가변 커패시터들(111) 및 복수의 제2 가변 커패시터(121)를 보정할 수 있다. 이에 따라 제1 커패시터 어레이(110) 및 제2 커패시터 어레이(120)의 선형성에 각각 가장 큰 영향을 미치는 복수의 제1 가변 커패시터들(111)과 복수의 제2 가변 커패시터들(121)이 보정되므로 제1 커패시터 어레이(110)와 제2 커패시터 어레이(120)의 선형성이 개선 또는 향상될 수 있다.
- [0082] 또한, 몇몇 실시예들에 따른 반도체 장치(1)는 보정된 제1 커패시터 어레이(110)와 보정된 제2 커패시터 어레이(120)를 이용하여 아날로그 입력 신호(V_{INP} , V_{INN})를 디지털 출력 신호(D_{OUT})로 변환하므로 반도체 장치(1)의 정확도가 보다 개선 또는 향상될 수 있다.
- [0083] 한편, 복수의 제1 가변 커패시터들(111)과 복수의 제2 가변 커패시터들(112)은 보정 커패시터(122_1)와 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)을 이용하여 보정될 수 있다. 이 때 보정 커패시터(122_1)는 단위 커패시터를 가질 수 있다. 따라서 몇몇 실시예들에 따른 반도체 장치(1)의 경우 단위 커패시터 이하의 커패시턴스를 갖는 커스텀 커패시터가 요구되지 않으며, 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)은 아날로그 입력 신호(V_{INP} , V_{INN})를 디지털 출력 신호(D_{OUT})로 변환하는데 이용되는 전압이므로 복수의 제1 가변 커패시터들(111)과 복수의 제2 가변 커패시터들(121)을 보정하기 위한 별도의 전압 발생기가 필요하지 않다. 따라서 반도체 장치(1)의 회로도의 복잡도가 경감될 수 있고, 보정 커패시터(122_1)를 제1 커패시터 어레이(110) 및 제2 커패시터 어레이(120)와 함께 배치할 수 있어 반도체 장치(1)의 면적이 감소될 수 있다.
- [0084] 도 13은 도 2의 제1 보정 로직의 예시적인 회로도이다.

- [0085] 도 13을 참조하면, 제1 보정 로직(410)은 디멀스(1:8 DEMUX)와 레지스터(1-byte Register)를 포함할 수 있다. 제1 보정 로직(410)은 보정 대상 커패시터인 제1 가변 커패시터들(111) 및 제2 가변 커패시터들(121) 중 어느 하나를 선택하는 선택 신호(CI<2:0>)와, 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)을 선택하는 보정 신호(DI<7:0>)를 제공받을 수 있다.
- [0086] 선택 신호(CI<2:0>)는 3비트의 디지털 코드일 수 있다. 선택 신호(CI<2:0>)에 따라 제1 가변 커패시터들(111) 및 제2 가변 커패시터들(121) 중 어느 하나가 선택될 수 있다.
- [0087] 보정 신호(DI<7:0>)는 8비트의 디지털 코드일 수 있다. 보정 신호(DI<7:0>)에 따라 선택된 가변 커패시터에 포함된 보정 커패시터들(도 4의 122_1)에 각각 연결된 스위치들(도 4의 S6)이 제어될 수 있다. 이에 따라 보정 커패시터들에 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)이 접속될 수 있다.
- [0088] 도 14 및 도 15는 몇몇 실시예들에 따른 반도체 장치의 동작을 설명하기 위한 개념도이다.
- [0089] 도 2를 참조하면, 몇몇 실시예들에 따른 반도체 장치는 아날로그 입력 신호(V_{INP} , V_{INN})를 샘플링 및 홀드할 수 있다. 구체적으로 제1 커패시터 어레이(110)의 제1 단자 및 제2 커패시터 어레이(120)의 제1 단자에는 공통 모드 전압(V_{CM})이 접속될 수 있다.
- [0090] 제1 커패시터 어레이(110)의 복수의 제1 상위 커패시터들(114) 및 제1-1 하위 커패시터(115)의 제2 단자에는 아날로그 입력 신호(V_{INP})가 접속될 수 있다. 제1 커패시터 어레이(110)의 복수의 제1-2 하위 커패시터들(116)의 제2 단자에는 공통 모드 전압(V_{CM})이 접속될 수 있다.
- [0091] 제2 커패시터 어레이(120)의 복수의 제1 상위 커패시터들(124) 및 제2-1 하위 커패시터(125)의 제2 단자에는 아날로그 입력 신호(V_{INN})가 접속될 수 있다. 제2 커패시터 어레이(120)의 복수의 제2-2 하위 커패시터들(126)의 제2 단자에는 공통 모드 전압(V_{CM})이 접속될 수 있다.
- [0092] 이에 따라 아날로그 입력 신호(V_{INP} , V_{INN})는 제1 커패시터 어레이(110)와 제2 커패시터 어레이(120)의 복수의 커패시터들에 의해 저장될 수 있다.
- [0093] 이어서, 도 14를 참조하면, 제1 커패시터 어레이(110) 및 제2 커패시터 어레이(120)의 제1 단자에 공통 모드 전압(V_{CM})이 접속이 끊어질 수 있다. 제1 커패시터 어레이(110) 및 제2 커패시터 어레이(120)의 제2 단자에 공통 모드 전압(V_{CM})이 접속될 수 있다. 비교기(300)는 제1 커패시터 어레이(110)의 출력과 제2 커패시터 어레이(120)의 출력을 비교할 수 있다. 비교기(300)의 비교 신호(V_{COMP})에 따라 아날로그 입력 신호(V_{INP} , V_{INN})의 최상위 비트가 결정될 수 있다.
- [0094] 이어서, 도 15를 참조하면, 제1 가변 커패시터(128_{Cu})의 제2 단자에 제1 기준 전압(V_{REFP})이 접속될 수 있고, 제2 가변 커패시터(128_{Cu})의 제2 단자에 제2 기준 전압(V_{REFN})이 접속될 수 있다. 비교기(300)의 비교 신호(V_{COMP})에 따라 아날로그 입력 신호(V_{INP} , V_{INN})의 상위 비트가 결정될 수 있다. 이러한 동작을 반복하여 아날로그 입력 신호(V_{INP} , V_{INN})에 대응되는 디지털 출력 신호(D_{OUT})의 상위 비트들이 결정될 수 있다.
- [0095] 한편, 하위 비트들은 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$)에 접속된 제1 하위 커패시터들(117)과 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)에 접속된 제2 하위 커패시터들(127)에 의해 결정될 수 있다. 예를 들어, 제1 하위 커패시터들(117)의 개수는 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$)의 개수와 동일할 수 있고, 제2 하위 커패시터들(127)의 개수는 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)의 개수와 동일할 수 있다.
- [0096] 즉, 몇몇 실시예들에 따른 반도체 장치는 제1 차동 기준 전압($(1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압($(1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)과 단위 커패시터

스를 갖는 하위 커패시터(117, 127)를 이용하여 하위 비트들을 결정할 수 있다. 따라서 몇몇 실시예들에 따른 반도체 장치는 단위 커패시턴스 이하의 커패시턴스를 갖는 커스텀 커패시터가 필요하지 않아 반도체 장치의 회로도의 복잡성이 경감될 수 있다.

[0097] 도 16은 도 2의 차동 기준 전압 생성기의 예시적인 회로도이다. 도 17은 도 2의 A의 확대도이다. 도 17은 도 2의 차동 기준 전압 생성기가 도 16의 회로도를 가지는 경우 도 2의 A의 확대도이다. 설명의 편의상, 도 3 및 도 4와 다른 점을 중심으로 설명한다.

[0098] 도 16을 참조하면, 차동 기준 전압 생성기(130_2)는 제6 크기를 갖는 저항들(32R)을 더 포함할 수 있다. 제6 크기는 제5 크기의 2배일 수 있다. 이에 따라 차동 기준 전압 생성기(130)는 제1 기준 전압(V_{REFP})의 2^6 배의 제1 차동 기준 전압($((1/64)V_{REFP})$)과 제2 기준 전압(V_{REFN})의 2^6 배의 제2 차동 기준 전압($((1/64)V_{REFN})$)을 생성할 수 있다.

[0099] 도 2 및 도 17을 참조하면, 제2 가변 커패시터($16C_u$)는 제1 차동 기준 전압($((1/64)V_{REFP})$)과 제2 차동 기준 전압($((1/64)V_{REFN})$)에 선택적으로 연결되는 보정 커패시터($C_{u,c}$)를 더 포함할 수 있다. 따라서 제2 가변 커패시터($16C_u$)는 보다 많은 수의 제1 차동 기준 전압($((1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$, $(1/64)V_{REFP}$) 및 제2 차동 기준 전압($((1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$, $(1/64)V_{REFN}$)에 선택적으로 연결될 수 있고, 제2 가변 커패시터($16C_u$)의 커패시턴스는 보다 정밀하게 보정될 수 있다.

[0100] 한편, 도 2 및 도 16을 참조하면, 제1 차동 기준 전압($((1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$, $(1/64)V_{REFP}$)의 개수 및 제2 차동 기준 전압($((1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$, $(1/64)V_{REFN}$)의 개수는 복수의 제1 하위 커패시터들(117)의 개수 및 복수의 제2 하위 커패시터들(127)의 개수와 다를 수 있다. 제1 차동 기준 전압($((1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$, $(1/64)V_{REFP}$)의 개수는 복수의 제1 하위 커패시터들(117)의 개수보다 클 수 있고, 제2 차동 기준 전압($((1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$, $(1/64)V_{REFN}$)의 개수는 복수의 제2 하위 커패시터들(127)의 개수보다 클 수 있다. 복수의 제1 하위 커패시터들(117)과 복수의 제2 하위 커패시터들(127)은 제1 차동 기준 전압 중 일부($((1/2)V_{REFP}$, $(1/4)V_{REFP}$, $(1/8)V_{REFP}$, $(1/16)V_{REFP}$, $(1/32)V_{REFP}$) 및 제2 차동 기준 전압 중 일부($((1/2)V_{REFN}$, $(1/4)V_{REFN}$, $(1/8)V_{REFN}$, $(1/16)V_{REFN}$, $(1/32)V_{REFN}$)와 함께 디지털 출력 신호(D_{OUT})의 하위 비트들을 결정하는데 이용될 수 있다.

[0101] 도 18 내지 도 20은 도 2의 비교기의 동작을 설명하기 위한 예시적인 회로도이다.

[0102] 도 2 및 도 18을 참조하면, 몇몇 실시예들에 따른 비교기(300)는 잡음 감쇄 커패시터(C_{LN} , C_{LP})에 의해 연결된 2단 래치 구조일 수 있다. 잡음 감쇄 커패시터(C_{LN} , C_{LP})는 제1 래치의 출력 노드(V_{LP} , V_{LN})와 제2 전압(V_{SS}) 사이에 연결될 수 있다. 잡음 감쇄 커패시터(C_{LN} , C_{LP})는 제1 래치의 출력 노드(V_{LP} , V_{LN})의 전압 레벨의 변화를 완충시킬 수 있다. 이에 따라 비교기(300)의 잡음은 감소 또는 완화될 수 있다.

[0103] Q1이 Q2는 서로 상보적인 클럭 신호일 수 있다. 즉, Q1이 제1 레벨인 경우 Q2는 제2 레벨이고, Q1이 제2 레벨인 경우 Q2는 제1 레벨이다. 예를 들어, 제1 레벨은 HIGH를 지시하고 제2 레벨은 LOW를 지시할 수 있다.

[0104] Q2이 제1 레벨인 경우, 트랜지스터(NT5, NT8)은 온될 수 있다. 이에 따라 제1 노드(ND1)와 제2 노드(ND2)는 제2 전압(V_{SS})이 제공될 수 있다. 또한 트랜지스터(NT1', NT4')는 온될 수 있다. 이에 따라 제2 래치의 제1 출력 노드(V_{OP})와 제2 출력 노드(V_{ON})는 제2 전압(V_{SS})이 제공될 수 있다. 이 경우 Q이 1이 제2 레벨이므로 트랜지스터(PT1, PT2, PT3, PT4)는 온될 수 있다. 이에 따라 제3 노드(ND3)와 제4 노드(ND4)는 제1 전압(V_{DD})이 제공될 수 있다.

[0105] 예를 들어, 트랜지스터(NT1, NT2, NT3, NT4, NT5, NT6, NT7, NT8, NT1', NT2', NT3', NT4')는 N형 트랜지스터로 구성되고, 트랜지스터(PT1, PT2, PT3, PT4, PT1', PT2', PT3', PT4')는 P형 트랜지스터로 구성될 수 있으나, 본 발명이 이에 제한되는 것은 아니다.

- [0106] 이어서 도 19를 참조하면, Q2가 제2 레벨이고 Q1이 제2 레벨인 경우, 트랜지스터(PT1, PT2, PT3, PT4, NT5, NT8)가 오프될 수 있고, 트랜지스터(NT3, NT4)가 온될 수 있다. 이에 따라 제3 노드(ND3)로부터 제1 노드(ND1)에, 제4 노드(ND4)로부터 제2 노드(ND2)에 제1 전압(V_{DD})이 제공될 수 있다.
- [0107] 이어서, 도 20을 참조하면, 제1 커패시터 어레이(110)의 제1 출력 전압(V_{DAC1})과 제2 커패시터 어레이(120)의 제2 출력 전압(V_{DAC2})이 입력될 수 있다. 제1 출력 전압(V_{DAC1})에 따라 트랜지스터(NT6)가 온될 수 있고, 제2 출력 전압(V_{DAC2})에 따라 트랜지스터(NT7)가 온될 수 있다. 제1 출력 전압(V_{DAC1})이 제2 출력 전압(V_{DAC2})보다 크면, 트랜지스터(NT6)가 트랜지스터(NT7)보다 빠르게 온될 수 있고, 제1 노드(ND1)에 제2 노드(ND2)보다 먼저 제2 전압(V_{SS})이 제공될 수 있다. 제1 출력 전압(V_{DAC1})이 제2 출력 전압(V_{DAC2})보다 작으면, 트랜지스터(NT6)가 트랜지스터(NT7)보다 늦게 온될 수 있고, 제2 노드(ND1)에 제1 노드(ND1)보다 먼저 제2 전압(V_{SS})이 제공될 수 있다.
- [0108] 한편, 제1 래치의 출력 노드(V_{LP})에 게이팅된 트랜지스터(NT1)는 제1 래치의 출력 노드(V_{LP})의 전압 레벨에 따라 온되어 제3 노드(ND3)로 제1 전압(V_{DD})을 제공할 수 있다. 이에 따라 제1 래치의 출력 노드(V_{LP})에 게이팅된 트랜지스터(PT4')는 제1 래치의 출력 노드(V_{LP})의 전압 레벨에 따라 온될 수 있다.
- [0109] 제2 래치의 출력 노드(V_{LN})에 게이팅된 트랜지스터(NT2)는 제2 래치의 출력 노드(V_{LN})의 전압 레벨에 따라 온되어 제4 노드(ND5)로 제1 전압(V_{DD})을 제공할 수 있다. 이에 따라 제1 래치의 출력 노드(V_{LN})에 게이팅된 트랜지스터(PT3')는 제1 래치의 출력 노드(V_{LN})의 전압 레벨에 따라 온될 수 있다.
- [0110] 이에 따라 비교기(300)는 제1 출력 전압(V_{DAC1})과 제2 출력 전압(V_{DAC2})의 비교 신호(V_{COMP})를 출력할 수 있다.
- [0111] 도 21은 잡음 감쇄 커패시터에 따른 비교기의 전력 소모와 비교기의 잡음을 나타낸 도면이다.
- [0112] 도 21을 참조하면, 잡음 감쇄 커패시터(C_{LN} , C_{LP})의 커패시턴스가 증가할수록 비교기(300)의 전력 소모는 증가할 수 있다.
- [0113] 제1 전압(V_{DD})이 1V이고 제2 전압(V_{SS})이 접지 전압인 경우, 잡음 감쇄 커패시터(C_{LN} , C_{LP})의 커패시턴스가 증가할수록 비교기(300)의 전력 소모량이 감소될 수 있다. 잡음 감쇄 커패시터(C_{LN} , C_{LP})의 커패시턴스가 증가할수록 비교기(300)의 잡음이 감소될 수 있으나 잡음 감쇄 커패시터(C_{LN} , C_{LP})의 커패시턴스가 약 400fF이상인 경우 비교기(300)의 잡음의 감소는 미미하다.
- [0114] 따라서 몇몇 실시예들에 따른 비교기(300)는 400fF의 커패시턴스를 갖는 잡음 감쇄 커패시터(C_{LN} , C_{LP})를 포함할 수 있다. 이에 따라 비교기(300)의 잡음이 감소되고 전력 소모가 개선될 수 있다.
- [0115] 도 22는 온칩으로 형성된 몇몇 실시예들에 따른 반도체 장치를 나타낸 도면이다. 도 23은 도 22의 반도체 장치의 전력 소모를 나타낸 도면이다. 도 24는 도 22의 반도체 장치의 DNL 및 INL이며, 도 25는 도 22의 반도체 장치의 FFT 스펙트럼이며, 도 26은 도 22의 반도체 장치의 동적 성능을 나타내는 그래프이다.
- [0116] 도 22를 참조하면, 온칩으로 형성된 몇몇 실시예들에 따른 반도체 장치는 14비트 해상도, 10MS/s 샘플링 속도를 갖는 SAR ADC로 28nm CMOS 공정으로 제작되었다. 온칩의 면적은 0.062nm^2 ($0.27\text{nm} \times 0.23\text{nm}$)이다.
- [0117] 도 23을 참조하면, 반도체 장치는 1V의 전원 전압 조건에서 10MS/s의 샘플링 속도로 동작할 경우, 351 μ W의 전력을 소모한다. 보정 로직(400), SAR 로직(500) 및 제어 로직(600)은 전체 전력 중 17%를 소모할 수 있다(A). 비교기(300)는 전체 전력 중 58%를 소모할 수 있다(B). SAR DAC(110, 120)는 전체 전력 중 25%를 소모할 수 있다.
- [0118] 도 24a 및 도 25a는 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정되지 않은 반도체 장치를 나타내며, 도 24b 및 도 25b는 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정된 반도체 장치가 적용된 경우를 나타낸다.
- [0119] 도 24a를 참조하면, 14비트 해상도에서 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정되지 않은 반도체 장치에서 차동 비선형 오차(Differential Non Linearity; DNL)은 1.87LSB수준을 나타내고 누적 비선형 오차(Integral Non Linearity; INL)은 3.95LSB수준을 나타낸다. 반면, 도 24b를 참조하면, 14비트 해상도에서

몇몇 실시예들에 따른 반도체 장치에서 차동 비선형 오차는 1.59LSB수준을 나타내고 누적 비선형 오차는 2.92LSB수준을 나타낸다. 즉, 몇몇 실시예들에 따른 반도체 장치에서 각 코드에 대한 차동 비선형 오차의 범위 및 각 코드에 대한 누적 비선형 오차가 감소될 수 있다.

- [0120] 도 25a를 참조하면, 1.1MHz의 입력 주파수(f_{IN}) 및 10MS/s 샘플링 속도(f_s)에서 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정되지 않은 반도체 장치의 SNDR(Signal to Noise Distortion Ratio)은 65.4dB수준을 나타내고, SFDR(Spurious Free Dynamic Range)은 72.2dB 수준을 나타낸다. 반면, 몇몇 실시예들에 따른 반도체 장치의 SNDR은 70.0dB수준을 나타내고 SFDR은 85.0dB수준을 나타낸다.
- [0121] 도 26a는 샘플링 속도에 따른 반도체 장치의 동적 성능을 나타내는 그래프이다. 도 26b는 입력 주파수에 따른 반도체 장치의 동적 성능을 나타내는 그래프이다. 도 26a 및 도 26b에서 (a)는 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정되지 않은 반도체 장치를 나타내며 (b)는 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정된 반도체 장치가 적용된 경우를 나타낸다.
- [0122] 도 26a를 참조하면, 1.1MHz의 입력 주파수(f_{IN})에서 샘플링 속도(f_s)가 10MS/s까지 증가하는 동안, 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정되지 않은 반도체 장치의 SNDR은 65.1dB이상이고 SFDR은 70.8dB이상이다. 반면, 1.1MHz의 입력 주파수(f_{IN})에서 샘플링 속도(f_s)가 10MS/s까지 증가하는 동안, 몇몇 실시예들에 따른 반도체 장치의 SNDR은 69.9dB정도를 유지하고 SFDR은 83.9dB정도를 유지한다.
- [0123] 도 26b를 참조하면, 10MS/s 샘플링 속도(f_s)에서 입력 주파수(f_{IN})가 Nyquist 주파수인 5MHz까지 증가하는 동안, 몇몇 실시예들에 따라 가변 커패시터의 커패시턴스가 보정되지 않은 반도체 장치의 SNDR은 64.3dB이상이고 SFDR은 69.5dB이상이다. 반면, 1.1MHz의 입력 주파수(f_{IN})에서 샘플링 속도(f_s)가 10MS/s까지 증가하는 동안, 몇몇 실시예들에 따른 반도체 장치의 SNDR은 67.8dB정도를 유지하고 SFDR은 77.6dB정도를 유지한다.
- [0124] 도 27은 몇몇 실시예들에 따른 SoC의 블록도이다. 앞서 설명한 바와 다른 점을 중심으로 설명한다.
- [0125] 도 25를 참조하면, SoC(System on Chip)(2)는 예를 들어, 모뎀 장치(modem device)(1000)를 포함할 수 있다.
- [0126] 모뎀 장치(1000)는, 수신단(1100), 복수의 SAR ADC(1210_1~1210_m) 및 디지털 신호 처리기(1300)를 포함할 수 있다.
- [0127] 수신단(1100)은 아날로그 신호(AS)를 수신할 수 있다. 몇몇 실시예에서, 수신단(1100)은 복수의 아날로그 신호(AS)를 수신할 수 있다.
- [0128] 복수의 SAR ADC(1210_1~1210_m)는 연속 근사 방식을 이용하여 수신단(1100)으로부터 제공된 아날로그 신호(AS)를 디지털 신호(DS)로 변환할 수 있다. 복수의 SAR ADC(1210_1~1210_m)는 예를 들어 앞서 설명한 반도체 장치일 수 있다.
- [0129] 디지털 신호 처리기(1300)는 복수의 SAR ADC(1210_1~1210_m)로부터 출력된 디지털 신호(DS)를 제공받아 디지털 연산을 수행할 수 있다.
- [0130] 도 28은 몇몇 다른 실시예들에 따른 SoC의 블록도이다.
- [0131] 도 28을 참조하면, SoC(3)는, 픽셀 어레이(3020), 로우 드라이버(3040), 컬럼 드라이버(3080), 제어 모듈(3120), 디지털 상관 이중 샘플링 모듈(3240), 이미지 프로세서(3220)를 포함할 수 있다.
- [0132] 픽셀 어레이(3020)는 기결정된 수의 로우/컬럼(row/column)으로 배열된 복수개의 픽셀을 가질 수 있다.
- [0133] 구체적으로, 픽셀 어레이(3020)의 로우에 위치한 픽셀들은 로우 선택 라인에 의해 동시에 켜지고, 각 컬럼의 픽셀 신호들은 컬럼 선택 라인에 의해 출력 라인으로 선택적으로 제공될 수 있다. 복수의 로우/컬럼 선택 라인들은 전체 픽셀 어레이(3020)를 위해 제공될 수 있다.
- [0134] 로우 드라이버(3040)는 로우 어드레스 디코더(3020)에 응답하여 로우 라인들을 선택적으로 활성화시킬 수 있다. 또한 컬럼 드라이버(3080)는 컬럼 어드레스 디코더(3060)에 의하여 컬럼 선택 라인들을 선택적으로 활성화시킬 수 있다. 따라서, 로우/컬럼 어드레스는 픽셀 어레이(3020)의 각 픽셀들로 제공될 수 있다.
- [0135] 제어 모듈(3120)은 픽셀 판독을 위해 적절한 로우/컬럼 선택 라인들을 선택하는 로우 어드레스 디코더(3020) 및 컬럼 어드레스 디코더(3060)를 컨트롤 할 수 있다.

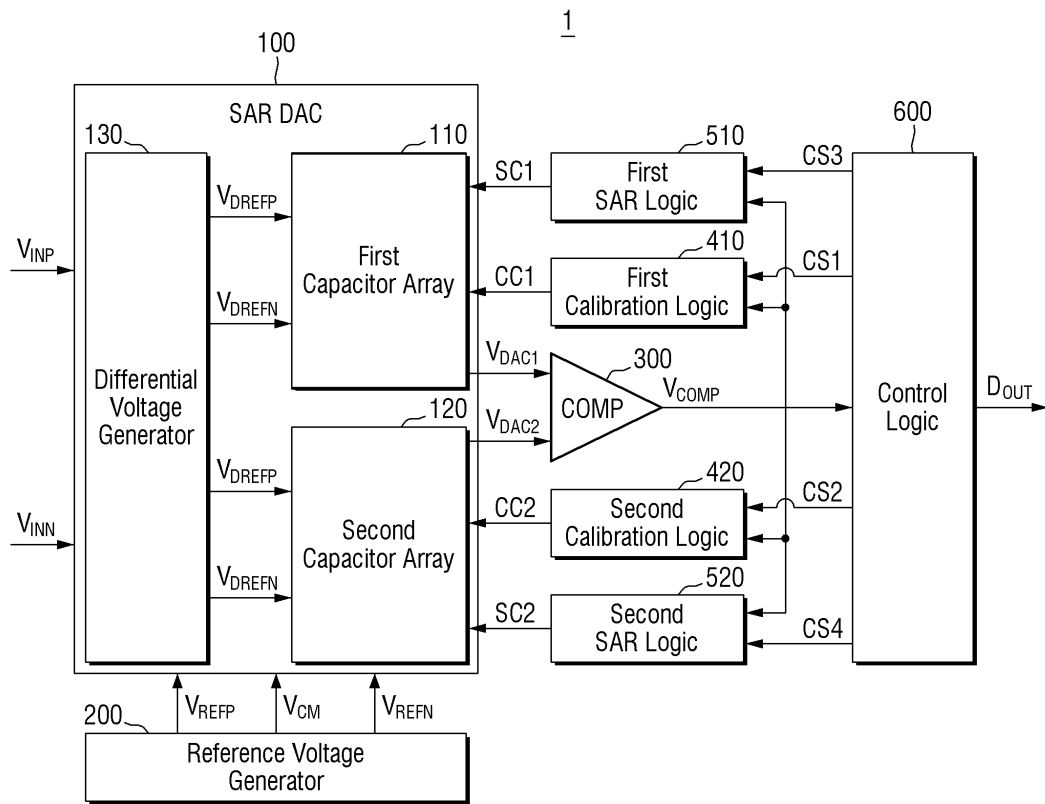
- [0136] 구체적으로, 제어 모듈(3120)은 선택된 로우/컬럼 선택 라인들의 각 드라이브 트랜지스터로 드라이빙 전압을 가하는 로우 드라이버(3040)와 컬럼 드라이버(3080)를 제어할 수 있다.
- [0137] 디지털 상관 이중 샘플링 모듈(3240)은 픽셀 어레이(3020)의 각 컬럼의 선택된 픽셀들에 대한 픽셀 리셋 신호와 픽셀 이미지 신호를 이용하여 디지털 상관 이중 샘플링 공정을 수행할 수 있다.
- [0138] 디지털 상관 이중 샘플링 모듈(3240)은 S/H(sample and hold) 모듈(314), 증폭기(AMP) 모듈(316), 연속 근사형 아날로그-디지털 변환 장치(SA-ADC; successive approximation analog-to-digital converter) 모듈(3180) 및 연산 메모리 모듈(3200)을 포함할 수 있다.
- [0139] S/H 모듈(3140)은 컬럼 드라이버(3080)와 관련되고, n개의 S/H 장치를 포함할 수 있다. 또한 각 S/H 장치는 픽셀 어레이(3020)의 선택된 픽셀들을 위해 픽셀 리셋 신호 및 픽셀 이미지 신호를 샘플(sample) 및 홀드(hold)할 수 있다. 여기에서, n은 정수를 포함할 수 있고, 컬럼들의 수 또는 그 일부를 표현할 수 있다.
- [0140] 증폭기 모듈(3160)은 n개의 증폭기들을 포함하고, 샘플 및 홀드된 픽셀 리셋 신호 및 픽셀 이미지 신호를 증폭시킬 수 있다.
- [0141] 연속 근사형 아날로그-디지털 변환 장치 모듈(3180)은 n개의 연속근사형 아날로그-디지털 변환 장치(3180a)를 포함하고, 각각의 연속 근사형 아날로그-디지털 변환 장치는 증폭된 픽셀 리셋 신호와 픽셀 이미지 신호를 연속 근사 방식을 이용하여 디지털 신호로 변환할 수 있다.
- [0142] n개의 연속근사형 아날로그-디지털 변환 장치(3180a)는 예를 들어 앞서 설명한 반도체 장치를 포함할 수 있다.
- [0143] 연산 메모리 모듈(3200)은 n개의 연산 메모리 장치(Arithmetic memory)들을 포함하고, 각각의 연산 메모리 장치(Arithmetic memory)는, MSB 우선 계산(Most-significant-bit-first calculation)을 이용하여 디지털 픽셀 리셋 신호와 디지털 픽셀 이미지 신호 간의 차를 효과적으로 구하여, 디지털 차이 신호를 발생시킬 수 있다. 여기에서, MSB 우선 계산은 이진수 연산을 포함하는 덧셈 또는 뺄셈 연산을 포함할 수 있다.
- [0144] 이미지 프로세서(3220)는 연산 메모리 모듈(3200)로부터 제공받은 디지털 차이 신호를 처리하여, 픽셀 어레이(3020)의 복수의 픽셀들에 의해 캡처된 이미지의 출력 이미지 컬러 리프로덕션(output image color reproduction)을 제공한다.
- [0145] 구체적으로, 이미지 프로세서(3220)는 다양한 동작을 수행하고, 이러한 다양한 동작은 예를 들어, 위치상 이득 조절(positional gain adjustment), 결합 수정, 노이즈 감소, 옵티컬 크로스톡 감소(optical crosstalk reduction), 디모자이크(demosaicing), 리사이징(resizing), 샤프닝(sharpening) 등을 포함할 수 있으나, 본 발명의 실시예들이 이에 제한되는 것은 아니다.
- [0146] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

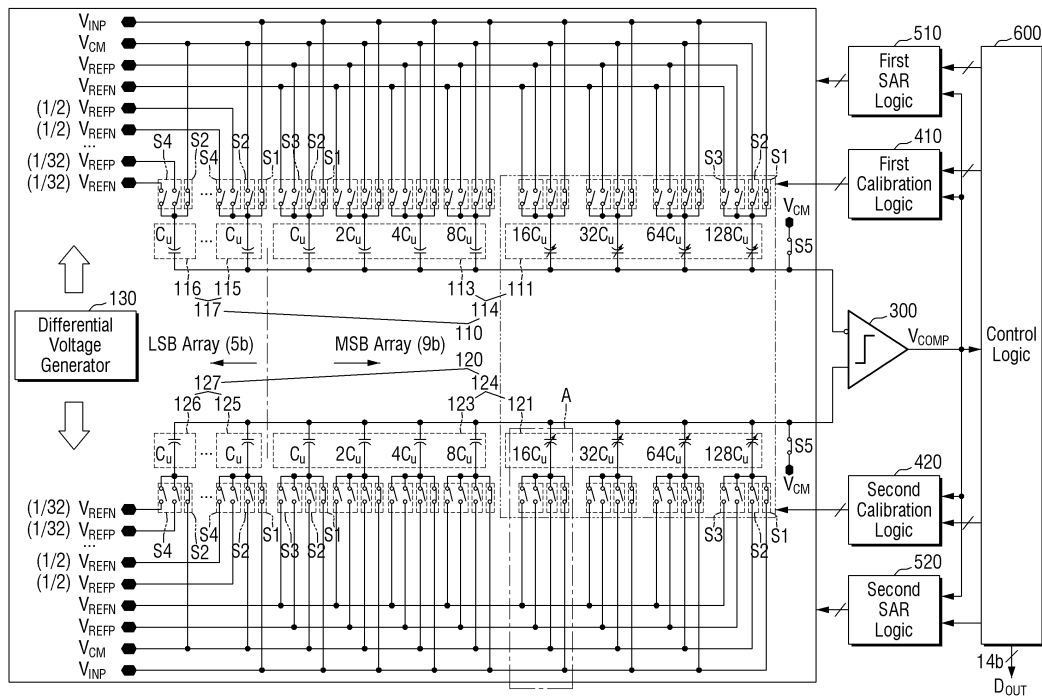
- [0147] 100: SAR DAC 200: 기준 전압 생성기
300: 비교기 410, 420: 제1 및 제2 보정 로직
510, 520: 제1 및 제2 SAR 로직
600: 제어 로직

도면

도면1

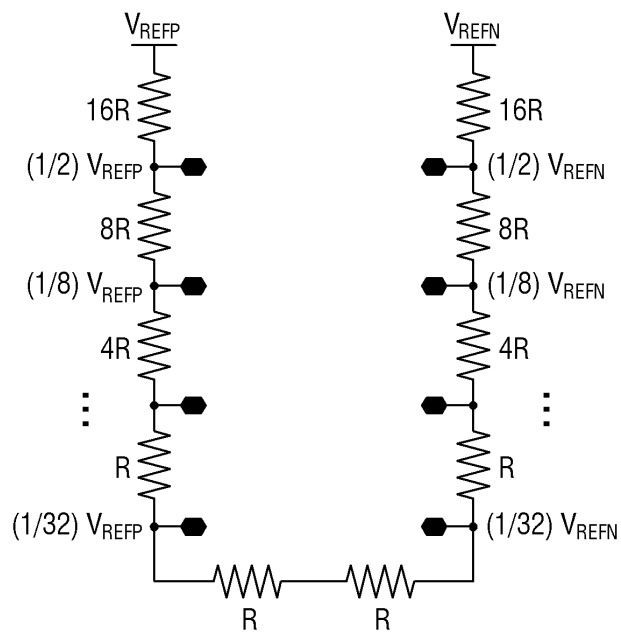


도면2

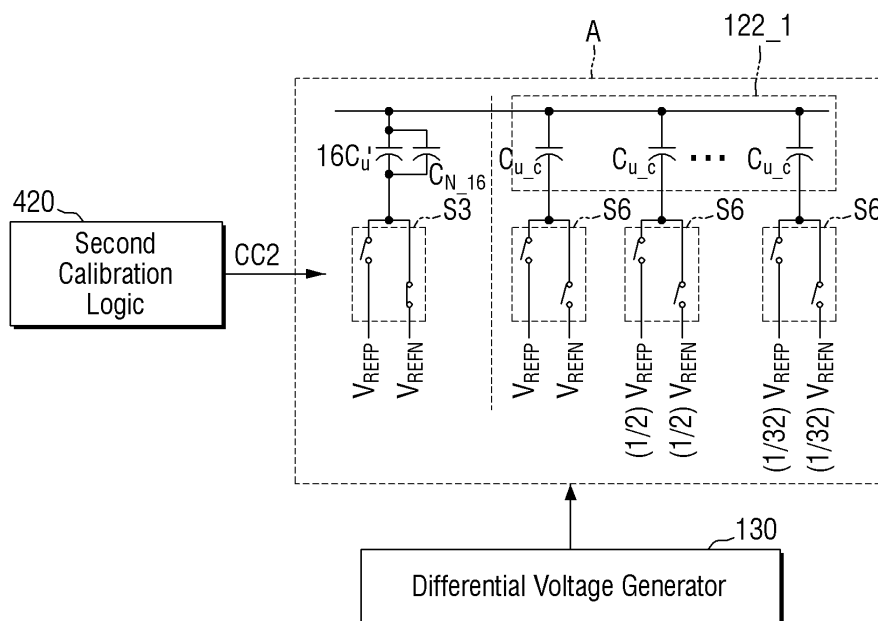


도면3

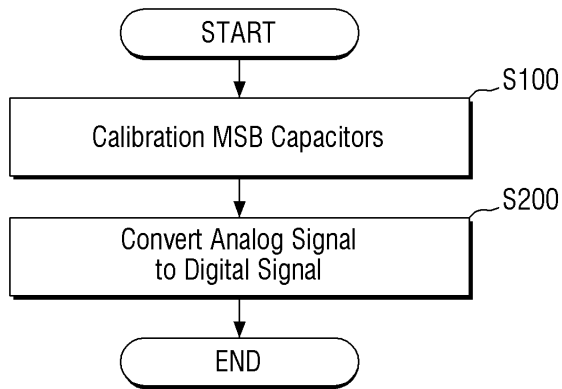
130_1



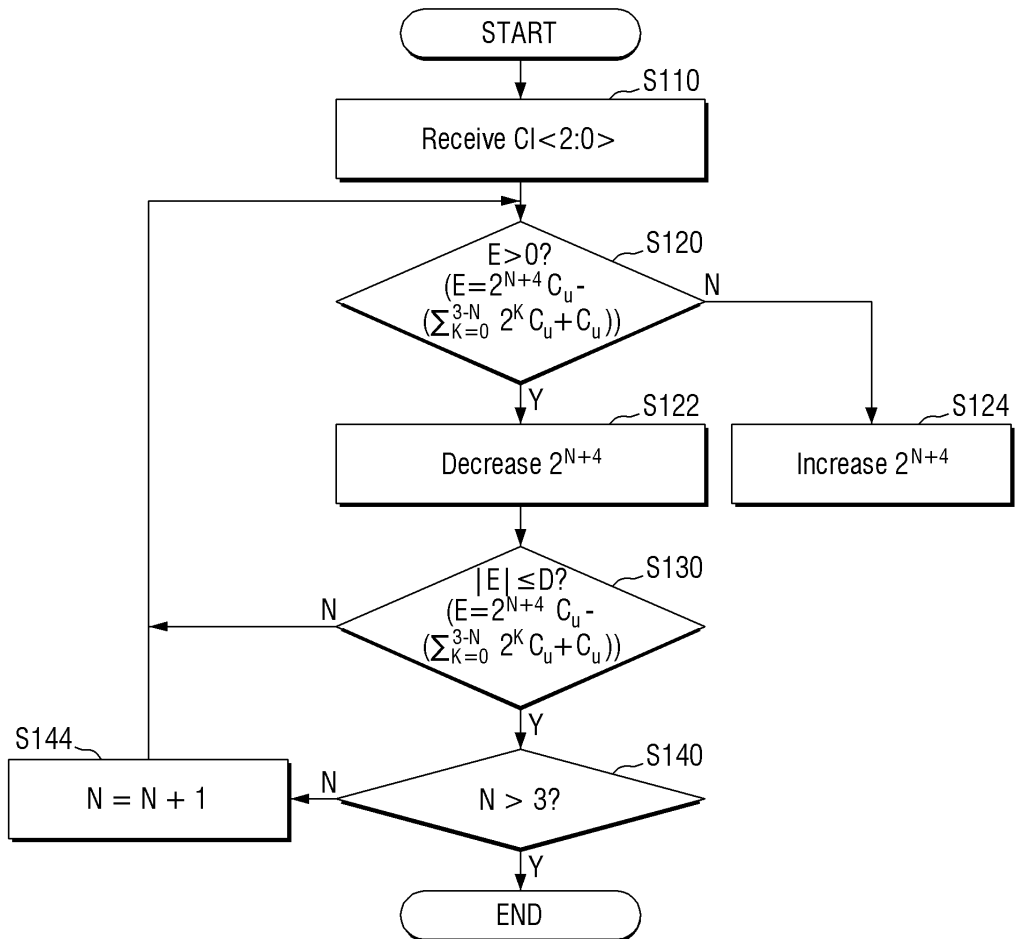
도면4



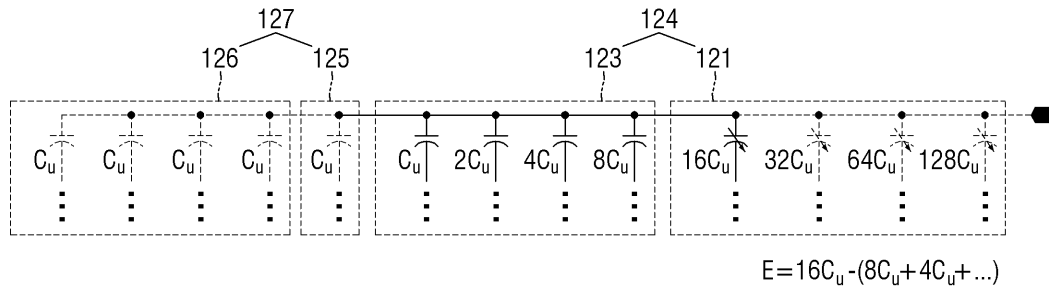
도면5



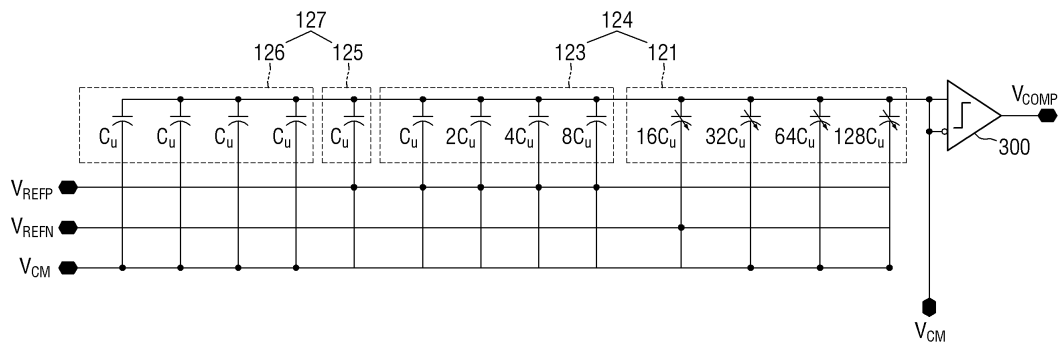
도면6



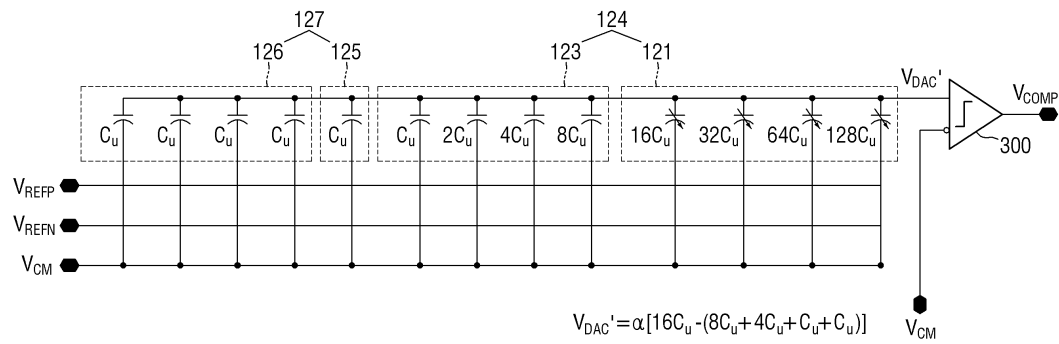
도면7



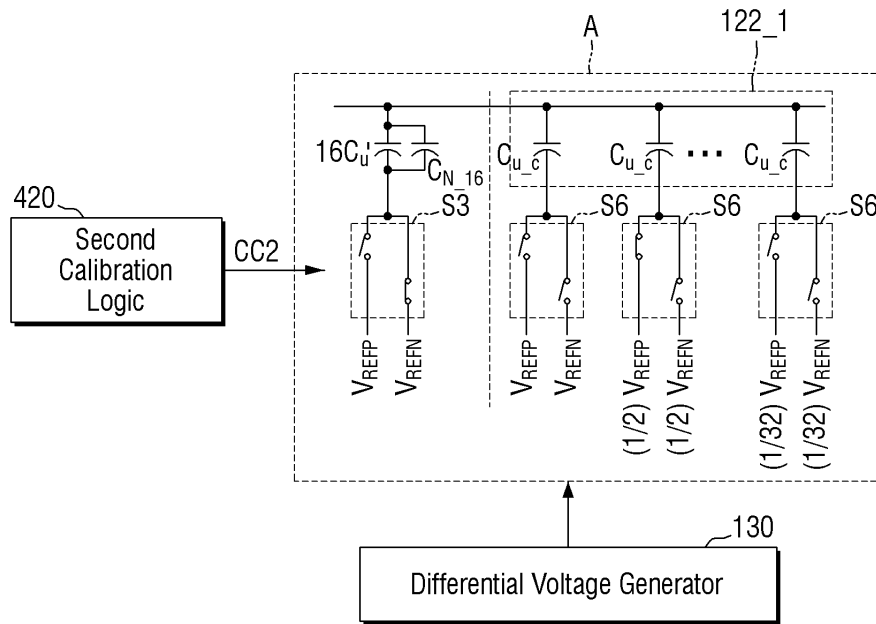
도면8



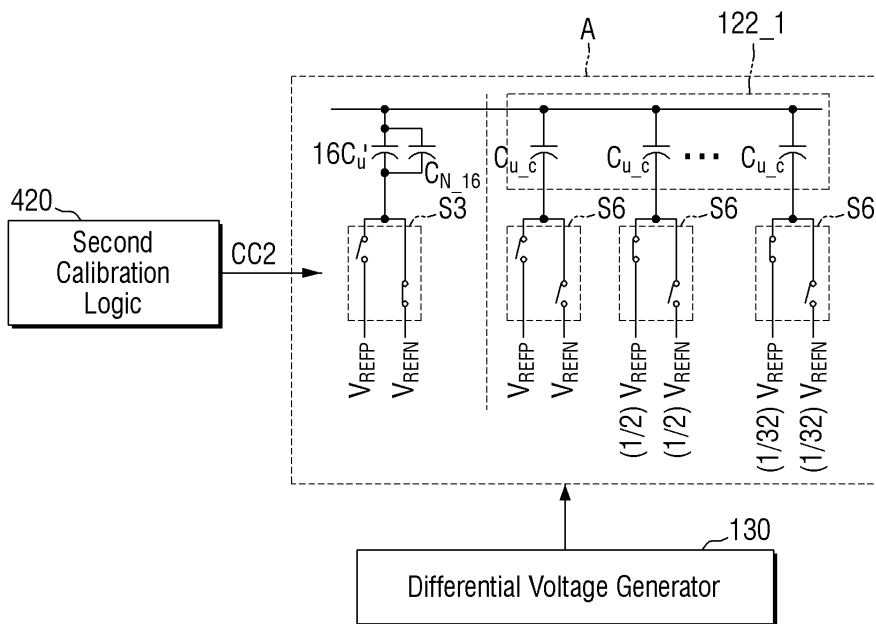
도면9



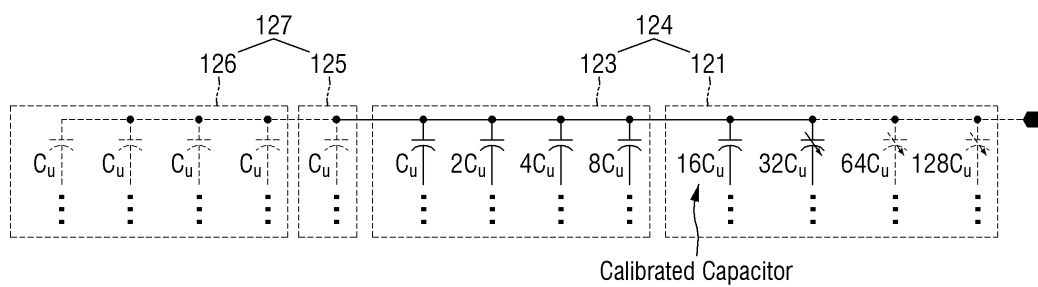
도면10



도면11

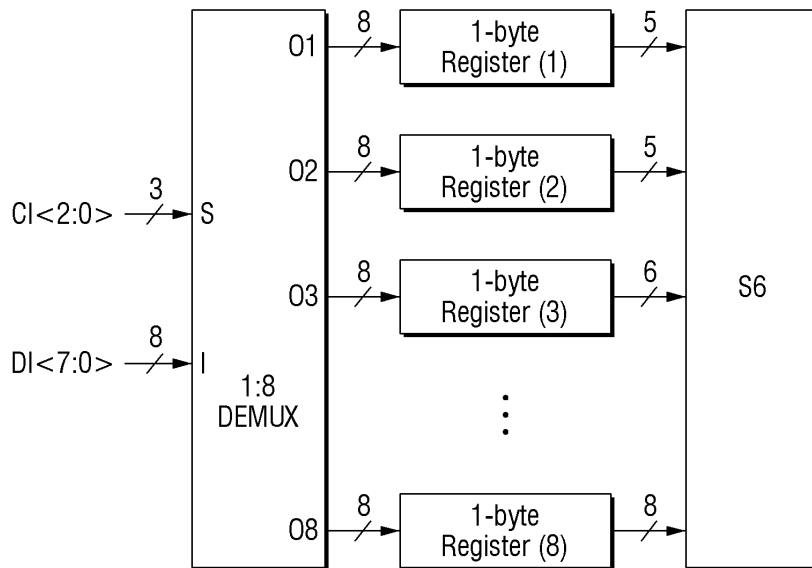


도면12



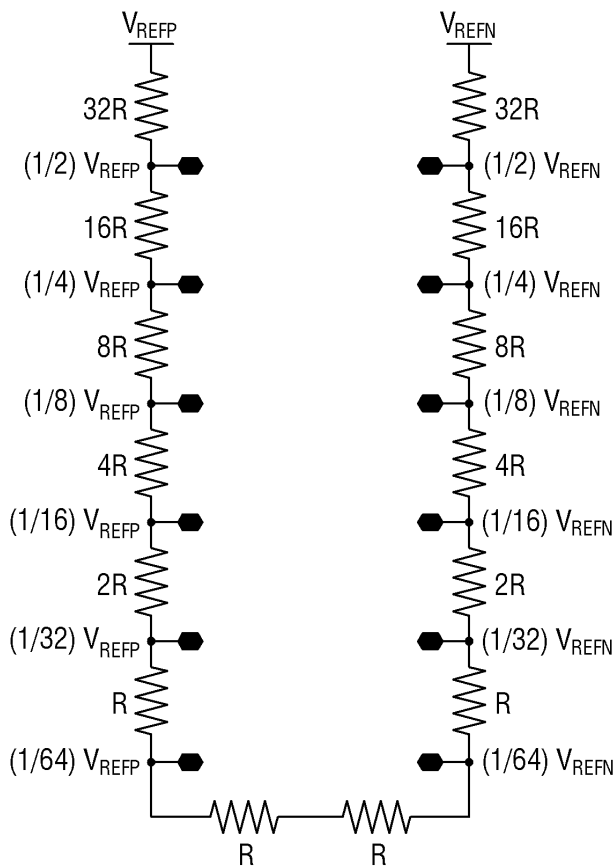
도면13

410

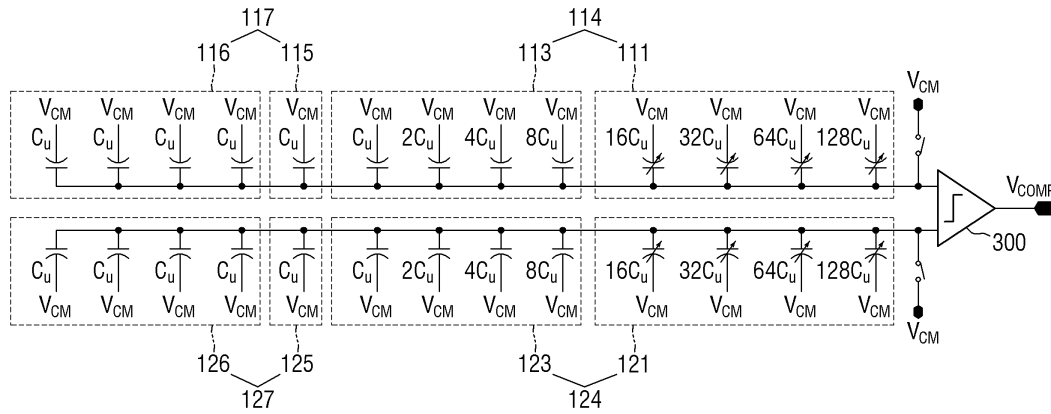


도면14

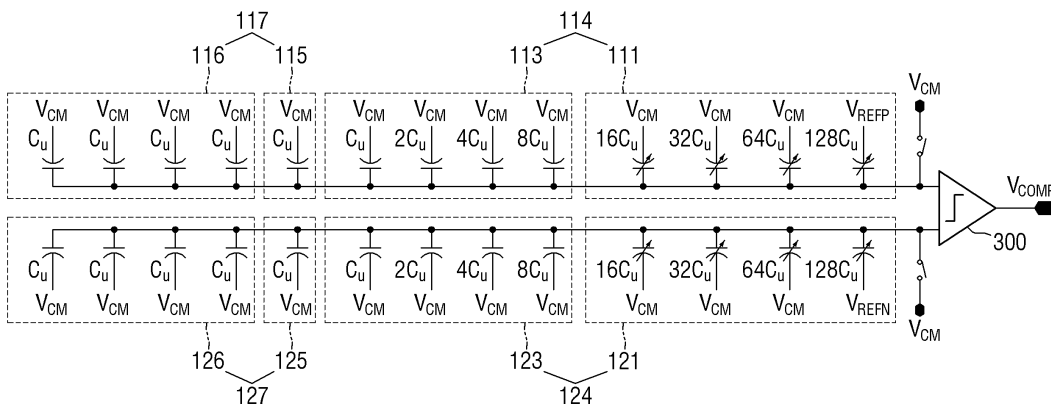
130_2



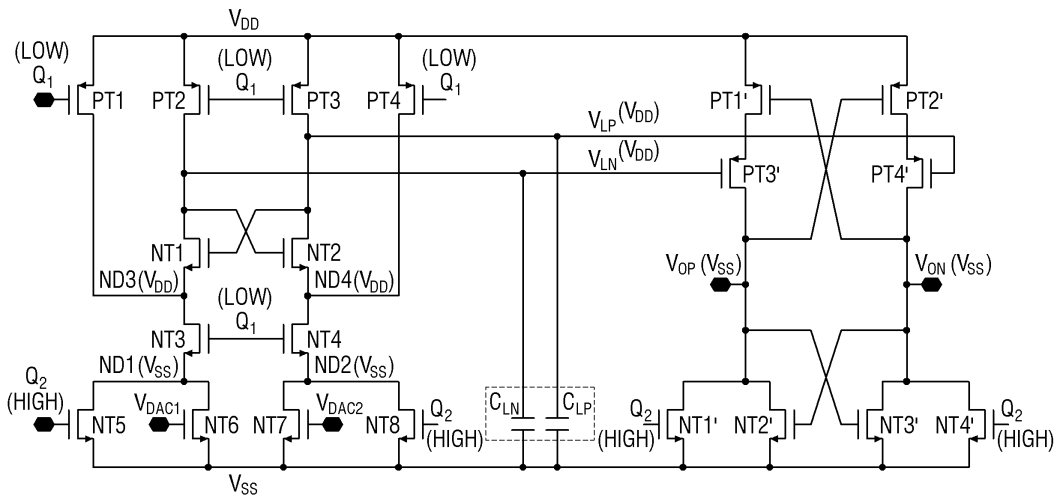
도면15



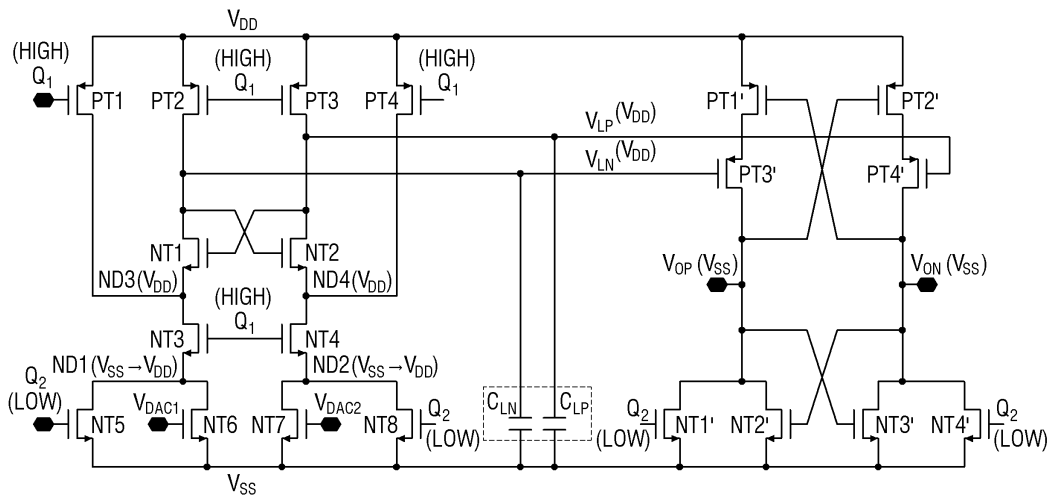
도면16



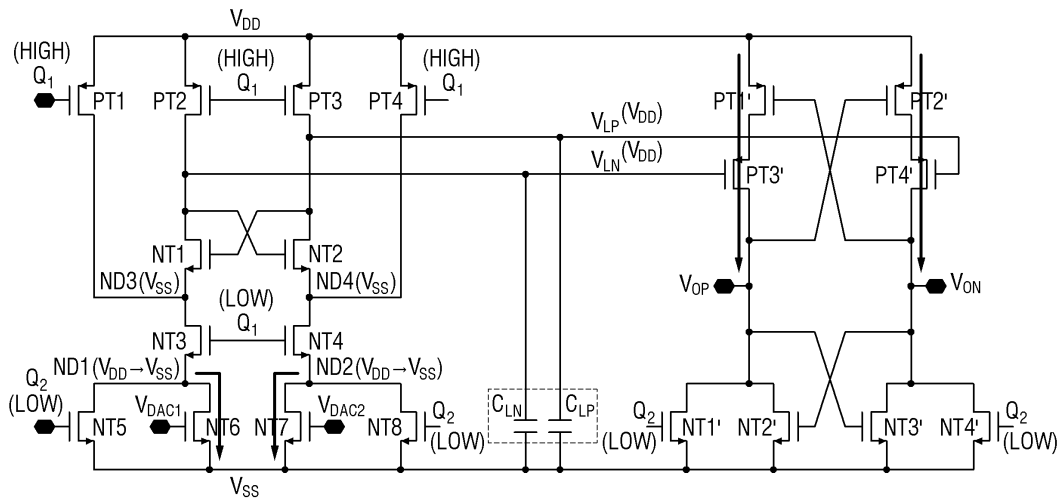
도면17



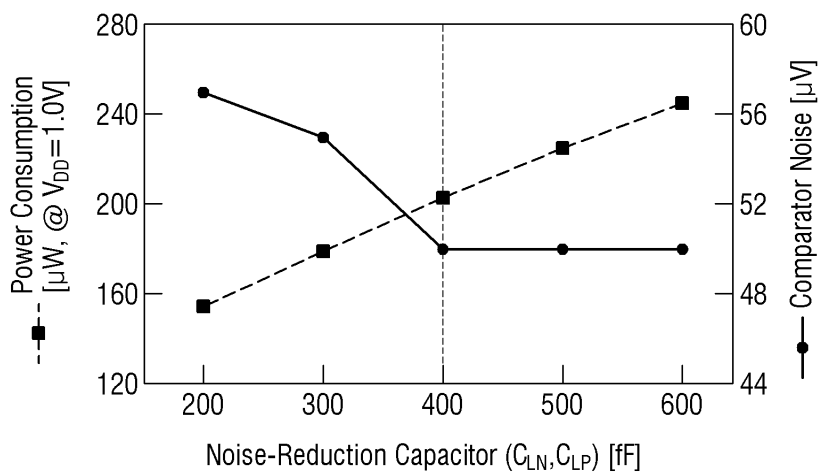
도면18



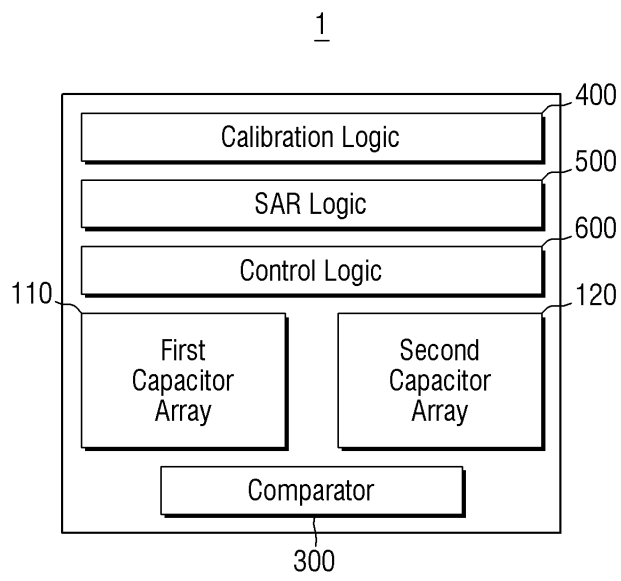
도면19



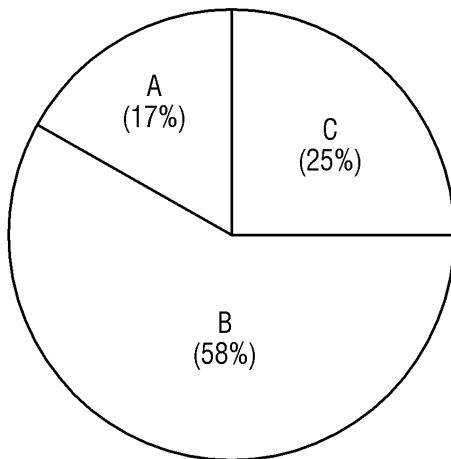
도면20



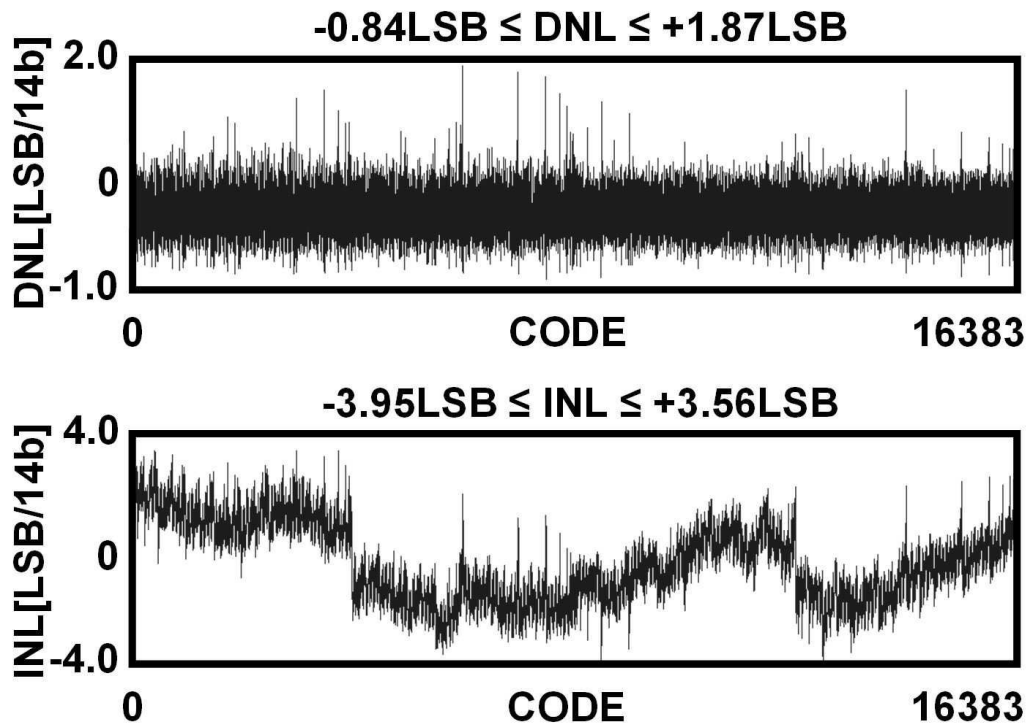
도면21



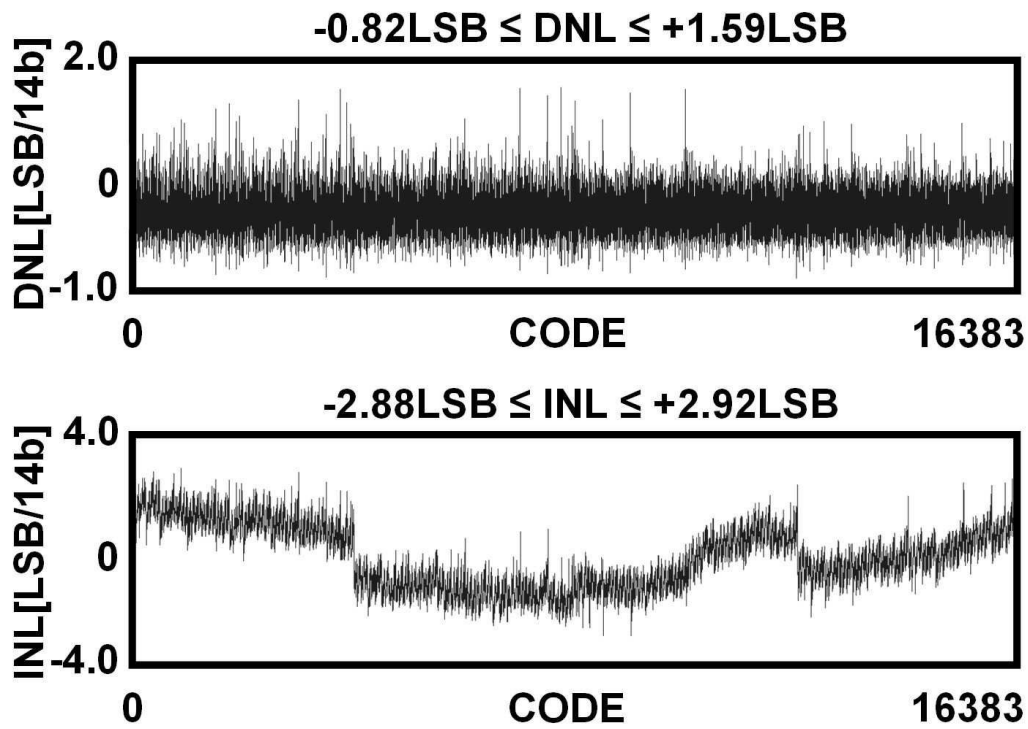
도면22



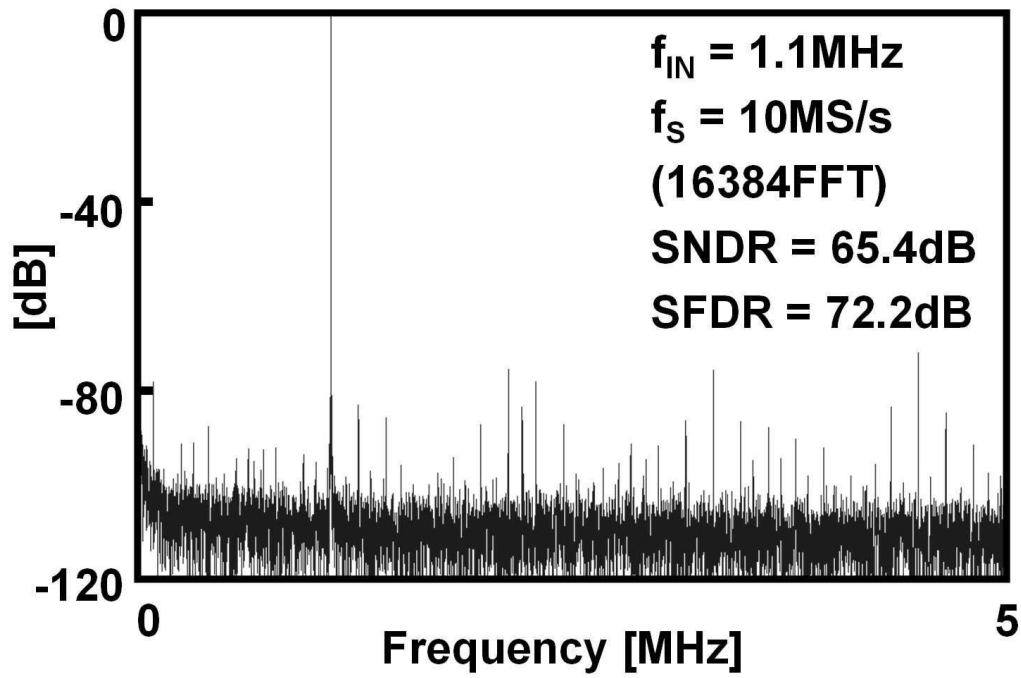
도면23a



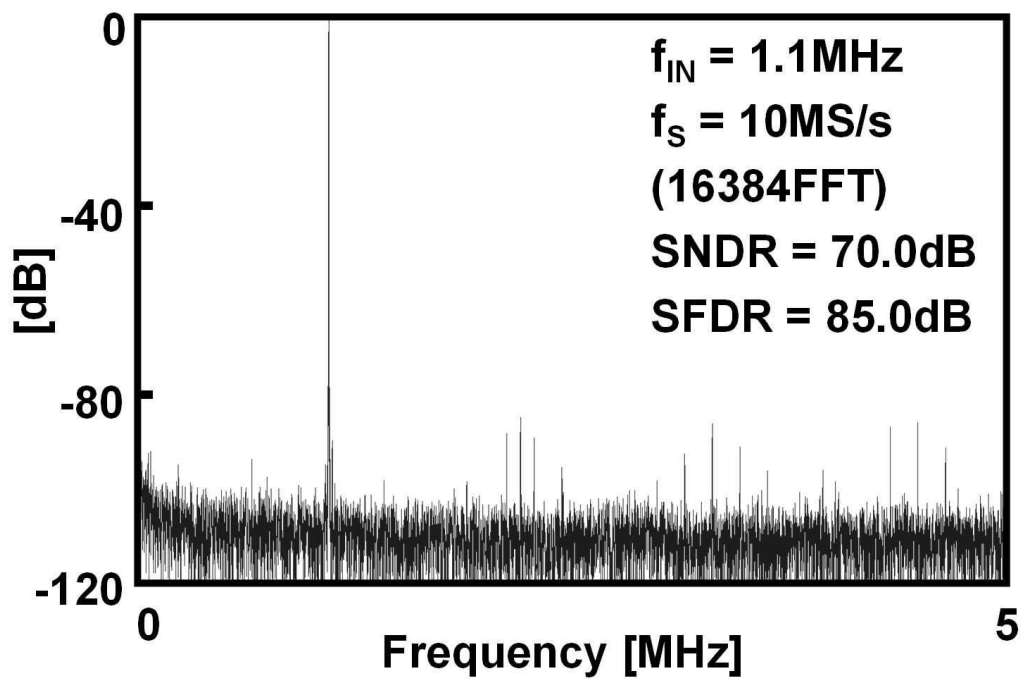
도면23b



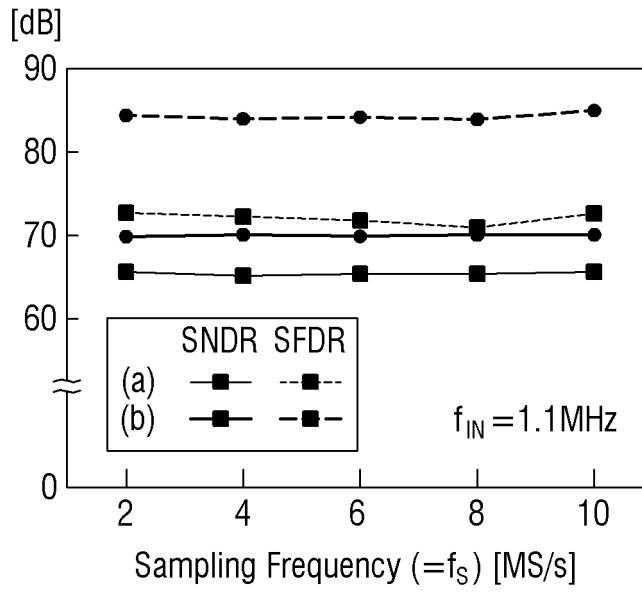
도면24a



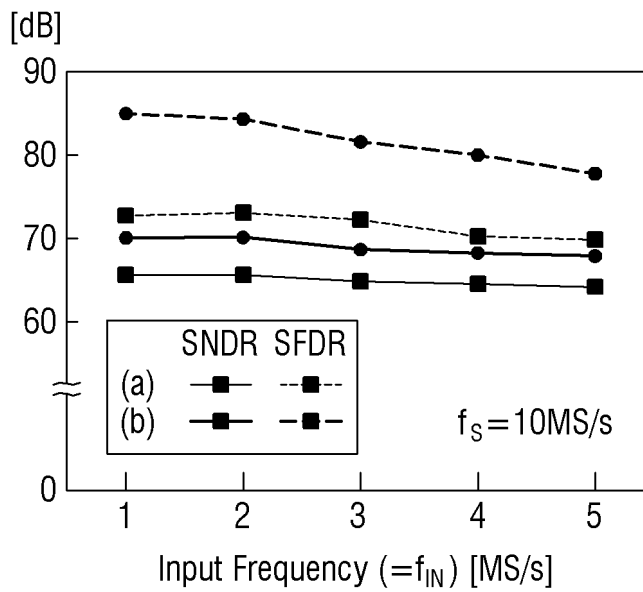
도면24b



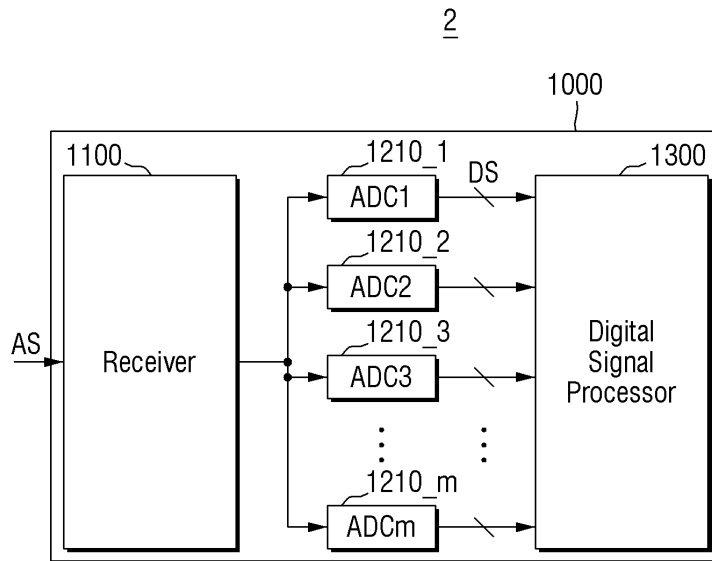
도면25a



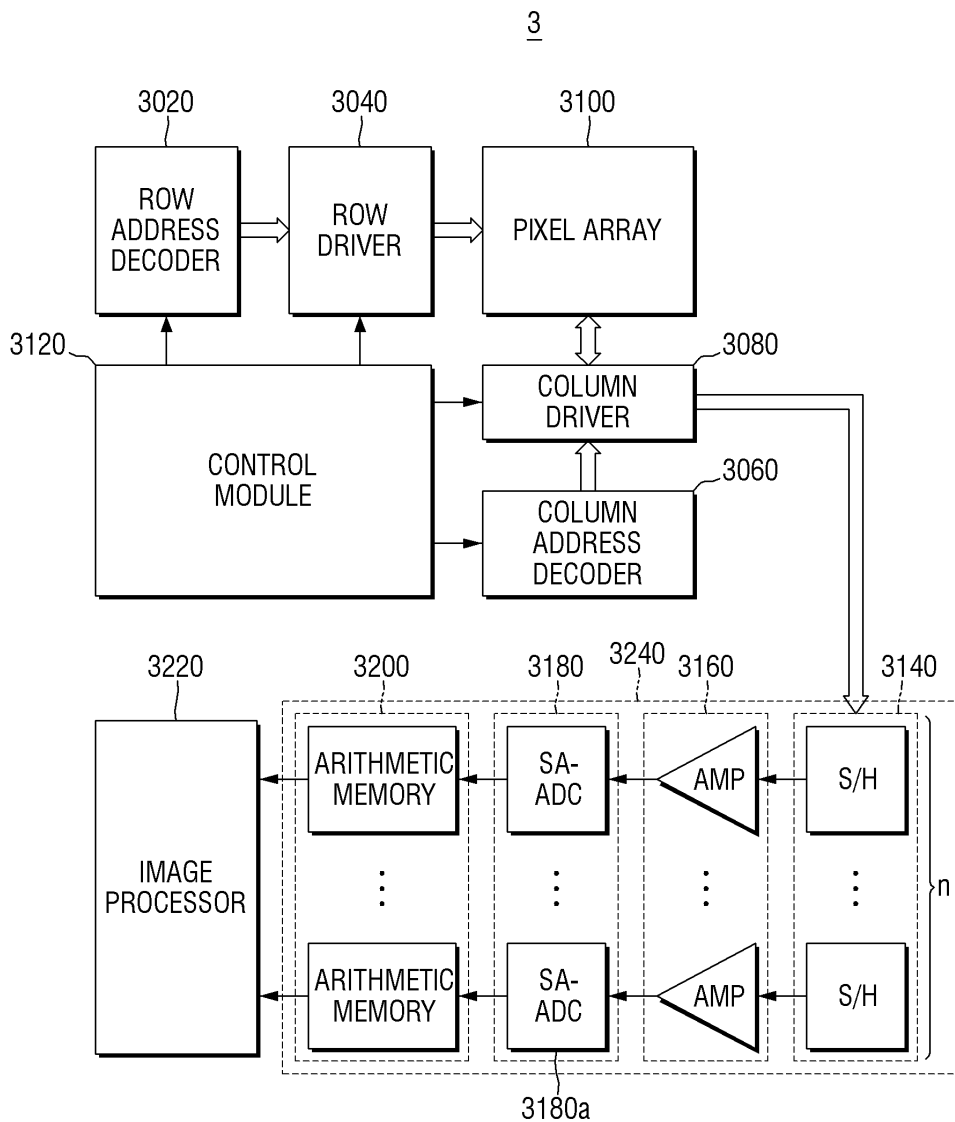
도면25b



도면26



도면27



도면28

