

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-208532

(P2017-208532A)

(43) 公開日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 O
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 N	
	HO 1 L 29/78 6 2 7 C	
	HO 1 L 29/78 6 1 6 V	

審査請求 未請求 請求項の数 11 O L 外国語出願 (全 44 頁)

(21) 出願番号	特願2017-73455 (P2017-73455)	(71) 出願人	514156563 アイメック・ヴェーゼットウェー I MEC V ZW ベルギー、ペー-3001ルーヴァン、カ ペルドリーフ75番
(22) 出願日	平成29年4月3日(2017.4.3)	(71) 出願人	504346525 ネーデルランツェ・オルガニザーティ・フ ォール・トゥーヘパストナトゥールウェテ ンシャッペレイク・オンダーズーク・テー エヌオー オランダ、エヌエル-2595デアアー・ スフラーフェンハーヘ、アンナ・ファン・ ビューレンブレイン1番
(31) 優先権主張番号	16165832.3	(74) 代理人	100101454 弁理士 山田 卓二
(32) 優先日	平成28年4月18日(2016.4.18)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

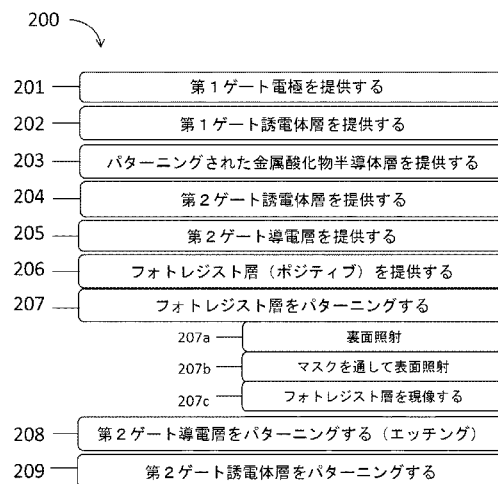
(54) 【発明の名称】 完全自己整合デュアルゲート薄膜トランジスタを製造するための方法

(57) 【要約】 (修正有)

【課題】 完全自己整合デュアルゲート金属酸化物半導体薄膜トランジスタの製造方法を提供する。

【解決手段】 ゲート領域の範囲を定める第1ゲート電極を基板の表面上に提供するステップ、第1ゲート誘電体層を提供するステップ、金属酸化物半導体層パターンを提供するステップ、第2ゲート誘電体層を提供するステップ、フォトレジスト層を提供するステップ、フォトレジスト層をパターニングするステップ、第2ゲート導電層をパターニングし、第2ゲート電極パターンを形成するステップ、および第2ゲート誘電体層をパターニングするステップを含む。フォトレジスト層をパターニングするステップは、裏面照射、表面照射およびフォトレジスト現像のステップを実行することを含み、裏面照射ステップは、第1ゲート電極をマスクとして使用することを含み、表面照射ステップは、ゲート領域の中のフォトレジスト層のエッジ部分のみを露出させるマスクを使用する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

完全自己整合デュアルゲート金属酸化物半導体薄膜トランジスタを製造するための方法であって、

ゲート領域の範囲を定める第 1 ゲート電極を基板の表面上に提供するステップと、

前記基板および前記第 1 ゲート電極の上に第 1 ゲート誘電体層を提供するステップと、

パターニングされた金属酸化物半導体層を前記第 1 ゲート誘電体層の上に提供するステップであって、前記パターニングされた金属酸化物半導体層が、前記ゲート領域の一部に部分的に重なりかつ前記ゲート領域の 2 つの対向するエッジを超えて延びる半導体領域の範囲を定めるステップと、

前記パターニングされた金属酸化物半導体層の上に第 2 ゲート誘電体層を提供するステップと、

第 2 ゲート導電層を提供するステップと、

フォトレジスト層を提供するステップと、

裏面照射ステップと、表面照射ステップと、フォトレジスト現像ステップと、を実行することによって前記フォトレジスト層をパターニングし、それによってパターニングされたフォトレジスト層を形成するステップであって、前記裏面照射ステップは、前記第 1 ゲート電極をマスクとして使用して、前記基板の裏面から前記フォトレジスト層を照射することを含み、および前記表面照射ステップは、前記ゲート領域の中の前記フォトレジスト層のエッジ部分のみを露出させるマスクを使用して、前記表面から前記フォトレジスト層を照射することを含む、ステップと、

前記第 2 ゲート導電層をパターニングし、それによってパターニングされた第 2 ゲート電極を形成するステップと、

前記第 2 ゲート誘電体層をパターニングし、それによってパターニングされた第 2 ゲート誘電体層を形成するステップと、を含み、

前記フォトレジスト層は、ポジティブフォトレジストを含み、前記第 2 ゲート導電層は、前記第 2 ゲート誘電体層の上に提供され、および前記フォトレジスト層は、前記第 2 ゲート導電層の上に提供され、または、

前記フォトレジスト層は、ネガティブフォトレジストを含み、前記フォトレジスト層は、前記第 2 ゲート誘電体層の上に提供され、および前記第 2 ゲート導電層は、前記フォトレジスト層をパターニングした後に前記フォトレジスト層の上に、かつ前記第 2 ゲート誘電体層の上に提供される方法。

【請求項 2】

前記フォトレジスト層は、ポジティブフォトレジストを含み、前記第 2 ゲート導電層を提供するステップは、前記フォトレジスト層を提供するステップの前に行われ、前記第 2 ゲート導電層をパターニングするステップは、前記パターニングされたフォトレジスト層をマスクとして使用して前記第 2 ゲート導電層を局所的にエッチングすることを含み、前記第 2 ゲート誘電体層をパターニングするステップは、前記パターニングされたフォトレジスト層または前記第 2 ゲート電極をマスクとして使用して前記第 2 ゲート誘電体層を局所的にエッチングすることを含む請求項 1 に記載の方法。

【請求項 3】

前記フォトレジスト層は、ネガティブフォトレジストを含み、前記第 2 ゲート導電層を提供するステップは、前記フォトレジスト層をパターニングするステップの後に行われ、前記第 2 ゲート導電層をパターニングするステップは、リフトオフプロセスを実行することを含み、前記第 2 ゲート誘電体層をパターニングするステップは、前記第 2 ゲート電極をマスクとして使用して前記第 2 ゲート誘電体層を局所的にエッチングすることを含む請求項 1 に記載の方法。

【請求項 4】

前記エッジ部分は、前記半導体領域に重なっていない前記ゲート領域の一部の中に配置されている請求項 1 ~ 3 のいずれかに記載の方法。

10

20

30

40

50

【請求項 5】

前記パターンングされた金属酸化物半導体層の中にソース領域およびドレイン領域を提供するステップを更に含み、前記ソース領域および前記ドレイン領域は、前記第2ゲート電極に自己整合する請求項1～4のいずれかに記載の方法。

【請求項 6】

前記ソース領域および前記ドレイン領域を提供するステップは、水素でドーピングすることを含む請求項5に記載の方法。

【請求項 7】

前記ソース領域および前記ドレイン領域を提供するステップは、ドーパントの注入またはプラズマ処理または前記金属酸化物半導体材料の還元を含む請求項5に記載の方法。

10

【請求項 8】

誘電体層を堆積させるステップと、

前記誘電体層を通り、同時に前記ソース領域と、前記ドレイン領域と、前記第2ゲート電極と、前記第1ゲート電極とに向かうビアを形成するステップと、

を更に含む請求項5～7のいずれかに記載の方法。

【請求項 9】

前記誘電体層を堆積させるステップは、シリコン窒化物層を堆積させるステップを含み、前記シリコン窒化物層を堆積させるステップは、水素を前記金属酸化物半導体層の中に導入し、それによって水素で前記金属酸化物半導体層をドーピングし、前記ソース領域および前記ドレイン領域を形成する請求項8に記載の方法。

20

【請求項 10】

前記シリコン窒化物層を堆積させるステップは、プラズマ増殖型化学気相堆積の手段によって前記シリコン窒化物層を堆積させることを含む請求項9に記載の方法。

【請求項 11】

導電層を堆積させてパターンングし、それによってソースコンタクトと、ドレインコンタクトと、第1ゲートコンタクトと、第2ゲートコンタクトと、を同時に形成することを更に含む請求項5～10のいずれかに記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

30

本開示は、アモルファス金属酸化物半導体薄膜トランジスタを製造するための方法に関する。特に、本開示は、完全自己整合デュアルゲート薄膜トランジスタを製造するための方法に関する。

【背景技術】**【0002】**

近年、アモルファス金属酸化物半導体、例えばアモルファスのインジウム・ガリウム・亜鉛・酸化物(IGZO)が、薄膜トランジスタ(TFT)用途のための材料として大きな関心を集めている。これらの材料は、例えばアクティブマトリクス液晶ディスプレイ(AMLCD)およびアクティブマトリクス有機発光ダイオードディスプレイ(AMOLED)に関連して、アモルファスシリコン(a-Si:H)および低温多結晶シリコン(LTPS)TFTの代替物として研究されている。

40

【0003】

TFTに基づく電子システムの性能を向上させるためには、高速動作が必要である。速度性能を向上させるための一般的な解決策は、高移動度材料を使用することおよびトランジスタチャネル長(L)を減少させることである。性能向上を達成するための別の解決策は、デュアルゲート(DG)トランジスタ構造を使用することである。TFT構造に関しては、自己整合(SA)ゲート-ソース/ドレインTFT構造は、ゲートがソースおよびドレインに自己整合するものであるが、バック・チャネル・エッチ(BCE)およびエッチ・ストップ・レイヤ(ESL)構造とは対照的に、ゲート-ソース/ドレインオーバーラップ容量はゼロであり、かつESL構造に比べてフットプリントが小さい。デュアルゲ

50

ート(DG)機能を有するa-IGZO・TFT回路では、チャネルのより良好な制御が達成され、その結果、より高い移動度、より高いON電流(I_{ON})、より小さなサブスレッシュヨルド勾配(SS^{-1})および0ボルトに近いターンオン電圧(V_{ON})などの特性の向上をもたらすことが報告されている。

【0004】

完全自己整合デュアルゲートa-IGZO・TFTを製造するための方法は、Xin Heらによって、“Implementation of Fully Self-Aligned Homo Junction Double-Gate a-IGZO TFTs”, IEEE Electron Device Letters, Vol. 35, No. 9, September 2014, pp 927-929の中で開示されている。完全自己整合デュアルゲートTFTでは、トップゲートおよびボトムゲートは互いに自己整合し、ソースおよびドレインはゲートに対して自己整合する。Xin Heらによって説明された方法によると、ボトムゲートとトップゲートとの間の自己整合は、裏面照射を用いたフォトリソグラフィステップによって実現され、ソース/ドレイン領域と2つのゲートとの間の自己整合は、アルゴンプラズマ処理および水素ドーピングによって得られる。この方法には、6つのフォトリソグラフィ(PL)ステップ、すなわち、フォトレジスト層を設けるステップと、フォトレジスト層を照射するステップと、照射されたレジストを現像するステップと、を含む6つのステップが必要である。第1ステップでは、第1ゲート金属層(ボトムゲートまたはバックゲート金属層)は、ガラス基板上に堆積され、およびバックゲート電極を形成するためにウェットエッチングによってパターンニングされる(PL#1)。次に、第1ゲート誘電体層が堆積され、続いてDCスパッタリングによってa-IGZO層が堆積される。次に、a-IGZO層は、ウェットエッチングを使用してパターンニングされる(PL#2)。その後、第2ゲート誘電体層が堆積される。続いて、表面にネガティブフォトレジスト層が設けられ、次に、トップゲートパターンを形成するために、ウエハは裏側から照射される(PL#3)。このようにして、トップゲートパターンは、裏面照射中の現場(in-situ)マスクとして機能するバックゲート電極によって形成される。レジストの現像後、第2ゲート層(トップゲート層)が堆積されおよびリフトオフされてトップゲート電極を形成する。トップゲートをエッチングマスクとして使用して、ドライエッチングを使用し、第2ゲート誘電体層をパターンニングする。次に、ソース/ドレイン領域上の露出したa-IGZO層は、Arプラズマによって処理されて、導電性を高める。その後、SiNx層が堆積され、n+・a-IGZOソース/ドレイン領域が更に形成されるが、この領域はトップゲート電極に対して自己整合されている。これに続いて、ソース領域およびドレイン領域用のピアホールを開けるステップ(PL#4)およびソース/ドレイン電極をパターンニングするステップ(PL#5)がある。最後に、バックゲートコンタクトホールが開けられる(PL#6)。

【発明の概要】

【0005】

本開示の目的は、公知の方法に比べてプロセスステップの数が少ない完全自己整合デュアルゲート薄膜トランジスタを製造するための方法を提供することである。特に、本開示の目的は、公知の方法に比べてフォトリソグラフィステップの数が少ない完全自己整合デュアルゲートアモルファス金属酸化物半導体薄膜トランジスタを製造するための方法を提供することである。

【0006】

上記の目的は、本開示に係る方法によって達成される。

【0007】

本開示は、完全自己整合デュアルゲート金属酸化物半導体薄膜トランジスタを製造するための方法に関する。この方法は、ゲート領域の範囲を定める第1ゲート電極を基板の表面上に提供するステップと、基板および第1ゲート電極の上に第1ゲート誘電体層を提供するステップと、パターンニングされた金属酸化物半導体層を第1ゲート誘電体層の上に提供するステップであって、パターンニングされた金属酸化物半導体層が、ゲート領域の一部に部分的に重なりかつゲート領域の2つの対向するエッジを超えて延びる半導体領域の範囲を定めるステップと、パターンニングされた金属酸化物半導体層の上に第2ゲート誘電体

層を提供するステップと、第2ゲート導電層を提供するステップと、フォトリソ層を提供するステップと、フォトリソ層をパターニングし、それによってパターニングされたフォトリソ層を形成するステップと、第2ゲート導電層をパターニングし、それによってパターニングされた第2ゲート電極を形成するステップと、第2ゲート誘電体層をパターニングし、それによってパターニングされた第2ゲート誘電体層を形成するステップと、を含む。本開示の具体例に係る方法では、フォトリソ層をパターニングするステップは、裏面照射ステップ、表面照射ステップおよびフォトリソ現像ステップを実行することを含み、裏面照射ステップは、第1ゲート電極をマスクとして使用して、基板の裏面からフォトリソ層を照射することを含み、表面照射ステップは、ゲート領域の中のフォトリソ層のエッジ部分のみを露出させるマスクを使用して、表面からフォトリソ層を照射することを含む。

10

【0008】

本開示の方法の具体例では、第2ゲート導電層を提供するステップは、フォトリソ層を提供するステップの前に行われてもよい。このような具体例では、ポジティブフォトリソ層が使用される。そして第2ゲート導電層をパターニングするステップは、パターニングされたフォトリソ層をマスクとして使用して第2ゲート導電層を局所的にエッチングすることを含み、および第2ゲート誘電体層をパターニングするステップは、パターニングされたフォトリソ層または第2ゲート電極をマスクとして使用して第2ゲート誘電体層を局所的にエッチングすることを含む。

【0009】

本開示の方法の他の具体例では、第2ゲート導電層を提供するステップは、フォトリソ層をパターニングするステップの後に行われてもよい。このような具体例では、ネガティブフォトリソ層が使用される。第2ゲート導電層をパターニングするステップは、リフトオフプロセスを実行することを含み、第2ゲート誘電体層をパターニングするステップは、第2ゲート電極をマスクとして使用して第2ゲート誘電体層を局所的にエッチングすることを含む。

20

【0010】

本開示の具体例では、エッジ部分は、半導体領域に重なっていないゲート領域の一部の中に配置されることが好ましい。本開示の具体例では、第1ゲートは、例えば、狭い部分およびより広い部分を含んでもよく、エッジ部分は、より広い部分の一部に対応するエリアの中に配置されてもよい。このような具体例では、エッジ部分は、ボトムゲートのより広い部分の一部にのみ重なる。

30

【0011】

本開示の具体例に係る方法は、パターニングされた金属酸化物半導体層の中にソース領域およびドレイン領域を提供するステップを更に含み、ソース領域およびドレイン領域は、第2ゲート電極に自己整合する。ソース領域およびドレイン領域を提供するステップのプロセスでは、第2ゲート電極は、マスクとして使用されてもよい。

【0012】

ソース領域およびドレイン領域を提供するステップは、水素でドーピングすることを含む。ソース領域およびドレイン領域を提供するステップは、例えば、ドーパントの注入またはプラズマ処理または金属酸化物半導体材料の還元を含んでもよい。ソース領域およびドレイン領域を提供するための異なる方法が組み合わせられ、例えば連続して実行されてもよい。本開示の具体例では、ソース領域およびドレイン領域を形成するステップは、水素ドーピング、ドーパントの注入、プラズマ処理および/または金属酸化物半導体材料の還元の組合せを含んでもよい。

40

【0013】

本開示の具体例に係る方法は、誘電体層を堆積させるステップと、誘電体層を通り、同時にソース領域、ドレイン領域、第2ゲート電極および第1ゲート電極に向かうビアを形成するステップと、を更に含んでもよい。

【0014】

50

本開示に係る方法の具体例では、誘電体層を堆積させるステップは、シリコン窒化物層を堆積させるステップを更に含んでもよい。このような具体例では、シリコン窒化物層を堆積させるステップは、水素を金属酸化物半導体層の中に導入し、それによって水素で金属酸化物半導体層をドーピングし、ソース領域およびドレイン領域を形成してもよい。シリコン窒化物層を堆積させるステップは、好適には、プラズマ増殖型化学気相堆積の手段によってシリコン窒化物層を堆積させることを含む。

【0015】

本開示の具体例に係る方法は、導電層を堆積させてパターンニングし、それによってソースコンタクトと、ドレインコンタクトと、第1ゲートコンタクトと、第2ゲートコンタクトと、を同時に形成することを更に含んでもよい。

10

【0016】

本開示の具体例に係る方法の利点は、公知の方法と比較して、少ないプロセスステップの数で、特に少ないフォトリソグラフィステップの数で、完全自己整合デュアルゲート薄膜トランジスタの製造を可能にすることである。これは、完全自己整合デュアルゲート薄膜トランジスタの製造コストの削減をもたらす点で有利である。これは、公知の方法に比べて、方法の複雑さを減少させ得る点で有利である。

【0017】

本開示の特定の好適な具体例は、添付の独立請求項および従属請求項の中に記載されている。従属請求項の特徴は、請求項に明示的に記載されているものだけでなく、独立請求項の特徴および他の従属請求項の特徴と適宜組み合わせられてもよい。

20

【0018】

本開示の上記およびその他の特性、特徴および利点は、本開示の原理を例示の目的で示している添付の図面と併せて、以下の詳細な説明から明らかになるであろう。この説明は、単なる例示の目的で与えられるものであり、本開示の範囲を限定するものではない。以下で付される参照数字は、添付図面を参照する。

【図面の簡単な説明】

【0019】

【図1】本開示の方法の具体例に係るプロセスフローの例を概略的に示している。

【図2】本開示の方法の具体例に係るプロセスフローの例を概略的に示している。

【図3】本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造するための方法の例のプロセスステップを概略的に示している。構造の概略的な上面図が左側に示され、線A-A'および線B-B'に沿った概略的な断面図がそれぞれ右側に示されている。

30

【図4】本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造するための方法の例のプロセスステップを概略的に示している。構造の概略的な上面図が左側に示され、線A-A'および線B-B'に沿った概略的な断面図がそれぞれ右側に示されている。

【図5】本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造するための方法の例のプロセスステップを概略的に示している。構造の概略的な上面図が左側に示され、線A-A'および線B-B'に沿った概略的な断面図がそれぞれ右側に示されている。

40

【図6】本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造するための方法の例のプロセスステップを概略的に示している。構造の概略的な上面図が左側に示され、線A-A'および線B-B'に沿った概略的な断面図がそれぞれ右側に示されている。

【図7】本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造するための方法の例のプロセスステップを概略的に示している。構造の概略的な上面図が左側に示され、線A-A'および線B-B'に沿った概略的な断面図がそれぞれ右側に示されている。

【図8】本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造する

50

ための方法の例のプロセスステップを概略的に示している。構造の概略的な上面図が左側に示され、線 A - A' および線 B - B' に沿った概略的な断面図がそれぞれ右側に示されている。

【図 9】本開示の方法に係る完全自己整合デュアルゲート薄膜トランジスタを製造するためのプロセスフローの例を概略的に示している。

【図 10】本開示の具体例によって製造された完全自己整合デュアルゲート薄膜トランジスタについて測定された I_{DS} 対 V_{GS} の変換特性 (丸) を示している。参考として、バックゲートのみを備えたデバイス (三角形) およびトップゲートのみを備えたデバイス (四角形) のデバイスについての同様の特性が示されている。

【図 11】本開示の具体例によって製造された完全自己整合デュアルゲート薄膜トランジスタについて測定された I_{DS} 対 V_{DS} の出力特性 (丸) を示している。参考として、バックゲートのみを備えたデバイス (三角形) およびトップゲートのみを備えたデバイス (四角形) のデバイスについての同様の特性が示されている。

【発明を実施するための形態】

【0020】

異なる図の中で、同一の参照符号は、同一のまたは類似の要素を指す。

【0021】

本開示は、特定の具体例に関して、および特定の図面を参照して説明されるが、本開示はそれに限定されず、特許請求の範囲によってのみ限定される。記載された図面は概略的なものに過ぎず、限定的なものではない。図面の中では、いくつかの要素のサイズは、説明のために誇張されており、縮尺通りに描かれていない場合がある。寸法および相対的な寸法は、本開示の実施の実際の縮図に一致していない。

【0022】

さらに、明細書および特許請求の範囲の中の上 (top)、下 (bottom)、上 (over)、下 (under) などの用語は、説明目的で使用されるものであり、必ずしも相対的な位置を説明するために使用されるものではない。理解されるべきであるが、そのように使用される用語は、適切な状況下で交換可能であり、ここに記載された開示の具体例は、ここに記載または図示されている方向以外の方向でも動作することができる。

【0023】

特許請求の範囲において使用される「含む (comprising)」という用語は、その後列挙される手段に限定されるものとして解釈されるべきではなく、他の要素またはステップを排除するものではないことに注意すべきである。したがって、この用語は、記載された特徴、整数、工程または構成要素の存在を特定するものとして解釈されるが、1つまたは複数の他の特徴、整数、工程または構成要素、またはそれらの組の存在または追加を排除するものではない。

【0024】

この明細書を通じて参照される「1つの具体例 (one embodiment)」または「ある具体例 (an embodiment)」は、この具体例に関して記載された特定の長所、構造または特徴が、本開示の少なくとも1つの具体例に含まれることを意味する。このように、この明細書を通して多くの場所にある「1つの具体例で (in one embodiment)」または「ある具体例で (in an embodiment)」の語句の表現は、必ずしも同じ具体例を表すものではないが、表すものであっても構わない。さらに、特定の長所、構造または特徴は、この開示から当業者にとって明らかなように、1つ以上の具体例の中で適当な方法で組み合わせられてもよい。

【0025】

同様に理解されるべきであるが、本発明の例示の記載中において、能率的に開示し、様々な発明の形態の1つ以上の理解を助ける目的で、本開示の様々な特徴は、時には1つの具体例、図面、またはそれらの説明の中にまとめられている。しかしながら、この開示の方法は、請求項に記載された開示がそれぞれの請求項に記載されたものより多くの特徴を必要とすることを意図して表されていると解釈されるべきではない。むしろ、以下の特許

10

20

30

40

50

請求の範囲が表すように、発明の態様は、1つの記載された具体例の全ての長所より少なくなる。このように、詳細な説明に続く特許請求の範囲は、これにより詳細な説明中に明確に含まれ、それぞれの請求項は、この開示の別々の具体例としてそれ自身で成立する。

【0026】

さらに、ここに記載されているいくつかの具体例は、他の具体例に含まれる以外のいくつかの特徴を含み、異なった具体例の長所の組合せは、本開示の範囲に入ることを意味し、当業者に理解されるように異なった具体例を形成する。例えば、以下の特許請求の範囲では、請求項に記載されたすべての具体例は、どの組合せの中でも使用することができる。

【0027】

ここで与えられる説明の中で、多くの特定の詳細が示される。しかしながら、本開示の具体例は、それらの特定の詳細がなくても実施され得ることが理解される。他の例では、公知の方法、構造および技術は、この説明の理解をわかりにくくしないために、詳細には示されていない。

【0028】

以下の用語は、本開示の理解を助けるためにのみ提供される。

【0029】

本開示の文脈において、「自己整合」は、デバイスの第1の要素または特徴が、プロセスを実行することによって、デバイスの第2の要素または特徴に整列することを意味するが、ここで第2の要素または特徴は、第1の要素または特徴を形成するためのマスクとして使用される。このように、デバイスの2つの要素または特徴の間の整列は、一方の要素または特徴を、他方の要素または特徴をパターニングするためのマスクとして使用することによって得られる。例えば、トランジスタの製造プロセスに関しては、金属ゲートは、トランジスタの「自己整合」ソースおよびドレイン領域を形成するためのマスクとして使用され得る。例えば、デュアルゲートトランジスタの製造プロセスに関しては、第1ゲートは、「自己整合」第2ゲートを形成するためのマスクとして使用され得る。

【0030】

本開示の文脈において、「完全自己整合デュアルゲート薄膜トランジスタ（プロセス）」は、ゲートが互いに自己整合し、ソースおよびドレイン領域がゲートに自己整合しているデュアルゲート薄膜トランジスタおよび対応する製造プロセスを指す。特に、本開示の文脈において、ボトムゲートは、トップゲートを形成する（パターニングする）ためのマスクとして使用され、トップゲートは、薄膜トランジスタのソースおよびゲート領域を形成するためのマスクとして使用される。

【0031】

ここで、本開示は、本開示のいくつかの具体例の詳細な説明によって説明される。本開示の他の具体例は、本開示の真の精神または技術的教示から逸脱することなく、当業者の知識によって構成できることは明らかであり、本開示は、添付の特許請求の範囲の用語によってのみ限定される。

【0032】

図1は、本開示の方法の具体例に係るプロセスフローの例を概略的に示している。

【0033】

図1のプロセスフローに示されている方法200は、基板上に第1ゲート電極またはボトムゲート電極を提供する第1ステップ（図1、ステップ201）を含む。第1ゲート電極またはボトムゲート電極を提供するステップは、ボトムゲート金属層を堆積させること、およびフォトリソグラフィの手段によってボトムゲート金属層をパターニングすることによって、第1ゲート電極またはボトムゲート電極を形成することを含む。ボトムゲート電極は、ゲート領域の範囲を定める、すなわちゲート領域を形成する。

【0034】

次のステップ（図1、ステップ202）では、第1ゲート誘電体層またはボトムゲート誘電体層が、基板および第1ゲート電極の上に、提供、例えば堆積される。次に、パター

10

20

30

40

50

ニングされたアモルファス金属酸化物半導体層が、第1ゲート誘電体層の上に提供される(図1、ステップ203)。パターンニングされたアモルファス金属酸化物半導体層を提供するステップは、アモルファス金属酸化物半導体層を堆積させること、およびフォトリソグラフィおよびドライエッチングまたはウェットエッチングの手段によってこの層をパターンニングすることを含む。パターンニングされた金属酸化物半導体層は、半導体領域の範囲を定める、すなわち半導体領域を形成する。

【0035】

次に、ステップ204(図1)では、第2ゲート誘電体層またはトップゲート誘電体層が、金属酸化物半導体層の上に提供され、その後、ステップ205(図1)において、第2ゲート導電層またはトップゲート導電層が、第2ゲート誘電体層の上に提供される。

10

【0036】

トップゲート導電層の堆積の後、第2ゲート導電層の上にポジティブフォトリソレジスト層が提供され(図1、ステップ206)、このフォトリソレジスト層がパターンニングされる(図1、ステップ207)。フォトリソレジスト層をパターンニングするステップは、裏面照射ステップ(図1、ステップ207a)と、表面照射ステップ(図1、ステップ207b)と、フォトリソレジスト現像ステップ(図1、ステップ207c)とを実行し、それによってパターンニングされたフォトリソレジスト層を形成することによって行われる。裏面照射ステップは、第1ゲート電極をマスクとして使用して、基板の裏面からフォトリソレジスト層を照射することを含む。第1ゲート電極またはボトムゲート電極をマスクとして使用することの利点は、ボトムゲート電極と完全に整合した第2ゲート電極またはトップゲート電極を形成することができることである。表面照射ステップは、ゲート領域の中のフォトリソレジスト層のエッジ部分のみを露出させるマスクを使用して、基板の表面からフォトリソレジスト層を照射するステップを含み、このエッジ部分は、半導体領域に重ならない。裏面照射が最初に行われ、その後表面照射が行われてもよく、またはその逆、最初に表面照射が行われ、その後裏面照射が行われてもよい。

20

【0037】

次に、パターンニングされたフォトリソレジスト層をマスクとして使用して第2ゲート導電層を局所的にエッチングすることによって、トップゲート導電層または第2ゲート導電層がパターンニングされ(図1、ステップ208)、それによって第2ゲート電極を形成する。さらに、パターンニングされたフォトリソレジスト層または第2ゲート電極をマスクとして使用して第2ゲート誘電体層を局所的にエッチングすることによって、トップゲート誘電体層または第2ゲート誘電体層がパターンニングされる(図1、ステップ209)。

30

【0038】

図2は、本開示の方法の別の具体例に係るプロセスフローの例を概略的に示している。

【0039】

図2のプロセスフローに示されている方法300は、基板上に第1ゲート電極またはボトムゲート電極を提供する第1ステップ(図2、ステップ301)を含む。第1ゲート電極またはボトムゲート電極を提供するステップは、ボトムゲート金属層を堆積させること、およびフォトリソグラフィの手段によってボトムゲート金属層をパターンニングすることによって、第1ゲート電極またはボトムゲート電極を形成することを含む。ボトムゲート電極は、ゲート領域の範囲を定める、すなわちゲート領域を形成する。

40

【0040】

次のステップ(図2、ステップ302)では、第1ゲート誘電体層またはボトムゲート誘電体層が、基板および第1ゲート電極の上に、提供、例えば堆積される。次に、パターンニングされたアモルファス金属酸化物半導体層が、第1ゲート誘電体層の上に提供される(図2、ステップ303)。パターンニングされたアモルファス金属酸化物半導体層を提供するステップは、アモルファス金属酸化物半導体層を堆積させること、およびフォトリソグラフィおよびドライまたはウェットエッチングの手段によってこの層をパターンニングすることを含む。パターンニングされた金属酸化物半導体層は、半導体領域の範囲を定める、すなわち半導体領域を形成する。

50

【 0 0 4 1 】

次に、ステップ 3 0 4 (図 2) では、第 2 ゲート誘電体層またはトップゲート誘電体層が、金属酸化物半導体層の上に提供される。

【 0 0 4 2 】

その後、ネガティブフォトレジスト層が提供され (図 2 、 ステップ 3 0 6) 、このフォトレジスト層がパターンングされる (図 2 、 ステップ 3 0 7) 。フォトレジスト層をパターンングするステップは、裏面照射ステップ (図 2 、 ステップ 3 0 7 a) と、表面照射ステップ (図 2 、 ステップ 3 0 7 b) と、フォトレジスト現像ステップ (図 2 、 ステップ 3 0 7 c) とを実行し、それによってパターンングされたフォトレジスト層を形成することによって行われる。裏面照射ステップは、第 1 ゲート電極をマスクとして使用して、基板の裏面からフォトレジスト層を照射することを含む。第 1 ゲート電極またはボトムゲート電極をマスクとして使用することの利点は、ボトムゲート電極と完全に整合した第 2 ゲート電極またはトップゲート電極を形成することができることである。表面照射ステップは、ゲート領域の中のフォトレジスト層のエッジ部分のみを露出させるマスクを使用して、基板の表面からフォトレジスト層を照射することを含み、このエッジ部分は、半導体領域に重ならない。裏面照射が最初に行われ、その後表面照射が行われてもよく、またはその逆、最初に表面照射が行われ、その後裏面照射が行われてもよい。

10

【 0 0 4 3 】

パターンングされたフォトレジスト層を形成した後、第 2 ゲート導電層またはトップゲート導電層が提供される (図 2 、 ステップ 3 0 5) 。次に、リフトオフプロセスを実行することによって、トップゲート導電層または第 2 ゲート導電層がパターンングされ (図 2 、 ステップ 3 0 8) 、それによって第 2 ゲート電極を形成する。さらに、第 2 ゲート電極をマスクとして使用して第 2 ゲート誘電体層を局所的にエッチングすることによって、トップゲート誘電体層または第 2 ゲート誘電体層がパターンングされる (図 2 、 ステップ 3 0 9) 。

20

【 0 0 4 4 】

図 3 ~ 図 8 は、本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタ 1 0 0 の製造方法の例を示している。これらの図では、製造された構造の概略的な上面図が左側に示され、線 A - A ' および線 B - B ' に沿った概略的な断面図がそれぞれ右側に示されている。図 3 ~ 図 8 では、上面図は、断面図の縮尺とは異なる縮尺で示されている。対応するプロセスフロー 4 0 0 は、図 9 の中に概略的に示されている。

30

【 0 0 4 5 】

示されている例では、薄膜トランジスタは、例えばガラス基板または金属箔基板などの基板 1 0 の上に形成される。しかしながら、本開示は、これらに限定されず、更に説明されるように、(基板を通した照射を用いて) トップゲート電極を形成するリソグラフィステップに使用される波長に対して実質的に透明であれば、他の基板が使用されてもよい。基板 1 0 を提供 (図 9 、 ステップ 4 0 1) した後、図 3 に概略的に示されているように、バッファ層および選択的にはバリア層が、基板 1 0 の表面 1 0 1 上に堆積される (図 9 、 ステップ 4 0 2) 。図 3 では、バッファ層およびバリア層は、1 つの層 1 1 として示されている。バリア層は、典型的には金属箔基板などのフレキシブル基板と組み合わせて使用されるが、ガラス基板などの他の基板と組み合わせて使用されてもよい。

40

【 0 0 4 6 】

本開示の具体例では、バリア層およびバッファ層は、誘電体層である。バリア層は、例えばシリコン窒化物層またはポリマー層であり、例えば 1 0 0 n m ~ 3 マイクロメートルの範囲内の厚さを有してもよいが、本開示はこれに限定されるものではない。バリア層は、基板からの望ましくない影響から、例えば基板から金属酸化物半導体層への例えば水素などの望ましくない元素の拡散から、デバイスを保護する。例えばバッファ層は、(例えば、PECVD (プラズマ増殖型化学気相堆積) によって堆積された) シリコン窒化物層または (例えば、ALD (原子層堆積) によって堆積された) アルミニウム窒化物層であってもよい。バッファ層は、典型的には 5 0 n m ~ 2 0 0 n m の範囲内の厚さを有するが

50

、本開示はこれに限定されるものではない。バッファ層は、例えば向上した滑らかさを提供するために、すなわち下地層（例えばバッファ層など）の表面より良好な滑らかさを有する面を提供するために、堆積されてもよい。複数のバリア層および/または複数のバッファ層を含む層スタックが使用されてもよい。

【0047】

バリア層およびバッファ層11を備える基板10の上に、ボトムゲート(BG)金属層または第1ゲート金属層が堆積され、フォトリソグラフィの手段によってパターニングされて、第1ゲート電極またはボトムゲート電極12を形成する(図9、ステップ403)。第1ゲート電極またはボトムゲート電極12の位置に対応するエリアまたは領域、言い換えれば第1ゲート電極によって範囲を定められたエリアまたは領域は、更にゲート領域120(図3)と呼ばれる。ここで説明されるプロセスフロー400の中では、ボトムゲートをパターニングするステップは、第1フォトリソグラフィ(PL)ステップ(PL#1)であり、フォトレジスト層を提供すること、フォトレジスト層を照射すること、および照射されたレジストを現像することを含む。図3は、ボトムゲート電極12が長方形の形状を有する例を示しており、その長方形の2つの対向面に比較的広い部分を備える。これは一例に過ぎず、本開示はこれに限定されるものではない。他のゲート電極の形状が使用されてもよい。

10

【0048】

ボトムゲート金属層、すなわち第1ゲート電極またはボトムゲート電極12を形成するための金属層は、例えばTi、Au、Mo、MoCr、TiN、Cu、W、AlSiまたはTiWを含んでもよいが、本開示はこれに限定されるものではない。その厚さは、例えば10nm~2マイクロメートルの範囲内であってもよいが、本開示はこれに限定されるものではない。その金属層は、例えばPVD(物理気相堆積)、PECVDまたは蒸着によって堆積されてもよいが、本開示はこれに限定されるものではない。その金属層は、1つの層であってもよいし、または少なくとも2つの層を含む層スタックであってもよい。

20

【0049】

次のステップでは、図4に示されているように、第1ゲート誘電体層またはボトムゲート誘電体層13、例えばシリコン酸化物層、アルミニウム酸化物層またはハフニウム酸化物層などが、例えばPECVD、PVD、ALDまたは液相処理によって、堆積される(図9、ステップ404)。ボトムゲート誘電体層13の厚さは、典型的には25nm~500nmの範囲内であるが、本開示はこれに限定されるものではない。ボトムゲート誘電体層13の上に、例えばアモルファスIGZO層などのアモルファス金属酸化物半導体層が、例えばPVD(例えばDCスパッタリングまたは蒸着など)、PECVD、ALDまたは液相処理などによって、堆積される(図9、ステップ405)。次に、フォトリソグラフィおよびウェットエッチングまたはドライエッチングによって、アモルファス金属酸化物半導体層がパターニングされ(図9、ステップ405)、それによってパターニングされた金属酸化物半導体層14を形成し、図4に概略的に示されているような構造になる。パターニングされた金属酸化物半導体層14の位置に対応するエリアまたは領域、言い換えればパターニングされた金属酸化物半導体層14によって範囲を定められたエリアまたは領域は、更に半導体領域140(図4)と呼ばれる。半導体領域140は、ゲート領域(120)の一部に部分的に重なり、かつゲート領域(120)の2つの対向するエッジを超えて延びている。ここで説明されるプロセスフロー400の中では、この金属酸化物半導体層をパターニングするステップは、第2フォトリソグラフィ(PL)ステップ(PL#2)であり、フォトレジスト層を提供すること、フォトレジスト層を照射すること、および照射されたレジストを現像することを含む。

30

40

【0050】

本開示の具体例では、アモルファス金属酸化物半導体層14は、例えば、ガリウム・インジウム・亜鉛・酸化物(GIZOまたはIGZO)、または他の金属酸化物ベースの半導体、例えば、ZnO、ZnSnO、InO、InZnO、InZnSnO、LaInZnO、GaInO、HfInZnO、MgZnO、LaInZnO、TiO、TiInS

50

nO、TiInZnO、ScInZnO、SiInZnOおよびZrInZnO、ZrZnSnO（化学量論の表示なし）の組成から成る半導体を含んでもよい。しかし、本開示はこれに限定されず、一態様の中の方法は、当業者に知られている他の適切な金属酸化物半導体と共に使用することができる。これらの半導体層は、多数の方法によって、例えば、スパッタリング、熱蒸着、パルスレーザ堆積、および前駆体溶液のスピンキャストリング、インクジェット印刷またはドロップキャストリングなどによって提供されることができる。本開示の具体例では、金属酸化物半導体層は、5nm～100nm、例えば10nm～50nmの厚さを有してもよいが、本開示はこれに限定されるものではない。

【0051】

次に、第2ゲート誘電体層またはトップゲート(TG)誘電体層15、例えばシリコン酸化物層、アルミニウム酸化物層またはハフニウム酸化物層などが、例えばPECVD、PVD、ALDまたは液相処理によって、堆積される(図9、ステップ406)。第2ゲート誘電体層15の厚さは、典型的には25nm～500nmの範囲内であるが、本開示はこれに限定されるものではない。第2ゲート誘電体層15の上に、薄膜トランジスタ100の第2ゲート電極またはトップゲート電極を形成するための、第2ゲート導電層またはトップゲート導電層16が堆積される(図9、ステップ407)。本開示の具体例では、トップゲート導電層16は、導電層であり、トップゲート導電層16をパターニングして(後述のように)第2ゲート電極またはトップゲート電極を形成するためのリソグラフィステップの中で使用される波長に対して実質的に透明である。トップゲート導電層16を形成するために使用され得る材料の例は、ITO(インジウム錫酸化物)、AZO(アルミニウムドープ亜鉛酸化物)およびTiNであるが、本開示はこれに限定されるものではない。トップゲート導電層16の厚さは、後続のフォトリソグラフィステップの中で使用される光の波長に対して層が十分に透明であるように選択される。例えば、ITO層16については、厚さは10nm～100nmの範囲内であってもよい。例えば、TiN層16については、厚さは50nm以下であることが好ましい。図9に例として示されているプロセスフロー400の中では、次に、トップゲート導電層16の上に、ポジティブフォトレジスト層21が提供される(図9、ステップ408)。これは、図5に概略的に示されている。

【0052】

次に、図5に概略的に示されているように、ポジティブフォトレジスト層21の2つの照射ステップを実行し、次に照射されたフォトレジスト層を現像し、それによってパターニングされたフォトレジスト層を形成するステップを実行することによって、フォトレジスト層21がパターニングされる(図9、ステップ408)。このパターニングプロセスは、(例えば図1、ステップ207aに示されているような)裏面照射ステップと、(例えば図1、ステップ207bに示されているような)表面照射ステップとを含む。図5に示されている構造は、基板10の裏面102から(すなわち構造の基板側から、すなわち層スタックおよびフォトレジスト層21が提供されている側の反対側から)、専用のマスクを全く使用せずに、照射される。この照射ステップの間、ボトムゲート電極12は、照射に対してマスクの機能を有する。ボトムゲート電極12をマスクとして使用することの利点は、ボトムゲート電極に完全に整合したトップゲート電極を形成できることである。図5に示されている線B-B'に沿った断面図の中に示されているように、現在の同じフォトレジスト層21を用いて、構造は、マスク22を使用して、表面101から照射される。このマスク22は、マスクを通した照射の間、ゲート領域120に対応する領域の中で、エッジ部分のみが露光されるように設計されている。図の中に示されている例では、エッジ部分162は、ゲート領域120内で、ボトムゲートのより広い部分の一部にのみ重なるように配置されるように選択される。エッジ部分162と半導体領域140との間には重なりはない。すなわち、エッジ部分162は、金属酸化物半導体層14が存在するエリアとは異なるエリアの中にのみ存在する。本開示の具体例では、まず裏面照射が行われ、その後表面照射が行われてもよく、またはその逆、まず表面照射が行われ、その後裏面照射が行われてもよい。両照射ステップを実行した後、フォトレジスト層21は現

10

20

30

40

50

像されて、パターンングされたフォトリソ層を形成する。次に、残っているパターンングされたフォトリソ層をエッチングマスクとして使用するドライエッチングまたはウェットエッチングによって、トップゲート導電層または第2ゲート導電層16と、トップゲート誘電体層または第2ゲート誘電体層15とがパターンングされる(図9、ステップ409)。ここで説明されるプロセスフロー400の中では、このトップゲート導電層およびトップゲート誘電体層をパターンングするステップは、第3フォトリソグラフィ(PL)ステップ(PL#3)であり、フォトリソ層を提供すること、フォトリソ層を照射すること、および照射されたレジストを現像することを含む。

【0053】

その結果得られた構造は、パターンングされたトップゲート誘電体層151およびトップゲート電極または第2ゲート電極161(パターンングされたトップゲート導電層16)を示すが、これは図6に概略的に図示されている。この構造の中では、トップゲート電極161は、ボトムゲート電極12に重なっていないエッジ部分162を除いては、ボトムゲート電極12と同一の形状を有する。

【0054】

次に、図9のステップ410では、パターンングされた金属酸化物半導体層14の中に、ソース領域およびドレイン領域が形成される。本開示の具体例では、ソース領域およびドレイン領域は、第2ゲート電極161に対して自己整合される。ソース領域およびドレイン領域を形成するステップは、第2ゲート電極をマスクとして使用して、例えば水素ドーピングすること、ドーパントの注入、プラズマ処理または金属酸化物半導体材料の還元を含んでもよい。更に説明されるように、本開示の有利な具体例では、ソース領域およびドレイン領域を形成するステップは、次のプロセスステップ411(図9)の実行と組み合わせられてもよい。例えば、ソース領域およびドレイン領域を形成するステップは、次のプロセスステップ411(図9)の実行の結果であってもよい。

【0055】

次のプロセスステップでは、図7に示されているように、誘電体層17が堆積される(図9、ステップ411)。誘電体層17は、例えばSiN_x層であってもよく、例えば50nm~500nmの範囲内の厚さを有する。誘電体層17は、例えばPECVDによって堆積されてもよい。本開示の具体例に係る方法では、誘電体層17は、有利にはSiN_x層であってもよいが、それはなぜなら、このような層の堆積は、アモルファス金属酸化物半導体層14の露出領域(すなわち、トップゲート電極161によって覆われていない領域)の水素ドーピングにつながり、それによってアモルファス金属酸化物半導体層14の中にソース領域141およびドレイン領域142を形成するからである。これらの露出領域は、トップゲート電極161が存在しない領域に対応する。したがって、この手法は、トップゲート電極161に対して自己整合されたソース領域およびドレイン領域を形成する。本開示の具体例では、アモルファス金属酸化物半導体層14の露出領域(すなわち、トップゲート電極161に覆われていない領域)をドーピングするために、他の方法、例えばCa、Ti、Alの手段による、ドーパント(例えばB、P)の注入による、またはArもしくはNF₃プラズマを用いた処理による、金属酸化物半導体材料の還元などが使用されてもよい。異なる方法の組合せが使用されてもよい。本開示の具体例では、トップゲート電極161は、ドーピングステップに関してマスクとして使用される。

【0056】

プロセスフロー400(図9)のステップ412では、ビア18が、フォトリソグラフィおよびドライエッチングまたはウェットエッチングによって、誘電体層17を通して、同時にソース領域141と、ドレイン領域142と、トップゲート電極161と、ボトムゲート電極12と、に対するコンタクト開口のために、形成される。ここで説明されるプロセスフロー400の中では、このビアを形成するステップは、第4フォトリソグラフィ(PL)ステップ(PL#4)であり、フォトリソ層を提供すること、フォトリソ層を照射すること、および照射されたレジストを現像することを含む。本開示の具体例に係る方法の利点は、エッジ部分162に対応するエリアの中で、トップゲート電極16

10

20

30

40

50

1とボトムゲート電極12との間に重なりがないことである。図7に示されているように、このことは、開口部またはビアを、ソース領域141と、ドレイン領域142と、トップゲート電極161と、ボトムゲート電極12と、に向かって、同時に、すなわち1つのパターニングステップを使用することによって、形成することを可能にする。このことは、完全自己整合デュアルゲート薄膜トランジスタを製造するための公知の方法と比較して、1つのフォトリソグラフィステップを省略することを可能にする。

【0057】

次のステップ(図9、ステップ413)では、導電層、例えば金属層または導電性酸化物層が堆積され、フォトリソグラフィおよびエッチング(例えばドライエッチング)によってパターニングされ、それによって、図8に示されているように、ソースコンタクト191と、ドレインコンタクト192と、トップゲートコンタクトまたは第2ゲートコンタクト194と、ボトムゲートコンタクトまたは第1ゲートコンタクト193と、を形成する。導電層は、例えばMo、MoCr、Mo合金、Al、W、Ti、TiN、AuまたはITOを含んでもよいが、本開示はこれに限定されるものではない。この層の厚さは、例えば50nm~500nmの範囲内であってもよいが、本開示はこれに限定されるものではない。この層は、1つの層であってもよいし、または少なくとも2つの層を含む層スタックであってもよい。ここで説明されるプロセスフロー400の中では、このコンタクトまたは電極を形成するステップは、第5フォトリソグラフィ(PL)ステップ(PL#5)であり、フォトレジスト層を提供すること、フォトレジスト層を照射すること、および照射されたレジストを現像することを含む。最後に、サンプルは、例えば150~450、例えば200~300の範囲内の温度で、例えばN₂、O₂または大気雰囲気の中で、1~12時間、アニールされてもよい。

【0058】

図9に概略的に示されているプロセスフロー400は、本開示の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造するための方法の一例に過ぎない。例えば、本開示の別の具体例に係る完全自己整合デュアルゲート薄膜トランジスタを製造するための方法においては、第2ゲート導電層は、フォトレジスト層をパターニングするステップの後に提供されてもよく、第2ゲート導電層をパターニングするステップは、リフトオフプロセスを実行するステップを含んでもよい(例えば図2に示されているように)。

【0059】

デュアルゲート薄膜トランジスタデバイス100は、本開示の方法400(図9)の具体例によって製造された。ガラスキャリア基板10の上に、PECVD・SiN_x層が堆積され、続いて、150で、厚さ100nmのAl₂O₃バッファ層の原子層堆積がされた(ステップ402)。これに続いて、10nmのTiN/50nmのAlSi/10nmのTiNの層スタックが堆積され、一連のドライエッチングおよびウェットエッチングを使用してスタックのパターニングが行われ、それによって第1ゲート電極またはボトムゲート電極12が形成された(ステップ403)。次に、100nmのAl₂O₃から成る第1ゲート誘電体層13が150で堆積され(ステップ404)、続いて24nmの厚さのアモルファスIGZO層のスパッタリング堆積が行われた(ステップ405)。アモルファスIGZO層は、ウェットエッチングを使用してパターニングされた(ステップ405)。次に、250で、PECVDの手段によって、100nmの厚さのシリコン酸化物第2ゲート誘電体層15が堆積され(ステップ406)、続いて25nmの厚さのTiN第2ゲート導電層16が堆積された(ステップ407)。続いて、本開示の方法に係るフォトレジスト層のボトム露光およびトップ露光(ステップ408)によって、第2ゲート導電層16および第2ゲート誘電体層15を含むゲートスタックがパターニングされた(ステップ409)。パターニング(ステップ409)は、一連のドライエッチングステップ(CF₄およびSF₆の化学反応)を使用することによって行われた。その後、400nmの厚さのSiN_x誘電体層17は、PECVDの手段によって、150で堆積された(ステップ411)。コンタクト開口(ステップ412)は、一連のドライエッチングおよびウェットエッチングステップを使用することによって行われた。このコン

タクト開口ステップは、ボトムゲート電極 1 2 とトップゲート電極 1 6 1 の両方、およびソース領域 1 4 1 とドレイン領域 1 4 2 の両方に接触するように組み合わされた。次に、10 nm の Ti / 80 nm の AlSi / 10 nm の Ti のスタックが堆積され、ドライエッチングおよびウェットエッチングステップを使用することによってパターンニングされ (ステップ 4 1 3)、それによってソースコンタクト 1 9 1 と、ドレインコンタクト 1 9 2 と、ボトムゲートコンタクト 1 9 3 と、トップゲートコンタクト 1 9 4 と、を形成した。最後に、サンプルは、250 で、N₂ 雰囲気の中で、1 時間アニールされた。

【0060】

図 10 は、以上で説明したようなデュアルゲート薄膜トランジスタについて計測された、 $V_{DS} = 10 \text{ V}$ における I_{DS} 対 V_{GS} の変換特性を示し、図 11 は、 $V_{GS} = 10 \text{ V}$ における I_{DS} 対 V_{DS} の出力特性を示している (丸)。トランジスタは、15 マイクロメートル / 5 マイクロメートルの W/L 比を有するものであった。参考として、同一のデバイスについてと同様の特性が示されているが、それぞれ、測定中バックゲートのみが使用されたもの (三角形)、および測定中トップゲートのみが使用されたもの (四角形) である。本開示のデュアルゲート TFT は、シングルゲート TFT と比べた場合、より急なサブスレッショルド勾配 SS^{-1} 、およびより高い ON 電流 I_{ON} を示している。さらに、本開示のデュアルゲート TFT について、0 ボルトに近いターンオン電圧 V_{ON} が得られている。表 1 に、測定された SS^{-1} 、 I_{ON} および V_{ON} の値の概要が与えられている。

10

【表 1】

測定	$SS^{-1} [\text{V/decade}]$	$I_{ON} [10^{-6} \text{ A}]$	$V_{ON} [\text{V}]$
デュアルゲート	0.24	332	-2.8
バックゲートのみ	0.39	158	-6.4
トップゲートのみ	0.29	36	-4.0

20

【0061】

上記の説明は、本開示の特定の具体例を詳述している。しかしながら、理解されるであろうが、上記の内容がどれほど詳細に記載されていようとも、本開示は、多くの方法で実施され得る。注意しなければならないが、本開示のある特徴または態様を説明する場合、特定の専門用語の使用は、その専門用語が本明細書の中で再定義されて、その専門用語が関連付けられている本開示の特徴または態様の特定の特徴を含むことに限定されることを意味するものと理解されるべきではない。

30

【0062】

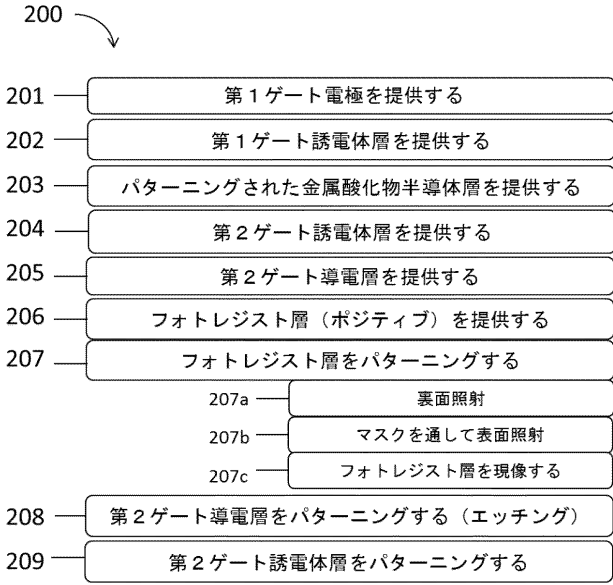
理解されるべきであるが、本開示に係るデバイスについて、好ましい具体例、特定の構造および配置、および材料が本明細書で議論されたが、形状および詳細の中で様々な変更または修正が行われてもよい。例えば、本開示の範囲内で説明された方法に対して、ステップが追加または削除されてもよい。

【0063】

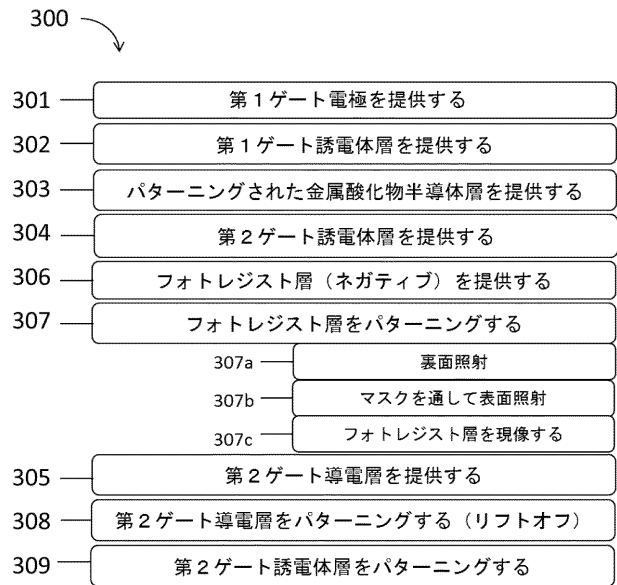
上記の詳細な説明および本開示の要約は、デバイスを製造する方法に焦点を合わせられていたが、本開示はまた、上記の具体例のいずれかに係る方法を用いて得られるデバイスにも関する。

40

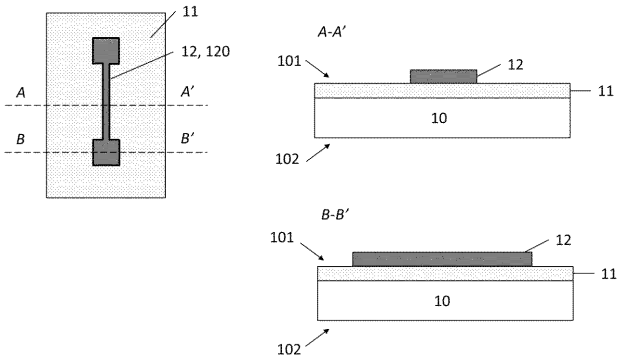
【 図 1 】



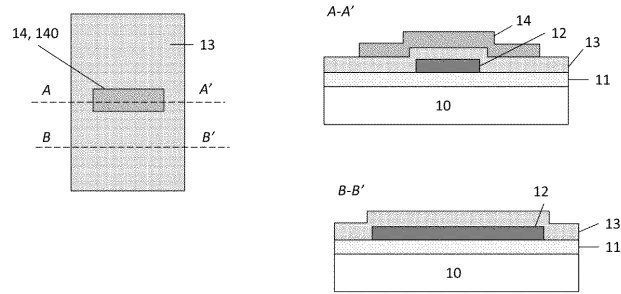
【 図 2 】



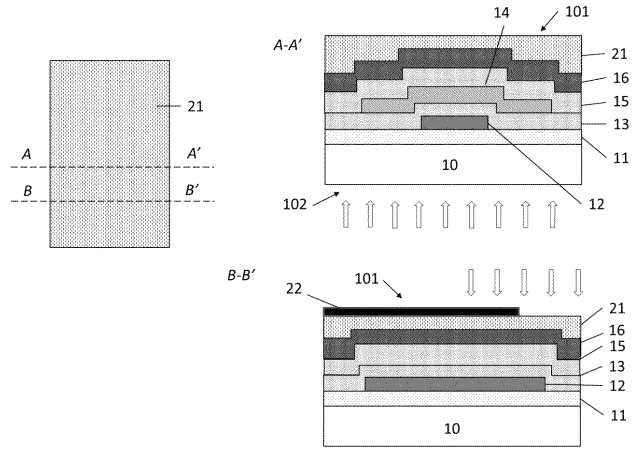
【 図 3 】



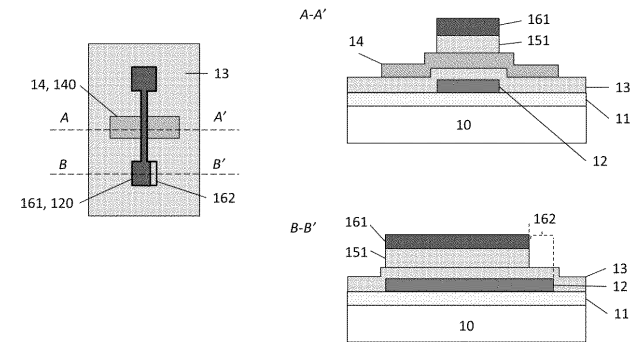
【 図 4 】



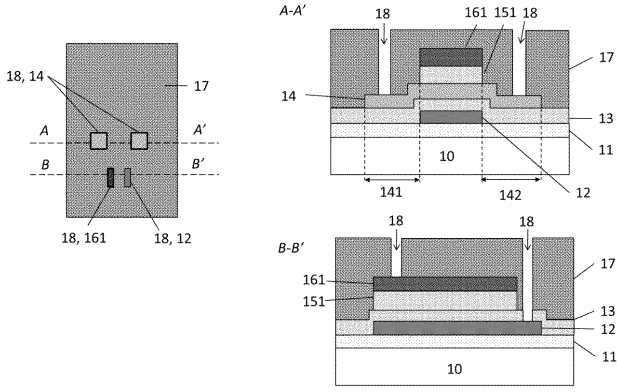
【 図 5 】



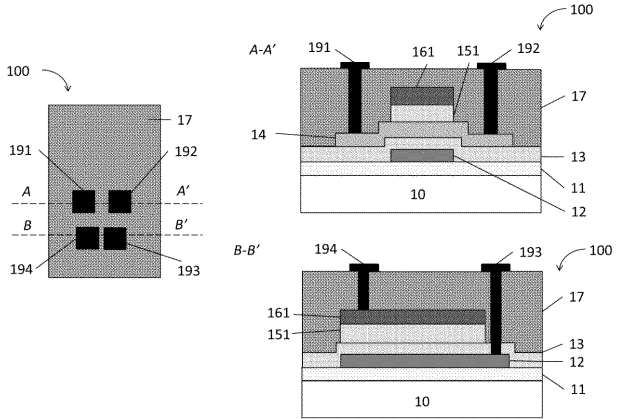
【 図 6 】



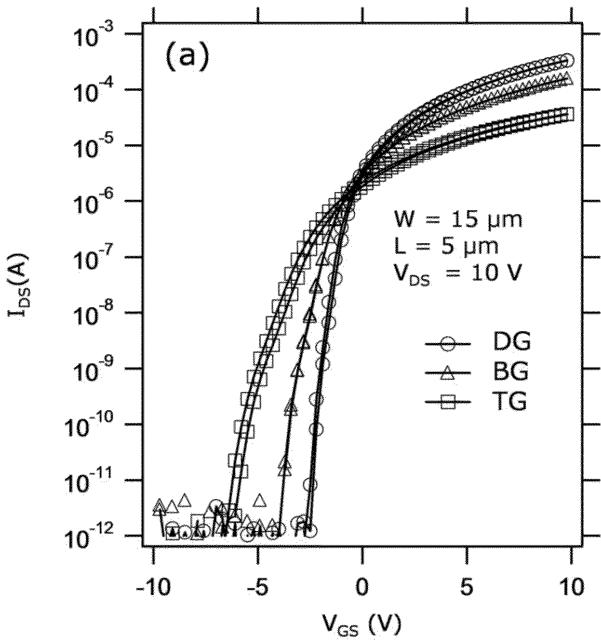
【 図 7 】



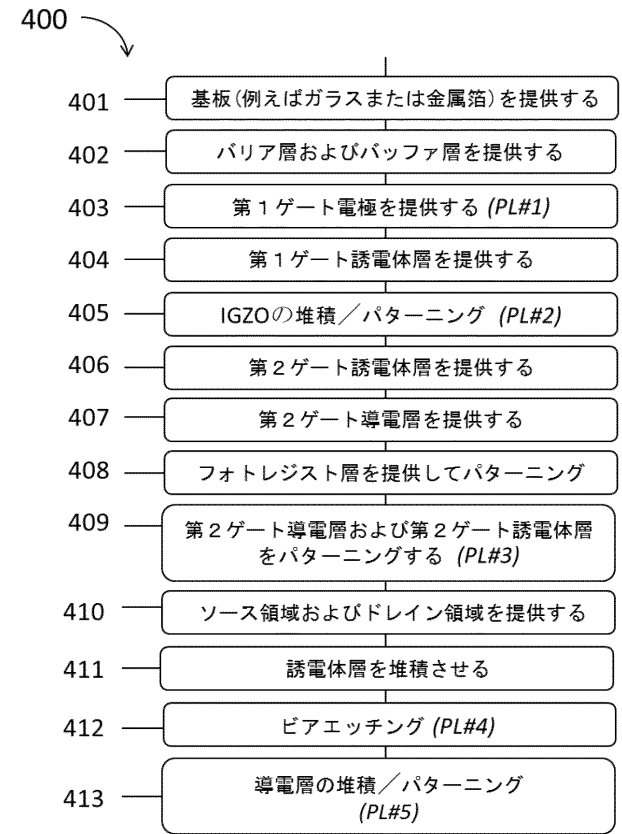
【 図 8 】



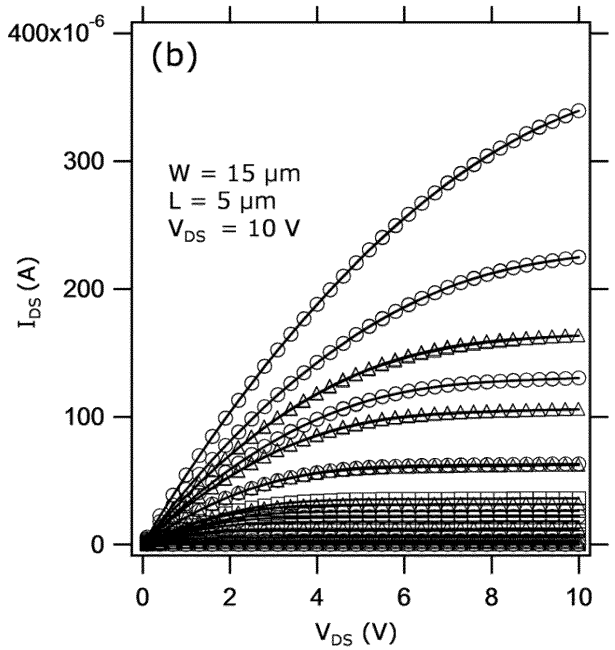
【 図 1 0 】



【 図 9 】



【 図 1 1 】



フロントページの続き

(74)代理人 100081422

弁理士 田中 光雄

(74)代理人 100112911

弁理士 中野 晴夫

(72)発明者 マノジ・ナグ

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック・ヴェーゼットウェー内

Fターム(参考) 5F110 AA16 DD02 DD11 DD14 EE01 EE02 EE04 EE05 EE06 EE07
EE14 EE15 EE30 EE45 FF01 FF02 FF27 FF29 FF30 GG01
GG15 GG35 GG43 HJ01 HJ13 HJ18 HJ30 HL01 HL02 HL03
HL04 HL05 HL06 HL07 HL11 HL12 HL27 NN05 NN24 NN35
QQ12

IMEC Ref. 2015/311_EP1

**METHOD FOR FABRICATING FULLY SELF-ALIGNED DUAL-GATE THIN
FILM TRANSISTORS**

5

Field

[0001] The present disclosure relates to methods for fabricating amorphous metal oxide semiconductor thin film transistors. More in particular, the present disclosure relates to methods for fabricating fully self-aligned dual-gate thin film transistors.

10

State of the art

[0002] In recent years, amorphous metal oxide semiconductors, such as for example amorphous Indium Gallium Zinc Oxide (IGZO), have received great interest as a material for Thin Film Transistor (TFT) applications. These materials have been investigated as an alternative to amorphous silicon (a-Si:H) and low temperature polycrystalline silicon (LTPS) TFTs, for example in the context of active matrix liquid crystal displays (AMLCDs) and active matrix organic light emitting diode displays (AMOLEDs).

15

[0003] For enhancing the performance of TFT based electronic systems, high-speed operation is required. Common solutions to improve the speed performance are the use of high mobility materials and the reduction of the transistor channel length (L). Another solution to achieve enhanced performance is the use of a dual-gate (DG) transistor structure. In the context of TFT architectures, the self-aligned (SA) Gate-Source/Drain TFT structure, wherein a gate is self-aligned to the source and drain, has zero gate-source/drain overlap capacitance, in contrast with back-channel-etch (BCE) and etch-stop-layer (ESL) structures, and a smaller footprint when compared to ESL structures. It has been reported that for a-IGZO TFT circuits with dual-gate (DG) operation better control of the channel is achieved, resulting in improved characteristics such as higher mobility, higher on-current (I_{ON}), smaller sub-threshold slope (SS^{-1}) and a turn-on voltage (V_{ON}) closer to zero Volt.

20

25

[0004] A method for fabricating fully self-aligned dual-gate a-IGZO TFTs is disclosed by Xin He et al in "Implementation of Fully Self-Aligned Homojunction Double-Gate a-IGZO TFTs", IEEE Electron Device Letters, Vol. 35, No. 9. September 2014, pp 927-

30

2

929. In a fully self-aligned dual-gate TFT, the top gate and the bottom gate are self-aligned to each other and the source and drain are self-aligned to the gates. According to the method described by Xin He et al, self-alignment between the bottom gate and the top gate is realized with a photolithographic step with back-side illumination; self-alignment
5 between the source/drain regions and the two gates is obtained by argon plasma treatment and hydrogen doping. This method requires six photolithographic (PL) steps, i.e. six steps comprising providing a photoresist layer, illuminating the photoresist layer and developing the illuminated resist. In a first step, a first gate metallic layer (bottom gate or back gate metallic layer) is deposited on a glass substrate and patterned (PL#1) by wet
10 etching to form a back gate electrode. Then a first gate dielectric layer is deposited, followed by the deposition of an a-IGZO layer by DC sputtering. The a-IGZO layer is then patterned using wet etching (PL#2). Afterwards a second gate dielectric layer is deposited. Subsequently a negative photoresist layer is provided at the front side and next the wafer is illuminated from the backside (PL#3), for defining the top gate pattern. The
15 top gate pattern is thus defined by the back gate electrode acting as an in-situ mask during back side illumination. After resist development a second gate layer (top gate layer) is deposited and lifted off to form the top gate electrode. Dry etching is used for patterning the second gate dielectric layer, using the top gate as an etching mask. The exposed a-IGZO layer on the source/drain regions is then treated by Ar plasma to enhance the
20 conductivity. Afterwards a SiN_x layer is deposited, further leading to the formation of n+ a-IGZO source/drain regions that are self-aligned to the top gate electrode. This is followed by opening via holes for the source and drain regions (PL#4) and deposition and patterning (PL#5) of source/drain electrodes. Finally a back gate contact hole is opened (PL#6).

25

Summary

[0005] It is an object of the present disclosure to provide a method for fabricating fully self-aligned dual-gate thin film transistors wherein the number of process steps is reduced as compared to known methods. More in particular, it is an object of the present disclosure
30 to provide a method for fabricating fully self-aligned dual-gate amorphous metal oxide semiconductor thin film transistors with a reduced number of photolithographic steps as compared to known methods.

[0006] The above objective is accomplished by a method according to the present disclosure.

[0007] This disclosure is related to a method for fabricating a fully self-aligned dual-gate metal oxide semiconductor thin film transistor. The method comprises: providing on a front side of a substrate a first gate electrode delimiting a gate region; providing a first gate dielectric layer over the substrate and the first gate electrode; providing a patterned metal oxide semiconductor layer on the first gate dielectric layer, the patterned metal oxide semiconductor layer delimiting a semiconductor region partially overlapping with part of the gate region and extending beyond two opposite edges of the gate region; providing a second gate dielectric layer over the patterned metal oxide semiconductor layer; providing a second gate electrically conductive layer; providing a photoresist layer; patterning the photoresist layer, thereby forming a patterned photoresist layer; patterning the second gate electrically conductive layer, thereby forming a second gate electrode; and patterning the second gate dielectric layer, thereby forming a patterned second gate dielectric layer. In a method according to embodiments of the present disclosure, patterning the photoresist layer comprises performing a rear side illumination step, a front side illumination step and a photoresist development step, wherein the rear side illumination step comprises illumination of the photoresist layer from a rear side of the substrate using the first gate electrode as a mask, and wherein front side illumination step comprises illumination of the photoresist layer from the front side using a mask exposing the photoresist layer in the gate region only in an edge part.

[0008] In embodiments of a method of the present disclosure, providing the second gate electrically conductive layer may be done before providing the photoresist layer. In such embodiments a positive photoresist layer is used. Patterning the second gate electrically conductive layer then comprises locally etching the second gate electrically conductive layer using the patterned photoresist layer as a mask, and patterning the second gate dielectric layer comprises locally etching the second gate dielectric layer using the patterned photoresist layer or the second gate electrode as a mask.

[0009] In other embodiments of a method of the present disclosure, providing the second gate electrically conductive layer may be done after patterning the photoresist layer. In such embodiments a negative photoresist layer is used. Patterning the second gate electrically conductive layer then comprises performing a lift-off process, and

patterning the second gate dielectric layer comprises locally etching the second gate dielectric layer using the second gate electrode as a mask.

[0010] In embodiments of the present disclosure the edge part is preferably located in a part of the gate region that is non-overlapping with the semiconductor region. In
5 embodiments of the present disclosure the first gate may for example comprise a narrower portion and a wider portion, and the edge part may be located within an area corresponding to a part of the wider portion. In such embodiments the edge part only overlaps with a part of the wider portion of the bottom gate.

[0011] A method according to embodiments of the present disclosure may further
10 comprise providing a source region and a drain region in the patterned metal oxide semiconductor layer, wherein the source region and the drain region are self-aligned to the second gate electrode. In the process of providing the source region and the drain region, the second gate electrode may be used as a mask.

[0012] Providing the source region and the drain region may for example comprise
15 doping with hydrogen. Providing the source region and the drain region may for example comprise implantation of dopants or plasma treatment or reduction of the metal oxide semiconductor material. Different methods for providing the source region and the drain region may be combined, e.g. performed sequentially. In embodiments of the present disclosure, forming the source region and the drain region may comprise a combination
20 of hydrogen doping, implantation of dopants, plasma treatment and/or reduction of the metal oxide semiconductor material.

[0013] A method according to embodiments of the present disclosure may further
comprise depositing a dielectric layer and forming vias through the dielectric layer
simultaneously towards the source region, the drain region, the second gate electrode and
25 the first gate electrode.

[0014] In embodiments of a method according to the present disclosure, depositing the dielectric layer may comprise depositing a silicon nitride layer. In such embodiments the step of depositing the silicon nitride layer may introduce hydrogen in the metal oxide semiconductor layer, thereby doping the metal oxide semiconductor layer with hydrogen
30 and forming the source region and the drain region. Depositing the silicon nitride layer preferably comprises depositing the silicon nitride layer by means of Plasma Enhanced Chemical Vapour Deposition.

[0015] A method according to embodiments of the present disclosure may further comprise depositing and patterning an electrically conductive layer, thereby simultaneously forming a source contact, a drain contact, a first gate contact and a second gate contact.

5 [0016] It is an advantage of a method according to embodiments of the present disclosure that it allows fabricating fully self-aligned dual-gate thin film transistors with a reduced number of process steps, more in particular a reduced number of photolithographic steps, as compared to known methods. It is an advantage that this may result in a reduced manufacturing cost of fully self-aligned dual-gate thin film transistors.
10 It is an advantage that this may result in a reduced complexity of the method as compared to known methods.

[0017] Particular and preferred aspects of the disclosure are set out in the accompanying independent and dependent claims. Features from the dependent claims may be combined with features of the independent claims and with features of other
15 dependent claims as appropriate and not merely as explicitly set out in the claims.

[0018] The above and other characteristics, features and advantages of the present disclosure will become apparent from the following detailed description, taken in conjunction with the accompanying drawings, which illustrate, by way of example, the principles of the disclosure. This description is given for the sake of example only,
20 without limiting the scope of the disclosure. The reference figures quoted below refer to the attached drawings.

Brief description of the figures

[0019] FIG 1 schematically illustrates an example of a process flow in accordance with
25 an embodiment of a method of the present disclosure.

[0020] FIG 2 schematically illustrates an example of a process flow in accordance with an embodiment of a method of the present disclosure.

[0021] FIG 3 to FIG 8 schematically illustrate process steps of an example of a method for fabricating a fully self-aligned dual-gate thin film transistor in accordance with an
30 embodiment of the present disclosure. A schematic top view of the structure is shown at the left hand side and schematic cross sections along line A-A' and along line B-B' respectively are shown at the right hand side.

[0022] FIG 9 schematically illustrates an example of a process flow for fabricating a fully self-aligned dual-gate thin film transistor in accordance with a method of the present disclosure.

5 [0023] FIG 10 shows I_{DS} versus V_{GS} transfer characteristics measured for a fully self-aligned dual-gate thin film transistor fabricated according to an embodiment of a method of the present disclosure (circles). As a reference, similar characteristics are shown for devices with back gate only (triangles) and for devices with top gate only (squares).

10 [0024] FIG 11 shows I_{DS} versus V_{DS} output characteristics measured for a fully self-aligned dual-gate thin film transistor fabricated according to an embodiment of a method of the present disclosure (circles). As a reference, similar characteristics are shown for devices with back gate only (triangles) and for devices with top gate only (squares).

[0025] In the different figures, the same reference signs refer to the same or analogous elements.

15 **Detailed description**

[0026] The present disclosure will be described with respect to particular embodiments and with reference to certain drawings but the disclosure is not limited thereto but only by the claims. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not
20 drawn on scale for illustrative purposes. The dimensions and the relative dimensions do not correspond to actual reductions to practice of the disclosure.

[0027] Moreover, the terms top, bottom, over, under and the like in the description and the claims are used for descriptive purposes and not necessarily for describing relative positions. It is to be understood that the terms so used are interchangeable under
25 appropriate circumstances and that the embodiments of the disclosure described herein are capable of operation in other orientations than described or illustrated herein.

[0028] It is to be noticed that the term "comprising", used in the claims, should not be interpreted as being restricted to the means listed thereafter; it does not exclude other elements or steps. It is thus to be interpreted as specifying the presence of the stated
30 features, integers, steps or components as referred to, but does not preclude the presence or addition of one or more other features, integers, steps or components, or groups thereof.

[0029] Reference throughout this specification to “one embodiment” or “an embodiment” means that a particular feature, structure or characteristic described in connection with the embodiment is included in at least one embodiment of the present disclosure. Thus, appearances of the phrases “in one embodiment” or “in an embodiment”
5 in various places throughout this specification are not necessarily all referring to the same embodiment, but may. Furthermore, the particular features, structures or characteristics may be combined in any suitable manner, as would be apparent to one of ordinary skill in the art from this disclosure, in one or more embodiments.

[0030] Similarly it should be appreciated that in the description of exemplary
10 embodiments of the disclosure, various features of the disclosure are sometimes grouped together in a single embodiment, figure, or description thereof for the purpose of streamlining the disclosure and aiding in the understanding of one or more of the various inventive aspects. This method of disclosure, however, is not to be interpreted as reflecting an intention that the claimed disclosure requires more features than are
15 expressly recited in each claim. Rather, as the following claims reflect, inventive aspects lie in less than all features of a single foregoing disclosed embodiment. Thus, the claims following the detailed description are hereby expressly incorporated into this detailed description, with each claim standing on its own as a separate embodiment of this disclosure.

[0031] Furthermore, while some embodiments described herein include some but not
20 other features included in other embodiments, combinations of features of different embodiments are meant to be within the scope of the disclosure, and form different embodiments, as would be understood by those in the art. For example, in the following claims, any of the claimed embodiments can be used in any combination.

[0032] In the description provided herein, numerous specific details are set forth.
25 However, it is understood that embodiments of the disclosure may be practiced without these specific details. In other instances, well-known methods, structures and techniques have not been shown in detail in order not to obscure an understanding of this description.

[0033] The following terms are provided solely to aid in the understanding of the
30 disclosure.

[0034] In the context of the present disclosure, ‘self-aligned’ means that a first element or feature of a device is aligned to a second element or feature of the device by performing

a process wherein the second element or feature is used as a mask for defining the first element or feature. Alignment between two elements or features of the device is thus obtained by using one element or feature as a mask for patterning other elements or features. For example, in the context of a transistor fabrication process a metallic gate
5 may be used as a mask for defining 'self-aligned' source and drain regions of the transistor. For example, in the context of a dual-gate transistor fabrication process, a first gate may be used as a mask for defining a 'self-aligned' second gate.

[0035] In the context of the present disclosure, 'fully self-aligned dual-gate thin film transistor (process)' refers to a dual-gate thin film transistor and corresponding
10 fabrication process wherein the gates are self-aligned to each other and wherein the source and drain regions are self-aligned to a gate. More in particular, in the context of the present disclosure the bottom gate is used as a mask for defining (patterning) the top gate, and the top gate is used as a mask for defining the source and drain regions of the thin film transistor.

[0036] The disclosure will now be described by a detailed description of several
15 embodiments of the disclosure. It is clear that other embodiments of the disclosure can be configured according to the knowledge of persons skilled in the art without departing from the true spirit or technical teaching of the disclosure, the disclosure being limited only by the terms of the appended claims.

[0037] FIG 1 schematically illustrates an example of a process flow in accordance with
20 an embodiment of a method of the present disclosure.

[0038] The method 200 shown in the process flow of FIG 1 comprises in a first step
(FIG 1, step 201), providing a first gate electrode or bottom gate electrode on a substrate. Providing the first gate electrode or bottom gate electrode comprises depositing a bottom
25 gate metallic layer and patterning the bottom gate metallic layer by means of photolithography to thereby form a first gate electrode or bottom gate electrode. The bottom gate electrode delimits, i.e. defines, a gate region.

[0039] In a next step (FIG 1, step 202), a first gate dielectric layer or bottom gate
dielectric layer is provided, e.g. deposited, over the substrate and the first gate electrode.
30 Next, a patterned amorphous metal oxide semiconductor layer is provided (FIG 1, step 203) on the first gate dielectric layer. Providing the patterned amorphous metal oxide semiconductor layer comprises depositing an amorphous metal oxide semiconductor

layer and patterning this layer by means of photolithography and dry or wet etching. The patterned metal oxide semiconductor layer delimits, i.e. defines, a semiconductor region.

[0040] Next, at step 204 (FIG 1), a second gate dielectric layer or top gate dielectric layer is provided over the metal oxide semiconductor layer and afterwards, at step 205 (FIG 1), a second gate electrically conductive layer or top gate electrically conductive layer is provided on the second gate dielectric layer.

[0041] After top gate electrically conductive layer deposition, a positive photoresist layer is provided (FIG 1, step 206) on the second gate electrically conductive layer and this photoresist layer is patterned (FIG 1, step 207). Patterning of the photoresist layer is done by performing a rear side illumination step (FIG 1, step 207a), a front side illumination step (FIG 1, step 207b) and a photoresist development step (FIG 1, step 207c), thereby forming a patterned photoresist layer. The rear side illumination step comprises illumination of the photoresist layer from a rear side of the substrate using the first gate electrode as a mask. It is an advantage of using the first gate electrode or bottom gate electrode as a mask that it allows forming a second gate electrode or top gate electrode that is fully aligned with the bottom gate electrode. The front side illumination step comprises illumination of the photoresist layer from the front side of the substrate using a mask exposing the photoresist layer in the gate region only in an edge part, the edge part being non-overlapping with the semiconductor region. The rear side illumination may be done first and afterwards the front side illumination may be done, or vice versa, first the front side illumination may be done and afterwards the rear side illumination.

[0042] Next the top gate electrically conductive layer or second gate electrically conductive layer is patterned (FIG 1, step 208) by locally etching the second gate electrically conductive layer using the patterned photoresist layer as a mask, thereby forming a second gate electrode. Further, the top gate dielectric layer or second gate dielectric layer is patterned (FIG 1, step 209) by locally etching the second gate dielectric layer using the patterned photoresist layer or the second gate electrode as a mask.

[0043] FIG 2 schematically illustrates an example of a process flow in accordance with another embodiment of a method of the present disclosure.

[0044] The method 300 shown in the process flow of FIG 2 comprises in a first step (FIG 2, step 301) providing a first gate electrode or bottom gate electrode on a substrate.

10

Providing the first gate electrode or bottom gate electrode comprises depositing a bottom gate metallic layer and patterning the bottom gate metallic layer by means of photolithography to thereby form a first gate electrode or bottom gate electrode. The bottom gate electrode delimits, i.e. defines, a gate region.

5 [0045] In a next step (FIG 2, step 302), a first gate dielectric layer or bottom gate dielectric layer is provided, e.g. deposited, over the substrate and the first gate electrode. Next, a patterned amorphous metal oxide semiconductor layer is provided (FIG 2, step 303) on the first gate dielectric layer. Providing the patterned amorphous metal oxide semiconductor layer comprises depositing an amorphous metal oxide semiconductor
10 layer and patterning this layer by means of photolithography and dry or wet etching. The patterned metal oxide semiconductor layer delimits, i.e. defines, a semiconductor region. [0046] Next, at step 304 (FIG 2), a second gate dielectric layer or top gate dielectric layer is provided over the metal oxide semiconductor layer.

[0047] Afterwards a negative photoresist layer is provided (FIG 2, step 306) and this
15 photoresist layer is patterned (FIG 2, step 307). Patterning of the photoresist layer is done by performing a rear side illumination step (FIG 2, step 307a), a front side illumination step (FIG 2, step 307b) and a photoresist development step (FIG 2, step 307c), thereby forming a patterned photoresist layer. The rear side illumination step comprises illumination of the photoresist layer from a rear side of the substrate using the first gate
20 electrode as a mask. It is an advantage of using the first gate electrode or bottom gate electrode as a mask that it allows forming a second gate electrode or top gate electrode that is fully aligned with the bottom gate electrode. The front side illumination step comprises illumination of the photoresist layer from the front side of the substrate using a mask exposing the photoresist layer in the gate region only in an edge part, the edge
25 part being non-overlapping with the semiconductor region. The rear side illumination may be done first and afterwards the front side illumination may be done, or vice versa, first the front side illumination may be done and afterwards the rear side illumination.

[0048] After having formed the patterned photoresist layer a second gate electrically
30 conductive layer or top gate electrically conductive layer is provided (FIG 2, step 305). Next the top gate electrically conductive layer or second gate electrically conductive layer is patterned (FIG 2, step 308) by performing a lift-off process, thereby forming a second gate electrode. Further, the top gate dielectric layer or second gate dielectric layer is

patterned (FIG 2, step 309) by locally etching the second gate dielectric layer using the second gate electrode as a mask.

[0049] FIG 3 to FIG 8 illustrate an example of a fabrication method of a fully self-aligned dual-gate thin film transistor 100 according to an embodiment of the present disclosure. In these figures, a schematic top view of the fabricated structure is shown at the left hand side and schematic cross sections along line A-A' and along line B-B' respectively are shown at the right hand side. In FIG 3 to FIG 8 the top view is shown at a scale that is different from the scale of the cross sections. The corresponding process flow 400 is schematically illustrated in FIG 9.

10 **[0050]** In the example shown, the thin-film transistor is formed on a substrate 10, such as for example a glass substrate or a foil substrate. However, the present disclosure is not limited thereto and other substrates may be used, provided they are substantially transparent to the wavelength used for the lithographic step defining the top gate electrode (using illumination through the substrate) as further described. After having provided the substrate 10 (FIG 9, step 401), a buffer layer and optionally a barrier layer are deposited (FIG 9, step 402) on a front side 101 of the substrate 10 as schematically illustrated in FIG 3. In FIG 3 the buffer layer and the barrier layer are shown as a single layer 11. A barrier layer is typically used in combination with a flexible substrate such as a foil substrate, but it may also be used in combination with other substrates such as glass substrates.

15 **[0051]** In embodiments of the present disclosure, the barrier layer and the buffer layer are dielectric layers. The barrier layer may for example be a silicon nitride layer or a polymer layer, e.g. having a thickness in the range between 100 nm and a 3 micrometer, the present disclosure not being limited thereto. The barrier layer protects the device from undesired influences from the substrate, e.g. from undesired diffusion of elements such as for example hydrogen from the substrate into the metal oxide semiconductor layer. The buffer layer may for example be a silicon oxide layer (e.g. deposited by PECVD (Plasma Enhanced Chemical Vapour Deposition)) or an aluminium oxide layer (e.g. deposited by ALD (Atomic Layer Deposition)). The buffer layer typically has a thickness in the range
20 between 50 nm and 200 nm, but the present disclosure is not limited thereto. A buffer layer may for example be deposited for providing improved smoothness, i.e. for providing a surface with a better smoothness than the surface of the underlying layer (such as e.g.

12

the buffer layer). Layer stacks comprising multiple barrier layers and/or multiple buffer layers may be used.

5 [0052] On the substrate 10 with barrier and buffer layers 11, a bottom gate (BG) metallic layer or first gate metallic layer is deposited and patterned by means of photolithography to thereby form a first gate electrode or bottom gate electrode 12 (FIG 9, step 403). The area or region corresponding to the location of the first gate electrode or bottom gate electrode 12, in other words the area or region delimited by the first gate electrode 12, is further referred to as the gate region 120 (FIG 3). In the process flow 400 described here, the bottom gate patterning step is the first photolithographic (PL) step, 10 comprising providing a photoresist layer, illuminating the photoresist layer and developing the illuminated resist (PL#1). FIG 3 shows an example where the bottom gate electrode 12 has a rectangular shape with a wider portion at two opposite sides of the rectangle. This is only an example, and the present disclosure is not limited thereto. Other gate electrode shapes may be used.

15 [0053] The bottom gate metallic layer, i.e. the metallic layer for forming the first gate electrode or bottom gate electrode 12 may for example comprise Ti, Au, Mo, MoCr, TiN, Cu, W, AlSi or TiW, the present disclosure not being limited thereto. The thickness may for example be in the range between 10 nm and 2 micrometer, the present disclosure not being limited thereto. It may for example be deposited by PVD (Physical Vapour 20 Deposition), PECVD or evaporation, the present disclosure not being limited thereto. It may be a single layer or a layer stack comprising at least two layers.

[0054] In a next step, as illustrated in FIG 4, a first gate dielectric layer or bottom gate dielectric layer 13, such as for example a silicon oxide layer, an aluminium oxide layer or a hafnium oxide layer, is deposited (FIG 9, step 404), such as for example by means 25 of PECVD, PVD, ALD or solution processing. The thickness of the bottom gate dielectric layer 13 is typically in the range between 25 nm and 500 nm, the present disclosure not being limited thereto. On top of the bottom gate dielectric layer 13 an amorphous metal oxide semiconductor layer, such as for example an amorphous IGZO layer is deposited (FIG 9, step 405), for example by PVD (such as e.g. DC sputtering or evaporation), 30 PECVD, ALD or solution processing. The amorphous metal oxide semiconductor layer is then patterned (FIG 9, step 405) by means of photolithography and wet or dry etching, thereby forming a patterned metal oxide semiconductor layer 14, resulting in a structure

13

as schematically shown in FIG 4. The area or region corresponding to the location of the patterned metal oxide semiconductor layer 14, in other words the area or region delimited by the patterned metal oxide semiconductor layer 14, is further referred to as the semiconductor region 140 (FIG 4). The semiconductor region 140 is partially overlapping with part of the gate region (120) and extends beyond two opposite edges of the gate region (120) (FIG 6). In the process flow 400 described here, this metal oxide semiconductor layer patterning step is the second photolithographic (PL) step, comprising providing a photoresist layer, illuminating the photoresist layer and developing the illuminated resist (PL#2).

10 [0055] In embodiments of the present disclosure, the amorphous metal oxide semiconductor layer 14 may for example comprise gallium-indium-zinc-oxide (GIZO or IGZO), or other metal oxide based semiconductors, e.g. of following compositions (without indication of the stoichiometry): ZnO, ZnSnO, InO, InZnO, InZnSnO, LaInZnO, GaInO, HfInZnO, MgZnO, LaInZnO, TiO, TiInSnO, TiInZnO, ScInZnO, SiInZnO and
15 ZrInZnO, ZrZnSnO. However, the present disclosure is not limited thereto and the method in one aspect can be used with other suitable metal oxide semiconductors known to a person skilled in the art. These semiconductor layers can be provided by a multitude of methods such as for example sputtering, thermal evaporation, pulsed laser deposition, and spin-casting, ink-jet printing or drop casting of precursor solutions. In embodiments
20 of the present disclosure, the metal oxide semiconductor layer may have a thickness between 5 nm and 100 nm, for example between 10 nm and 50 nm, the present disclosure not being limited thereto.

[0056] Next, a second gate dielectric layer or top gate (TG) dielectric layer 15, such as for example a silicon oxide layer, an aluminium oxide layer or a hafnium oxide layer,
25 is deposited (FIG 9, step 406), such as for example by means of PECVD, PVD, ALD or solution processing. The thickness of the second gate dielectric layer 15 is typically in the range between 25 nm and 500 nm, the present disclosure not being limited thereto. On the second gate dielectric layer 15 a second gate electrically conductive layer or top gate electrically conductive layer 16 is deposited (FIG 9, step 407), for forming a second gate
30 electrode or top gate electrode of the thin film transistor 100. In embodiments of the present disclosure the top gate electrically conductive layer 16 is an electrically conductive layer that is substantially transparent to the wavelength used in the

lithographic step for patterning the top gate electrically conductive layer 16 to thereby define a second gate electrode or top gate electrode (as described below). Examples of materials that may be used for forming the top gate electrically conductive layer 16 are ITO (Indium Tin Oxide), AZO (Aluminium doped Zinc Oxide) and TiN, the present disclosure not being limited thereto. The thickness of the top gate electrically conductive layer 16 is selected such that the layer is sufficiently transparent to the wavelength of the light used in the subsequent photolithographic step. For example, for an ITO layer 16 the thickness may be in the range between 10 nm and 100 nm. For example, for a TiN layer 16 the thickness is preferably not larger than 50 nm. In the process flow 400 shown as an example in FIG 9, next a positive photoresist layer 21 is provided (FIG 9, step 408) on the top gate electrically conductive layer 16. This is schematically illustrated in FIG 5.

[0057] Next, the photoresist layer 21 is patterned (FIG 9, step 408) by performing two illumination steps of the positive photoresist layer 21, as schematically illustrated in FIG 5, followed by a step of developing the illuminated photoresist layer to thereby form a patterned photoresist layer. This patterning process comprises a rear side illumination step (as for example illustrated in FIG 1, step 207a) and a front side illumination step (as for example illustrated in FIG 1, step 207b). The structure shown in FIG 5 is illuminated from the rear side 102 of the substrate 10 (i.e. from the substrate side of the structure, i.e. the side opposite to the side where the layer stack and the photoresist layer 21 are provided) without using any dedicated mask. During this illumination step, the bottom gate electrode 12 has the function of a mask for the illumination. It is an advantage of using the bottom gate electrode 12 as a mask that it allows forming a top gate electrode that is fully aligned with the bottom gate electrode. With the same photoresist layer 21 present, the structure is illuminated from the front side 101 using a mask 22 as illustrated in the cross section along line *B-B'* shown in FIG 5. This mask 22 is designed such that in an area corresponding to the gate region 120, only an edge part (162, shown FIG 6) is exposed to the light during illumination through the mask. In the example shown in the drawings, the edge part 162 is selected to be located such that within the gate region 120, it only overlaps with a part of a wider portion of the bottom gate. There is no overlap between the edge part 162 and the semiconductor region 140, i.e. the edge part 162 is only present in an area different from the area where the metal oxide semiconductor layer 14 is present. In embodiments of the present disclosure first the rear side illumination

15

may be done and afterwards the front side illumination, or vice versa, first the front side illumination may be done and afterwards the rear side illumination. After having performed both illumination steps, the photoresist layer 21 is developed to form a patterned photoresist layer. Next the top gate electrically conductive layer or second gate electrically conductive layer 16 and the top gate dielectric layer or second gate dielectric layer 15 are patterned (FIG 9, step 409) by dry or wet etching, using the remaining patterned photoresist layer as an etching mask. In the process flow 400 described here, this top gate electrically conductive layer and top gate dielectric layer patterning step is the third photolithographic (PL) step, comprising providing a photoresist layer, illuminating the photoresist layer and developing the illuminated resist (PL#3).

[0058] The resulting structure, showing the patterned top gate dielectric layer 151 and the top gate electrode or second gate electrode 161 (the patterned top gate electrically conductive layer 16) is schematically illustrated in FIG 6. In this structure, the top gate electrode 161 has the same shape as the bottom gate electrode 12, except for an edge part 162, where the top gate electrode 161 is not overlapping with the bottom gate electrode 12.

[0059] Next, FIG 9 step 410, a source region and a drain region are formed in the patterned metal oxide semiconductor layer 14. In embodiments of the present disclosure the source region and the drain region are self-aligned to the second gate electrode 161. Forming the source region and the drain region may for example comprise doping with hydrogen, implantation of dopants, plasma treatment or reduction of the metal oxide semiconductor material, using the second gate electrode as a mask. As further described, in advantageous embodiments of the present disclosure, the step of forming a source region and a drain region may be combined with, e.g. it may be a result of, performing the next process step 411 (FIG 9).

[0060] In the next process step, a dielectric layer 17 is deposited (FIG 9, step 411) as illustrated in FIG 7. The dielectric layer 17 may for example be a SiN_x layer, e.g. having a thickness in the range between 50 nm and 500 nm. It may for example be deposited by PECVD. In a method according to embodiments of the present disclosure, the dielectric layer 17 may advantageously be a SiN_x layer because the deposition of such a layer may result in hydrogen doping of the exposed regions (i.e. in regions not covered by top gate electrode 161) of the amorphous metal oxide semiconductor layer 14, thereby forming a

16

source region 141 and a drain region 142 in the metal oxide semiconductor layer 14, as schematically illustrated in FIG 7. These exposed regions correspond to the regions where the top gate electrode 161 is not present. Therefore, this approach results in the formation of source and drain regions that are self-aligned to the top gate electrode 161. In
5 embodiments of the present disclosure, other methods may be used for doping the exposed regions (i.e. the regions not covered by the top gate 161) of the amorphous metal oxide semiconductor layer 14, such as for example reduction of the metal oxide semiconductor material by means of Ca, Ti, Al; by implantation of dopants (e.g. B, P); or by treatment with an Ar or NF₃ plasma. A combination of different methods may be used.
10 In embodiments of the present disclosure, the top gate electrode 161 is used as a mask for the doping step.

[0061] At step 412 of the process flow 400 (FIG 9) vias 18 are defined by photolithography and dry or wet etching through the dielectric layer 17, for simultaneous contact opening to the source region 141, the drain region 142, the top gate electrode 161
15 and to the bottom gate electrode 12. In the process flow 400 described here, this via formation step is the fourth photolithographic (PL) step, comprising providing a photoresist layer, illuminating the photoresist layer and developing the illuminated resist (*PL#4*). It is an advantage of a method according to embodiments of the present disclosure that there is no overlap between the top gate electrode 161 and the bottom gate
20 electrode 12 in an area corresponding to the edge part 162. As illustrated in FIG 7, this allows to form openings or vias simultaneously, i.e. using a single patterning step, towards the source region 141, the drain region 142, the top gate electrode 161 and the bottom gate electrode 12. This allows saving one photolithographic step as compared to known methods for fabricating fully self-aligned dual-gate thin film transistors.

[0062] In a next step (FIG 9, step 413) an electrically conductive layer, e.g. a metal layer or an electrically conductive oxide layer, is deposited and patterned by photolithography and etching (e.g. dry etching) to thereby form a source contact 191, a drain contact 192, a top gate contact or second gate contact 194 and a bottom gate contact
25 or first gate contact 193 as illustrated in FIG 8. The electrically conductive layer may for example contain Mo, MoCr, a Mo alloy, Al, W, Ti, TiN, Au or ITO, the present disclosure not being limited thereto. The thickness of this layer may for example be in the range
30 between 50 nm and 500 nm, the present disclosure not being limited thereto. It may be a

single layer or it may be a layer stack comprising at least two layers. In the process flow 400 described here, this contact or electrode formation step is the fifth photolithographic (PL) step, comprising providing a photoresist layer, illuminating the photoresist layer and developing the illuminated resist (*PL#5*). Finally the samples may be annealed, for example at a temperature in the range between 150°C and 450°C, e.g. between 200°C and 300°C, for example in a N₂, O₂ or air atmosphere for 1 to 12 hours.

[0063] The process flow 400 schematically illustrated in FIG 9 is only an example of a method for fabricating a fully self-aligned dual-gate thin film transistor according to an embodiment of the present disclosure. For example, in a method for fabricating a fully self-aligned dual-gate thin film transistor according to another embodiment of the present disclosure, the second gate electrically conductive layer may be provided after patterning the photoresist layer and patterning the second gate electrically conductive layer may comprise performing a lift-off process (as for example illustrated in FIG 2).

[0064] Dual-gate thin film transistor devices 100 were fabricated in accordance with an embodiment of a method 400 (FIG 9) of the present disclosure. On the top of a glass carrier substrate 10, a PECVD SiN_x barrier layer was deposited, followed by Atomic Layer Deposition of a 100 nm thick Al₂O₃ buffer layer at 150°C (step 402). This was followed by the deposition of a 10 nm TiN / 50 nm AlSi / 10 nm TiN layer stack and patterning of the stack using a sequence of dry and wet etching steps, to thereby form a first gate electrode or bottom gate electrode 12 (step 403). Next a first gate dielectric layer 13 consisting of 100 nm of Al₂O₃ was deposited (step 404) at 150°C, followed by sputter deposition of a 24 nm thick amorphous IGZO layer (step 405). The amorphous IGZO layer was patterned using wet etching (step 405). A 100 nm thick silicon oxide second gate dielectric layer 15 was then deposited (step 406) by means of PECVD at 250°C, followed by deposition (step 407) of a 25 nm thick TiN second gate electrically conductive layer 16. Subsequently, the gate stack comprising the second gate electrically conductive layer 16 and the second gate dielectric layer 15 was patterned (step 409) by bottom and top exposures of a photoresist layer (step 408) according to a method of the present disclosure. The patterning (step 409) was done using a sequence of dry etching steps (CF₄ and SF₆ chemistry). Afterwards, a 400 nm thick SiN_x dielectric layer 17 was deposited (step 411) at 150°C by means of PECVD. Contact opening (step 412) was done using a sequence of dry and wet etching steps. This contact opening step was combined

for both contacting the bottom gate electrode 12 and the top gate electrode 161, as well as the source region 141 and the drain region 142. Next a 10 nm Ti / 80 nm AlSi / 10 nm Ti stack was deposited and patterned (step 413) using dry and wet etching steps, to thereby form a source contact 191, a drain contact 192, a bottom gate contact 193 and a top gate contact 194. Finally, the samples were annealed at 250°C in a N₂ atmosphere for 1 hour.

[0065] FIG 10 shows I_{DS} versus V_{GS} transfer characteristics at V_{DS} = 10 V and FIG 11 shows I_{DS} versus V_{DS} output characteristics at V_{GS} = 10 V as measured for the dual-gate thin film transistor fabricated as described above (circles). The transistors had a W/L ratio of 15 micrometer / 5 micrometer. As a reference, similar characteristics are shown for the same device, but wherein during the measurement only the back gate is used (triangles) and wherein during the measurement only the top gate is used (squares) respectively. The dual-gate TFTs of the present disclosure show a steeper sub-threshold slope SS⁻¹ and a higher on-current I_{ON} when compared to single gate TFTs. In addition, a turn-on voltage V_{ON} close to zero Volt is obtained for the dual-gate TFT of the present disclosure. An overview of the measured SS⁻¹, I_{ON} and V_{ON} values is given in Table 1.

measurement	SS ⁻¹ [V/decade]	I _{ON} [10 ⁻⁶ A]	V _{ON} [V]
dual gate	0.24	332	-2.8
back gate only	0.39	158	-6.4
top gate only	0.29	36	-4.0

Table 1

[0066] The foregoing description details certain embodiments of the disclosure. It will be appreciated, however, that no matter how detailed the foregoing appears in text, the disclosure may be practiced in many ways. It should be noted that the use of particular terminology when describing certain features or aspects of the disclosure should not be taken to imply that the terminology is being re-defined herein to be restricted to including any specific characteristics of the features or aspects of the disclosure with which that terminology is associated.

[0067] It is to be understood that although preferred embodiments, specific constructions and configurations, as well as materials, have been discussed herein for devices according to the present disclosure, various changes or modifications in form and

19

detail may be made. For example, steps may be added or deleted to methods described within the scope of the present disclosure.

[0068] Whereas the above detailed description as well as the summary of the disclosure has been focused on a method for fabricating a device, the present disclosure
5 also relates to a device obtained using a method according to any of the embodiments as described above.

CLAIMS

5

1. A method for fabricating a fully self-aligned dual-gate metal oxide semiconductor thin film transistor, the method comprising:

- 10 providing on a front side of a substrate a first gate electrode delimiting a gate region;
- providing a first gate dielectric layer over the substrate and the first gate electrode;
- providing a patterned metal oxide semiconductor layer on the first gate dielectric layer, the patterned metal oxide semiconductor layer delimiting a semiconductor region partially overlapping with part of the gate region and extending beyond
- 15 two opposite edges of the gate region;
- providing a second gate dielectric layer over the patterned metal oxide semiconductor layer;
- providing a second gate electrically conductive layer;
- providing a photoresist layer;
- 20 patterning the photoresist layer by performing a rear side illumination step, a front side illumination step and a photoresist development step, thereby forming a patterned photoresist layer, wherein the rear side illumination step comprises illumination of the photoresist layer from a rear side of the substrate using the first gate electrode as a mask, and wherein the front side illumination step comprises
- 25 illumination of the photoresist layer from the front side using a mask exposing the photoresist layer in the gate region only in an edge part;
- patterning the second gate electrically conductive layer, thereby forming a second gate electrode; and
- 30 patterning the second gate dielectric layer, thereby forming a patterned second gate dielectric layer,

21

wherein the photoresist layer comprises a positive photoresist, wherein the second gate electrically conductive layer is provided on the second gate dielectric layer and wherein the photoresist layer is provided on the second gate electrically conductive layer; or
wherein the photoresist layer comprises a negative photoresist, wherein the photoresist
5 layer is provided on the second gate dielectric layer and wherein the second gate electrically conductive layer is provided over the photoresist layer after having patterned the photoresist layer and over the second gate dielectric layer.

2. The method according to claim 1, wherein the photoresist layer comprises a
10 positive photoresist and wherein providing the second gate electrically conductive layer is done before providing the photoresist layer, wherein patterning the second gate electrically conductive layer comprises locally etching the second gate electrically conductive layer using the patterned photoresist layer as a mask, and wherein patterning the second gate dielectric layer comprises locally etching the second gate dielectric layer
15 using the patterned photoresist layer or the second gate electrode as a mask.

3. The method according to claim 1, wherein the photoresist layer comprises a
negative photoresist and wherein providing the second gate electrically conductive layer is done after patterning the photoresist layer, wherein patterning the second gate
20 electrically conductive layer comprises performing a lift-off process, and wherein patterning the second gate dielectric layer comprises locally etching the second gate dielectric layer using the second gate electrode as a mask.

4. The method according to any of the previous claims, wherein the edge part is
25 located in a part of the gate region that is non-overlapping with the semiconductor region.

5. The method according to any of the previous claims, further comprising:
providing a source region and a drain region in the patterned metal oxide semiconductor
layer, wherein the source region and the drain region are self-aligned to the second gate
30 electrode.

22

6. The method according to claim 5, wherein providing the source region and the drain region comprises doping with hydrogen.
7. The method according to claim 5, wherein providing the source region and the drain region comprises implantation of dopants or plasma treatment or reduction of the metal oxide semiconductor material.
8. The method according to any of claims 5 to 7, the method further comprising:
depositing a dielectric layer; and
forming vias through the dielectric layer simultaneously towards the source region, the drain region, the second gate electrode and the first gate electrode.
9. The method according to claim 8, wherein depositing the dielectric layer comprises depositing a silicon nitride layer, wherein the step of depositing the silicon nitride layer introduces hydrogen in the metal oxide semiconductor layer, thereby doping the metal oxide semiconductor layer with hydrogen and forming the source region and the drain region.
10. The method according to claim 9, wherein depositing the silicon nitride layer comprises depositing the silicon nitride layer by means of Plasma Enhanced Chemical Vapour Deposition.
11. The method according to any of claims 5 to 10, further comprising depositing and patterning an electrically conductive layer, thereby simultaneously forming a source contact, a drain contact, a first gate contact and a second gate contact.

ABSTRACT**Method for fabricating fully self-aligned dual-gate thin film transistors**

5 [0069] The present disclosure provides a method for fabricating a fully self-aligned dual-gate metal oxide semiconductor thin film transistor. The method comprises: providing on a front side of a substrate a first gate electrode delimiting a gate region; providing a first gate dielectric layer; providing a patterned metal oxide semiconductor layer; providing a second gate dielectric layer; providing a second gate electrically
10 conductive layer; providing a photoresist layer; patterning the photoresist layer; patterning the second gate electrically conductive layer, thereby forming a second gate electrode; and patterning the second gate dielectric layer. Patterning the photoresist layer comprises performing a rear side illumination step, a front side illumination step and a photoresist development step, wherein the rear side illumination step comprises
15 illumination of the photoresist layer from a rear side of the substrate using the first gate electrode as a mask, and wherein front side illumination step comprises illumination of the photoresist layer from the front side using a mask exposing the photoresist layer in the gate region only in an edge part.

20 + FIG 1

1/11

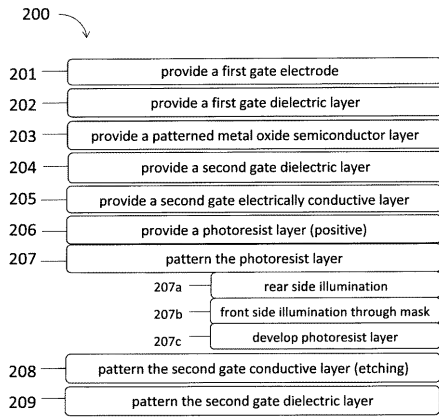


FIG 1

2/11

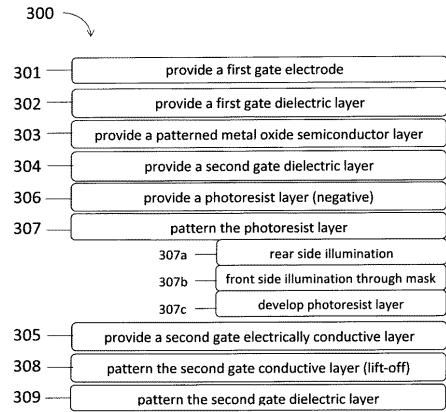
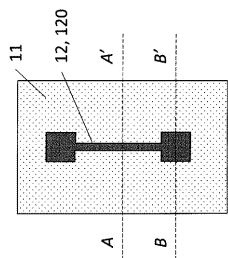
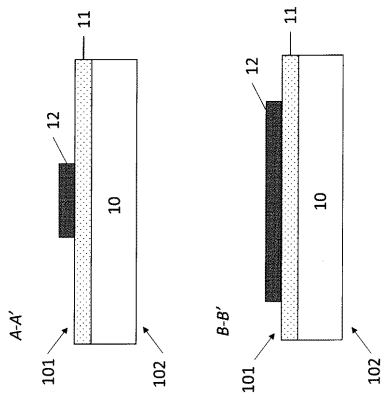
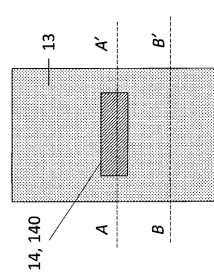
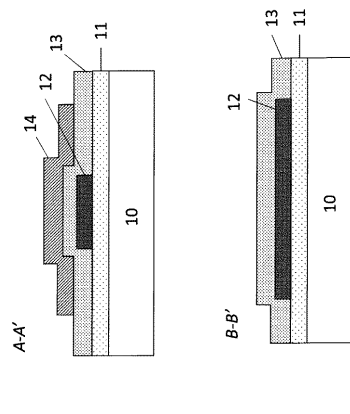


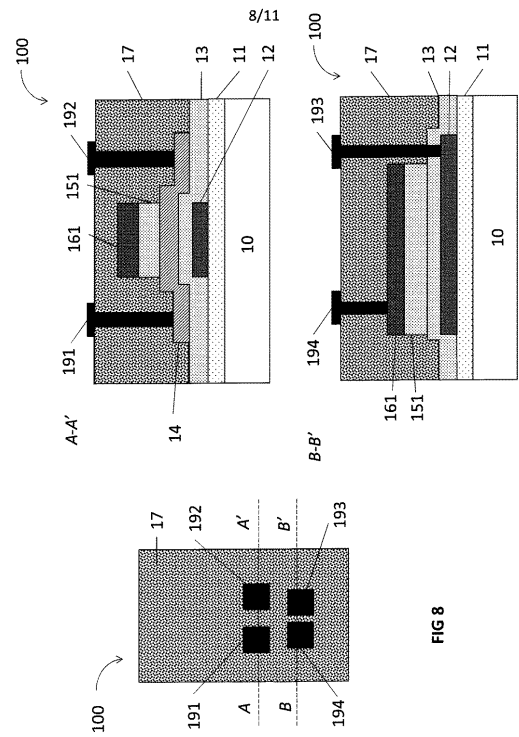
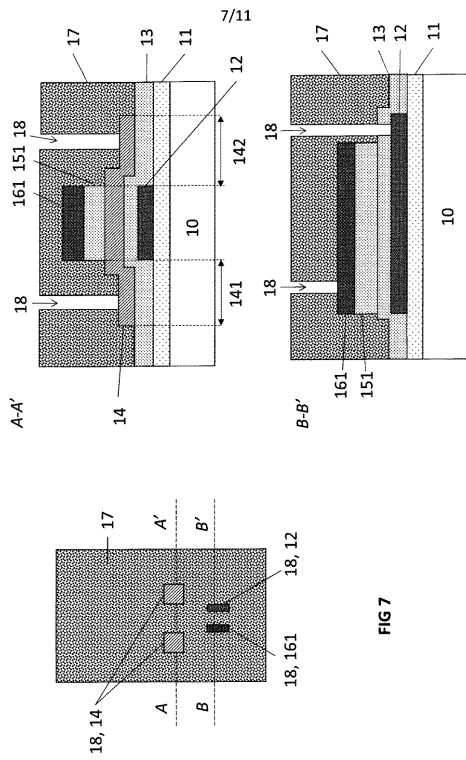
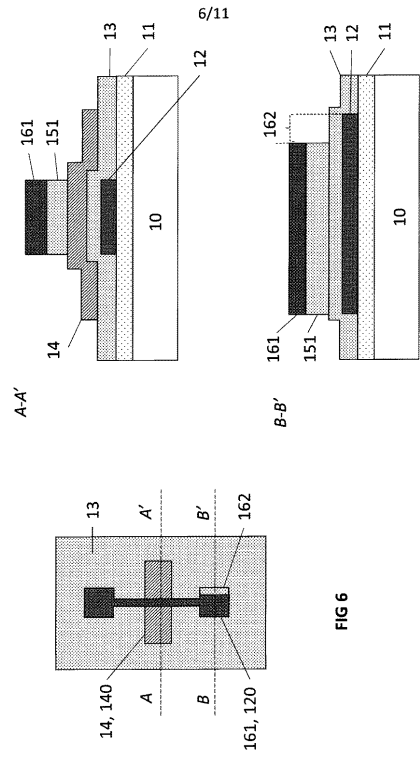
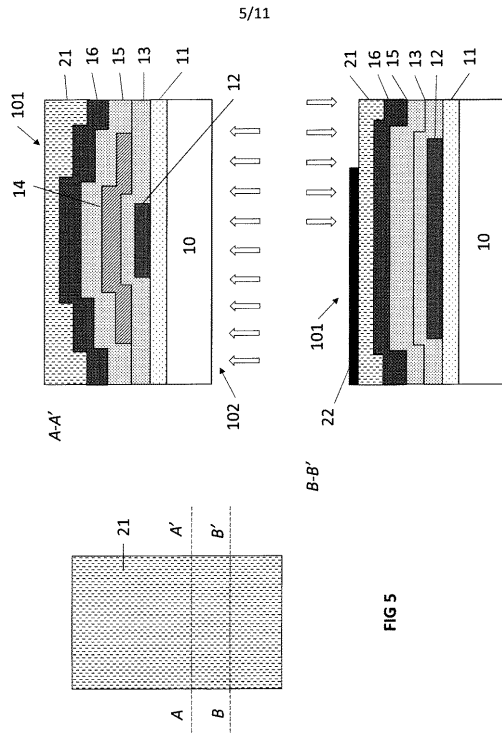
FIG 2

3/11



4/11





9/11

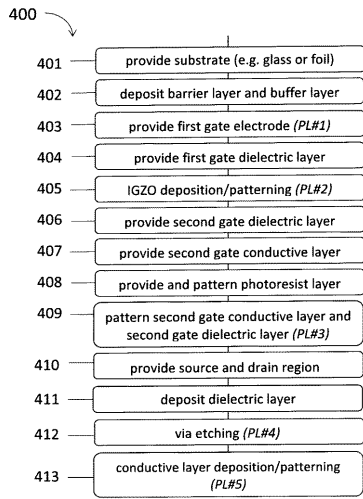


FIG 9

10/11

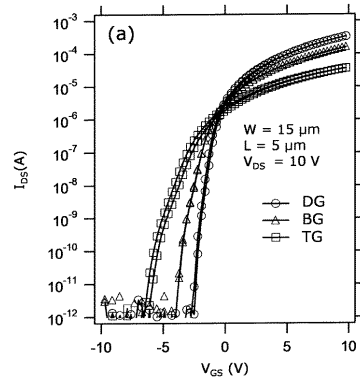


FIG 10

11/11

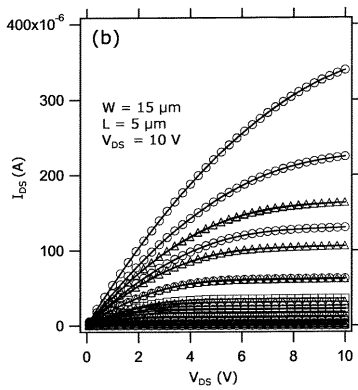


FIG 11