公告本

申請日期： 87.9.26	案號： 87115247
類別： Int.Cl[6] H01L 21/768	

（以上各欄由本局填註）

發明專利說明書 455993

一、發明名稱	中文	包含錨定插塞之積體電路電容
	英文	INTEGRATED CIRCUIT CAPACITOR INCLUDING ANCHORED PLUG
二、發明人	姓名（中文）	1. 葛瑞格 桑米歐 希加西
	姓名（英文）	1. GREGG SUMIO HIGASHI
	國籍	1. 美國
	住、居所	1. 美國佛州奧蘭多市威克罕道9483號
三、申請人	姓名（名稱）（中文）	1. 美商朗訊科技公司
	姓名（名稱）（英文）	1. LUCENT TECHNOLOGIES INC.
	國籍	1. 美國
	住、居所（事務所）	1. 美國新澤西州摩里山丘市山脈大道600號
	代表人姓名（中文）	1. 麥克・R・格林
	代表人姓名（英文）	1. MICHAEL R. GREENE

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1999/07/30	09/364,367	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

相關申請案

本案係基於先前提出申請的同在審查中之臨時申請案第60/117,186號，申請日1999年1月26日，其全部揭示內容併述於此以供參考。

發明領域

本發明係關半導體裝置領域，特別係關電容器。

發明背景

電容器廣用於電子裝置用以儲存電荷。一電容器包括兩片導電板或電極由一絕緣體隔開。電容或每一外加電壓由該電容器保有的電荷量係依據板面積、板間間距、以及絕緣體介電數值決定。電容器可形成於半導體裝置內部，例如動態隨機存取記憶體(DRAM)或嵌入式DRAM。

隨著半導體記憶體裝置的變得更為高度集成，DRAM儲存基本單元之電容器占有的面積的縮小，如此降低電容器的電容，由於其電極表面積較小故。但希望有相對大電容以防儲存的資訊喪失。因此希望縮小基本單元大小而又能獲得高電容，其達成高度基本單元集成以及操作上可靠。

增加電容同時維持儲存基本單元高度集成之一項技術係針對電容器電極的形狀。此種技術中，電容器電極的多晶矽層可具有凸部、翅片、空穴等俾加大電容器電極表面積，藉此提高電容同時維持占有基材表面之表面積小。

替代形成電容器於基材表面上，電容器也形成於基材上，亦即電容器堆疊於基材上。基材表面積隨後可用於形成電晶體。至於提高堆疊電容器電容，李氏之美國專利第

五、發明說明（2）

5,903,493號揭示一電容器形成於鎢插塞之上。電容器表面積藉由蝕刻一凹渠於環繞鎢插塞的介電層而予增加。鎢插塞係與下方互連線交界面，如此允許不同層形成於欲連結的基材上。

凹渠係藉習知蝕刻或其它適當技術形成。凹渠可被蝕刻多深的基本極限係由鎢插塞錨定或牢固固定於介電層的程度決定。典型地，凹渠深度係限於介電層厚度約一半。於凹渠已被蝕刻後，電容器形成於鎢插塞之上。不幸，若凹渠被蝕刻超出介電層厚度之半，鎢插塞較為可能變鬆脫而掉落。此種鎢插塞與帶有互連線的下方金屬互連體間的實體分隔可能導致形成開放電路，結果造成結合該電容器的裝置或電路完全故障。

發明概述

鑑於前述背景，因此本發明之目的係加大電容器電容而未降低其可靠度。

根據本發明之此種及其它優點、特色和目的事經由一種積體電路電容器提供，該積體電路電容器包含一基材，一第一介電層毗鄰該基材且具有一凹渠於其中，以及一金屬插塞錨定於第一介電層。特定言之，金屬插塞較佳包括一本體部份其係向上伸入凹渠內部，以及一錨部連結至本體部份且伸入下方互連線內部。錨部較佳有一放大寬度部分而錨定 金屬插塞毗鄰第一介電層下部。本體部份和錨部較佳形成為一單晶單元。

由於金屬插塞被錨定，故凹渠深度可更大而無虞金屬插

五、發明說明 (3)

塞變鬆脫且由下方互連線脫離。若確實發生鬆脫，則可能出現開放電路結果導致結合該積體電路電容器的裝置或電路的故障。如此金屬插塞錨部允許凹渠深度加深，因而增高電容，而未降低積體電路電容器的可靠度。

電容器也較佳包括第一和第二電極以及第二介電層介於其間。第一電極內襯於凹渠內部且接觸金屬插塞。第二介電層覆於第一電極之上，以及第二電極覆於第二介電層之上。根據本發明之加深凹渠深度加大第一和第二電極表面積。如此優異地增加電容器電容，此乃防止儲存的資訊漏失所需。

圖式之簡單說明

圖1為根據本發明之一包括錨定的金屬插塞之積體電路電容器之剖面圖。

圖2-5為剖面圖，說明根據本發明之製造包括錨定的金屬插塞的積體電路電容器之製程步驟。

較佳具體實施例之詳細說明

現在將於後文參照附圖更完整說明本發明，附圖顯示本發明之較佳具體實施例。但本發明可以多種不同形式具體實施，且不得視為限於此處所述具體實施例。反而此等具體實施例係用於使本揭示更為徹底完整，且將完全傳輸本發明之範圍給業界人士。各圖中類似的編號表示類似的元件。附圖中為求清晰起見，各層和各區維度可能誇張表示。

初步參照圖1，現在說明包括一錨定的金屬插塞32之積

五、發明說明（4）

體電路電容器20之剖面圖。積體電路電容器20形成於基材24上，帶有互連線26毗鄰基材，以及一第一介電層28於互連線上。第一介電層28包括一凹渠30於其中。凹渠30形成於毗鄰金屬插塞32，允許電容器20占有更大表面積，如此加大其電容。

金屬插塞32包括一本體部份34向上伸入凹渠30內部，以及一錨部22連結至本體部份且係伸入互連線26內部。錨部22有一放大的寬度部分23而錨定金屬插塞32毗鄰第一介電層28下部。因金屬插塞32經錨定，故例如凹渠30深度d可大於第一介電層28厚度之半，而無虞金屬插塞變鬆脫而與下方互連線26分開。若確實發生鬆脫，則可能出現開放電路結果導致結合該積體電路電容器20的裝置或電路的故障。

積體電路電容器20包括第一和第二電極36，40以及一第二介電層38介於其間。第一電極36內襯於凹渠30內部且接觸金屬插塞32。第二介電層38係覆蓋於第一電極36之上，以及第二電極40係覆蓋於第二介電層之上。隨著半導體裝置的變成更為高度集成，例如嵌入式動態隨機存取記憶體（EDRAM），電容器電容將減小，原因在於其可利用的電極表面積較小故。但需要相對大的電容以防止儲存的資訊漏失。因此根據本發明加深凹渠30深度可加大第一和第二電極36，40表面積。如此優異地增加電容器20的電容。

舉例說明的互連線26係一種多層互連線形成於絕緣層42之上。絕緣層42係形成於半導體基材24上或上方。半導體

五、發明說明 (5)

基材24含有複數主動元件例如電晶體，其係藉互連線26共同連結成為功能電路。

舉例說明之多層互連線26包括一導電蓋層44，一導本體部份46，和一電子遷移障層48。導電蓋層44和電子遷移障層48較佳屬耐熱金屬化合物，而導本體部份46較佳為鋁或銅合金(舉例)。此外，抗反射塗層(ARC)50例如氮化鈦可形成於互連線26上。

積體電路電容器20藉金屬插塞32電連結至互連線26。金屬插塞32較佳包含鎢或任一種適當導電材料例如鋁、鈦或氮化鈦。本發明之一大特色係金屬插塞32係錨定毗鄰第一介電層28下部以防金屬插塞變鬆脫而與下方互連線26分開。金屬插塞32有一本體部份34具有第一寬度，伸展通過第一介電層28、抗反射層50、和蓋層44。錨部22的放大寬度部分23有第二寬度係大於第一寬度。錨部22的放大寬度部分23較佳呈凸面形。但其它形狀也可接受，只要放大寬度部分23伸展超出金屬插塞32的本體部份34即可。

錨部22係形成於互連線26內部且由互連線26圍繞。換言之，錨部22未停靠於互連線26外表面上。錨部22的放大寬度部分23凹割互連線26之蓋層44至約100至600埃之範圍。凹割量須足以錨定金屬插塞32的本體部份34，同時允許高密度設置其它金屬插塞於半導體基材24上方。金屬插塞32的本體部份34寬度典型係於約1,000至3,500埃之範圍。錨部22的放大寬度部分23相對於金屬插塞32的本體部份34寬度的關係為放大寬度部分係大於本體部份34寬度之約

五、發明說明（6）

10%。

此外錨部22伸至蓋層44下方深度夠深，足以牢固鎖定金屬插塞32的本體部份34定位。錨部22並未伸入電子遷移分路層50，故互連線26的電子遷移阻抗受阻。金屬插塞32伸入導本體部份46的深度較佳係於約500至3,500埃之範圍。導本體部份46典型具有厚度係於約3,500至5,500埃之範圍。錨部22伸入導本體部份46之深度並無特殊限制，只要錨部22伸入導本體部份46之深度夠深而提供充分鎖定金屬插塞32的本體部份34定位的強度即可。

如前文討論，電容器20電容係經由於第一介電層28形成凹渠30而增加。金屬插塞32的本體部份34向上伸入凹渠30中部。凹渠30例如係藉習知蝕刻或其它適當技術製作圖樣。舉例言之，蝕刻止層66（圖5）例如氮化矽係於第一介電層28形成期間形成於第一介電層內部。如此蝕刻止層66決定凹渠30的實際深度d。一種包括金屬插塞32之錨部22的積體電路電容器20之製法將以進一步細節討論如後。

僅有一金屬插塞32的本體部份34，亦即不含錨部22，凹渠30深度d典型限於第一介電層28厚度約半。若第一介電層28具有厚度係於約4,000至6,000埃之範圍，則凹渠30深度d將不超過2,000至3,000埃之範圍。但以錨部22鎖定金屬插塞32的本體部份34毗鄰第一介電層28下部，凹渠30深度d可大於第一介電層厚度之半。如此凹渠30深度d加深，現在係於約2,000至5,500埃之範圍。

一旦已經形成凹渠30，則形成電容器20。第一電極36內

五、發明說明（7）

襯於凹渠30且接觸金屬插塞32。第一電極36係由任一種適用於傳導與保有電荷的材料製成。適當材料包括鈦、氮化鈦、鋁、銅、銀或貴金屬例如金、鉑及/或鈀。第一電極36厚度較佳係於約75至750埃之範圍。也可能第一電極36有多層配置，例如一層鈦塗裝以一層氮化鈦。

第二介電層38覆於第一電極36之上，且係由任一種適當電介質例如二氧化矽、氮化矽及/或任何具有適當大介電常數的材料或合金材料製成。其它適當廿包括五氧化鉭和鍶鈦化鋇。第二介電層38厚度較佳係於約25至250埃之範圍。

第二電極40覆於第二介電層38之上。類似第一電極36，第二電極40可由任一種適用於傳導與保有電荷的材料製成。第二電極40厚度較佳係於約150至2,500埃之範圍。也可能第二電極40有多層配置，或甚至有一種配置其中第一材料如鋁係攙雜第二材料如銅或矽。

現在進一步參照圖2-5討論包括金屬插塞32之積體電路電容器20之製法。介電層42例如可形成於半導體基材24上。半導體基材24較佳為矽，或可為矽或多晶矽層或結構形成於基材上。複數裝置如電晶體（圖中未顯示）係使用眾所周知的技術形成於基材24。其次介電層42如攙雜或未經攙雜的二氧化矽以眾所周知的技術，例如熱生長或沈積形成於基材24上。

其次，互連線26形成於介電層42上。當互連線26形成時，使用眾所周知的技術如濺鍍形成約250埃的鈦層48於

五、發明說明 (8)

介電層42上。雖然以鈦層為佳，但其它耐火金屬層也可使用。厚約4,500埃的含約1%銅鋁合金層46使用眾所周知的技術如濺鍍形成於鈦層上。鋁合金層46亦稱導本體部份。雖然由於低電阻率和眾所周知的製程，故以鋁合金層為佳，但如業界人士眾所周知，其它低電阻材料也可用於互連線26作為導本體部份46。厚約250埃的鈦層44藉濺鍍形成於導本體部份46上。雖以鈦為佳，但其它耐火金屬層也可使用。抗反射層50如氮化鈦係形成於鈦層44上。

第一介電層28如攙雜二氧化矽形成於互連線26上。任何眾所周知的技術皆可用於形成第一介電層28，例如化學氣相沈積(CVD)。第一介電層28較佳於此時藉化學機械拋光或藉反向蝕刻平面化而形成平坦表面。結果所形成的第一介電層28的厚度於平面化之後須夠厚，俾提供互連線26與隨後金屬化高度間的充分電隔離。第一介電層28厚約4,000至6,000埃可提供適當隔離。

抗光蝕劑層(圖中未顯示)使用眾所周知的光刻術技術形成且圖樣化於第一介電層28上而界定欲形成通孔60的位置。其次，第一介電層28、氮化鈦層50、和鈦層44的暴露部經蝕刻。通孔60被蝕刻至鋁導本體部份46暴露出為止，如圖2所示。一具體實施例中，反應性離子蝕刻(RIE)用以形成通孔60。

現在參照圖3，錨孔62使用各向同性濕蝕刻形成於互連線26的鋁導本體部份46。各向同性濕蝕刻對導本體部份46比對蓋層44高度具有選擇性。換言之，導本體部份46係以

五、發明說明（9）

比蓋層44更快的速率蝕刻。藉此方式，導本體部份46向外側方向蝕刻遠離蓋層44下方而形成一凸面形狀，其凹割蓋層。凹割蓋層下方的錨部22的放大寬度部分23較佳係於約100至600埃之範圍。其它技術也可用以形成錨孔62，包括乾蝕刻技術例如反應性離子蝕刻(RIE)以及電漿蝕刻，如業界人士眾所周知。

現在參照圖4，通孔60使用眾所周知的形成金屬插塞32的技術，以導電材料較佳為鎢填補。金屬插塞32的錨部和本體部份22，34係一體成形為單晶單元。於形成金屬插塞32前，黏著/障層薄層如鈦或氮化鈦(圖中未顯示)係使用眾所周知的技術如濺鍍，全面性沈積於第一介電層28以及沈積於通孔60和錨孔62內。然後金屬插塞32的導電材料沈積入通孔60內直至錨孔62和通孔60被填滿為止。化學機械拋光技術用以反向蝕刻黏著/障層金屬以及沈積於第一介電層28上的導電材料。也可使用其它眾所周知的反向蝕刻技術，例如反應性離子蝕刻(RIE)。

現在凹渠30形成於毗鄰金屬插塞32，如圖5最明白顯示。凹渠30係經由使用習知蝕刻或其它適當技術圖樣化毗鄰金屬插塞32形成。舉例言之，氮化矽蝕刻止層66係於第一介電層28形成期間形成於其內部。如此蝕刻止層66決定凹渠30的真正深度d。因金屬插塞32係錨定於毗鄰第一介電層28下部，故蝕刻止層66可設置成較大而無虞金屬插塞變鬆脫而與下方互連線26分開。如此優異地允許電容器20電容增加，原因在於可用於形成電容器的表面積加大故。

五、發明說明（10）

一旦形成凹渠30，則電容器20的第一電極36係經由沈積導電材料於第一介電層28上，包括凹渠30和金屬插塞32上而形成。第一電極36的沈積方法包括濺鍍、反應性離子蝕刻(RSE)、化學氣相沈積(CVD)、和電漿增進的化學氣相沈積(PECVD)。第一電極36然後可被選擇性圖樣化。

第二介電層38係沈積於第一電極36上且使用適當技術圖樣化。第二介電層38可使用CVD或任一種其它類似用以沈積第一電極36的技術沈積。然後第二電極40藉適當圖樣化技術選擇性圖樣化。如此電容器20包括第一和第二電極36，40以及第二介電層38介於其間，如圖1所示。

至於形成包含第二介電層38介於下與上電極36，40間的電容器20之替代之道，下電極以金屬插塞32上部置換。換言之，如業界人士已知，金屬插塞32上部形成電容器20的下電極。

多種修改例以及其它本發明之具體實施例於業界人士了解前文說明和相關聯附圖提供的教示的效益後將顯然自明。因此須了解本發明非僅囿限於揭示的特定具體實施例，修改例和具體實施例意圖皆含括於本發明之範圍。

四、中文發明摘要　（發明之名稱：包含錨定插塞之積體電路電容）

一種積體電路電容器，包括一基材，具附有互連線毗鄰該基材，以及第一介電層於互連線上。第一介電層包括一凹渠於其上。金屬插塞包括一本體部份，其係向上方向伸入凹渠內部，以及一錨部，其係連結至本體部份，且伸入互連線內部。錨部有個放大寬度部分，其係錨定金屬插塞毗鄰第一介電層下部。由於金屬插塞經過錨定，故凹渠深度可加深而無金屬插塞變鬆脫而與下方互連線分開之虞。

英文發明摘要　（發明之名稱：INTEGRATED CIRCUIT CAPACITOR INCLUDING ANCHORED PLUG）

An integrated circuit capacitor includes a substrate with an interconnection line adjacent the substrate, and a first dielectric layer on the interconnection line. The first dielectric layer includes a tranch therein. The metal plug includes a body portion extending upwardly into the trench, and an anchor portion is connected to the body portion and extends into the interconnection line. The anchor portion has an enlarged width portion to anchor the metal plug

四、中文發明摘要　（發明之名稱：包含錨定插塞之積體電路電容）

英文發明摘要　（發明之名稱：INTEGRATED CIRCUIT CAPACITOR INCLUDING ANCHORED PLUG）

adjacent lower portions of the first dielectric layer. Because the metal plug is anchored, a depth of the trench can be greater without the metal plug becoming loose and separating from the underlying interconnection line.



六、申請專利範圍

1. 一種積體電路電容器，包含：

一基材；

一第一介電層，其係毗鄰該基材且具有凹渠於其上；

一金屬插塞，包含

一本體部份，向上延伸入凹渠，以及

一錨部，其係連結至該本體部份，且具有放大寬度部分而錨定該金屬插塞毗鄰第一介電層下部；

一第二介電層，毗鄰金屬插塞上部；以及

一電極，其係於第二介電層上。

2. 如申請專利範圍第1項之積體電路電容器，進一步包含一介於金屬插塞與第二介電層間電極。

3. 如申請專利範圍第1項之積體電路電容器，其中該本體部份和錨部係一體成型為一單晶單元。

4. 如申請專利範圍第1項之積體電路電容器，其中該放大寬度部分具有凸面形狀。

5. 如申請專利範圍第1項之積體電路電容器，其中該凹渠具有之深度係大於第一介電層厚度之約一半厚度。

6. 如申請專利範圍第1項之積體電路電容器，其中該錨部的放大寬度部分係大於本體部份寬度之約10%。

7. 如申請專利範圍第1項之積體電路電容器，其中該凹渠深度係大於約2,000埃。

8. 如申請專利範圍第1項之積體電路電容器，進一步包含一道互連線延伸於第一介電層下方且連結至該金屬插塞。

六、申請專利範圍

9. 如申請專利範圍第1項之積體電路電容器，其中該金屬插塞的本體部份具有之一上表面係實質上與第一介電層的毗鄰上表面共平面。

10. 如申請專利範圍第1項之積體電路電容器，其中該金屬插塞包含鎢。

11. 如申請專利範圍第1項之積體電路電容器，其中該金屬插塞係於凹渠中部向上方向伸展。

12. 一種積體電路電容器，包含：

一基材；

一互連線毗鄰該基材；

一第一介電層，其係毗鄰該基材且具有凹渠於其上；

一金屬插塞，包含

一本體部份，向上延伸入凹渠，以及

一錨部，其係連結至該本體部份且伸入互連線內部，該錨部具有放大寬度部分而錨定該金屬插塞毗鄰第一介電層下部；

一第二介電層毗鄰金屬插塞上部；以及

一電極，其係於第二介電層上。

13. 如申請專利範圍第12項之積體電路電容器，進一步包含一介於金屬插塞與第二介電層間之電極。

14. 如申請專利範圍第12項之積體電路電容器，其中該本體部份和錨部係一體成型為一單晶單元。

15. 如申請專利範圍第12項之積體電路電容器，其中該放大寬度部分具有凸面形狀。

六、申請專利範圍

16. 如申請專利範圍第12項之積體電路電容器，其中該凹渠具有之深度係大於第一介電層厚度之約一半厚度。

17. 如申請專利範圍第12項之積體電路電容器，其中該錨部的放大寬度部分係大於本體部份寬度之約10%。

18. 如申請專利範圍第12項之積體電路電容器，其中該凹渠深度係大於約2,000埃。

19. 如申請專利範圍第12項之積體電路電容器，其中該金屬插塞的本體部份具有之一上表面係實質上與第一介電層的毗鄰上表面共平面。

20. 如申請專利範圍第12項之積體電路電容器，其中該金屬插塞包含鎢。

21. 如申請專利範圍第12項之積體電路電容器，其中該金屬插塞係於凹渠中部向上方向伸展。

22. 一種積體電路電容器，包含：

一基材；

一第一介電層，其係毗鄰該基材且具有凹渠於其上，凹渠具有之深度係大於第一介電層厚度之約一半厚度；

一金屬插塞，包含

一本體部份，向上延伸入凹渠，以及

一錨部，其係連結至該本體部份且具有凸面形放大寬度部分而錨定該金屬插塞毗鄰第一介電層下部；

一第二介電層，毗鄰金屬插塞上部；以及

一電極，其係於第二介電層上。

23. 如申請專利範圍第22項之積體電路電容器，進一步

六、申請專利範圍

包含一介於金屬插塞與第二介電層間之電極。

24. 如申請專利範圍第22項之積體電路電容器，其中該本體部份和錨部係一體成型為一單晶單元。

25. 如申請專利範圍第22項之積體電路電容器，其中該錨部的凸面形放大寬度部分係大於本體部份寬度之約10%。

26. 如申請專利範圍第22項之積體電路電容器，其中該凹渠深度係大於約2,000埃。

27. 如申請專利範圍第22項之積體電路電容器，進一步包含一互連線延伸於第一介電層下方且連結至該金屬插塞。

28. 如申請專利範圍第22項之積體電路電容器，其中該金屬插塞的本體部份具有之一上表面係實質上與第一介電層的毗鄰上表面共平面。

29. 如申請專利範圍第22項之積體電路電容器，其中該金屬插塞包含鎢。

30. 如申請專利範圍第22項之積體電路電容器，其中該金屬插塞係於凹渠中部向上方向伸展。

89115207

圖式

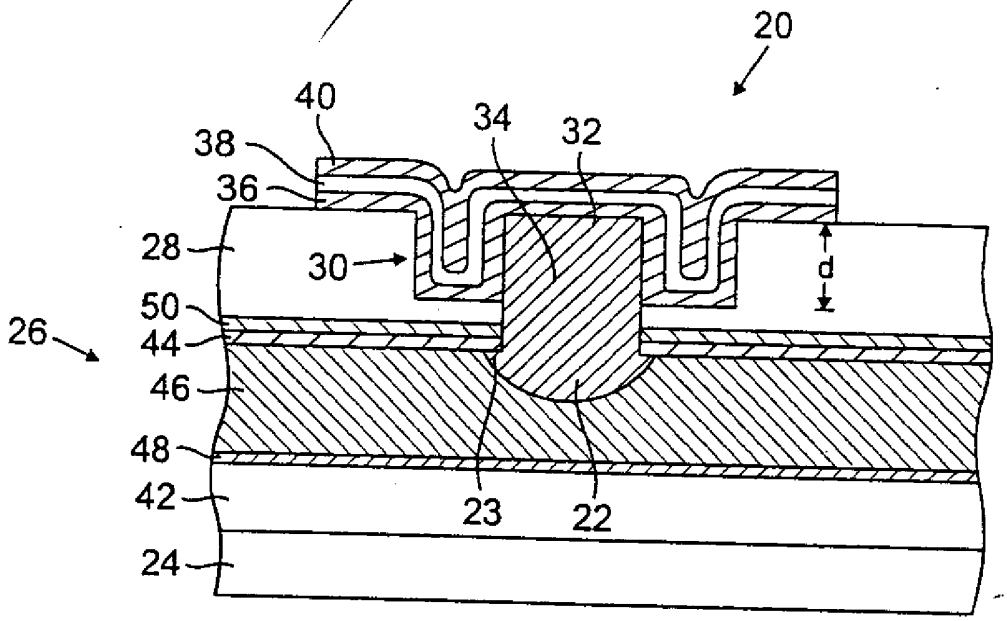

圖1

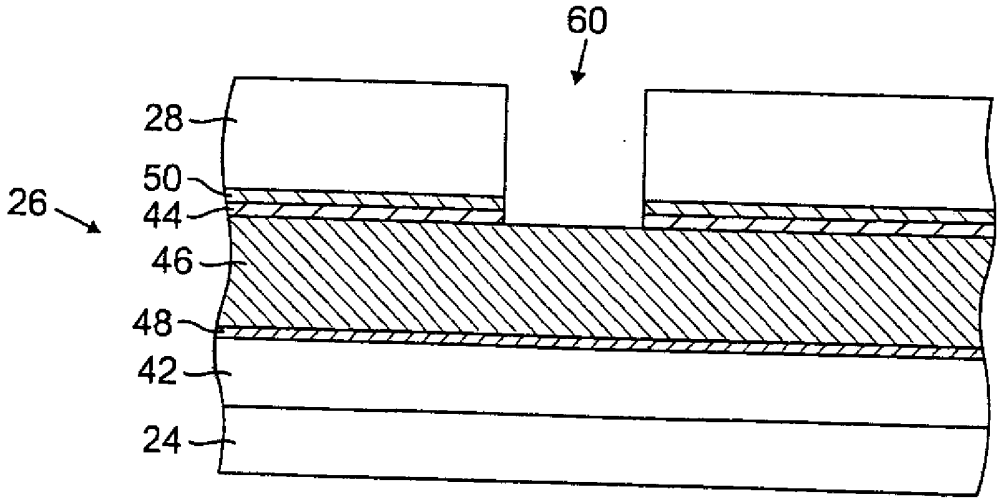

圖2

圖式

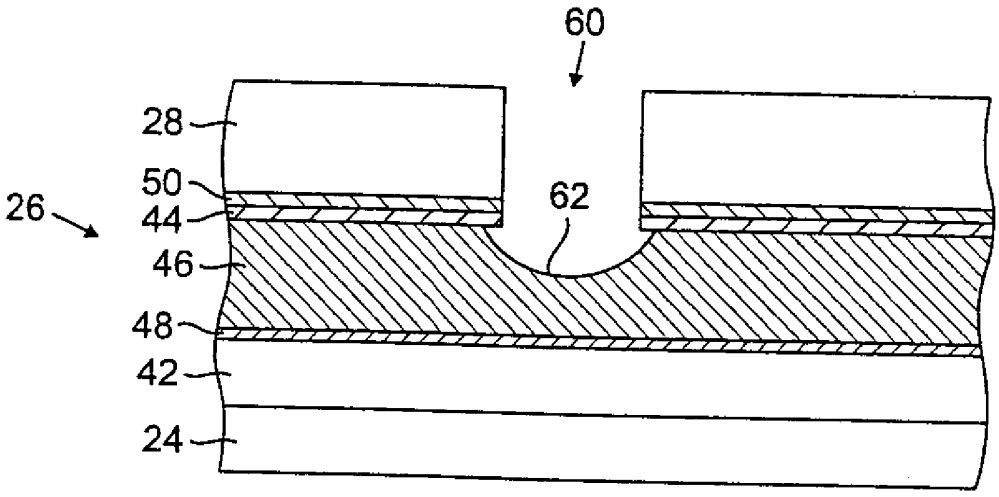

圖3

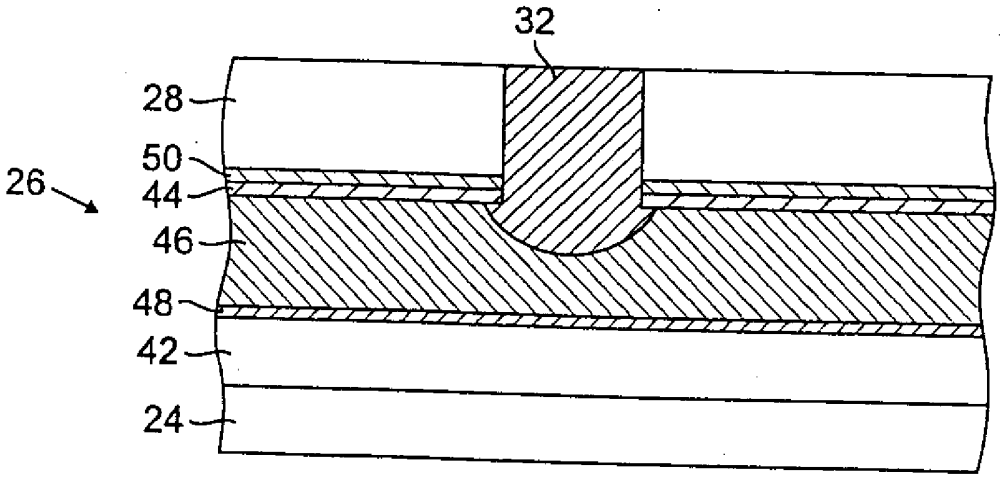

圖4

圖式

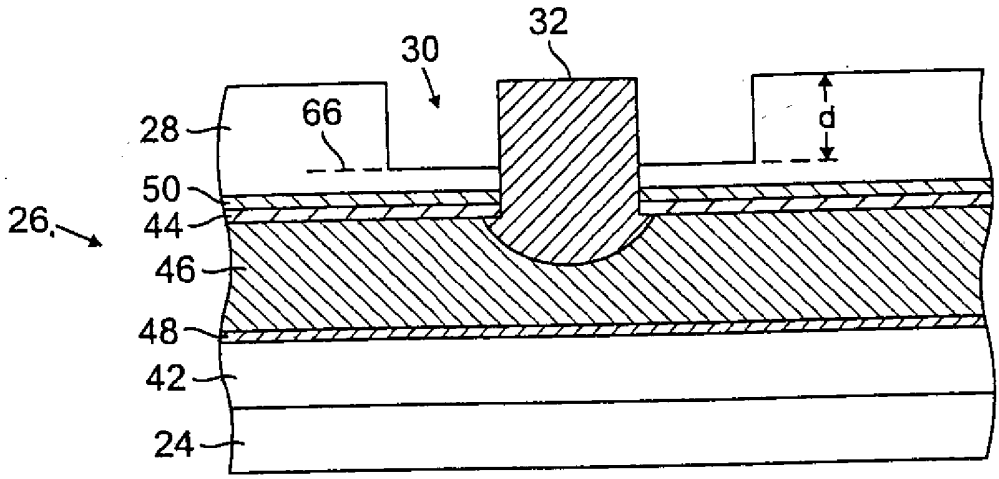

圖5