(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5754336号
(P5754336)

(45)発行日　平成27年7月29日(2015.7.29)　(24)登録日　平成27年6月5日(2015.6.5)

(51)Int.Cl.			F I		
H03L	7/099	(2006.01)	H03L	7/08	F
H03L	7/08	(2006.01)	H03L	7/08	K
H03L	7/10	(2006.01)	H03L	7/10	Z
H03L	7/093	(2006.01)	H03L	7/08	E

請求項の数 5　(全 10 頁)

(21)出願番号　特願2011-222920(P2011-222920)
(22)出願日　平成23年10月7日(2011.10.7)
(65)公開番号　特開2013-85077(P2013-85077A)
(43)公開日　平成25年5月9日(2013.5.9)
審査請求日　平成26年8月19日(2014.8.19)

(73)特許権者　000006747
株式会社リコー
東京都大田区中馬込１丁目３番６号
(74)代理人　100110319
弁理士　根本　恵司
(72)発明者　井上　裕貴依
東京都大田区中馬込１丁目３番６号株式会社リコー内
(72)発明者　小篠　団
東京都大田区中馬込１丁目３番６号株式会社リコー内
(72)発明者　西　亮輔
東京都大田区中馬込１丁目３番６号株式会社リコー内

最終頁に続く

(54)【発明の名称】ＰＬＬ回路

(57)【特許請求の範囲】
【請求項１】
ＶＣＯと、
当該ＶＣＯの出力信号を分周する分周器と、
当該分周器の出力信号と基準周波数信号との位相差を検出する位相比較器と、
当該位相比較器の位相差出力に応じた電流を生成するチャージポンプと、
当該チャージポンプの電流を平滑化して前記ＶＣＯの入力電圧を生成するループフィルタと、
前記ＶＣＯの出力信号の周波数が前記基準周波数の分周比倍になるとき、前記ループフィルタの出力電圧が所定値になるように、前記ＶＣＯの入力電圧対出力周波数特性を校正する校正手段と、を有し、
前記位相比較器は、前記位相差の大きさ及び方向に応じてUP信号、DOWN信号を出力し、
前記チャージポンプは、前記UP信号に応じて前記ループフィルタのキャパシタに充電電流を流す第１の電流源と、前記DOWN信号に応じて前記ループフィルタのキャパシタからの放電電流を流す第２の電流源とを有し、
前記第１の電流源及び第２の電流源がカレントミラー回路により構成されており、
前記第１の電流源、前記UP信号によりオンする第１のスイッチ、前記DOWN信号によりオンする第２のスイッチ、及び前記第２の電流源が電源とグラウンドとの間に直列に接続されており、
前記カレントミラー回路を構成するトランジスタが飽和領域で動作するように前記電源

の電位、及び前記第１のスイッチと第２のスイッチの接続点の電位を設定したとき、当該電位が前記所定値となるように設定し、

前記校正手段は、前記チャージポンプ及びループフィルタのダミー回路と、前記チャージポンプ及びループフィルタをＰＬＬから切り離し、前記ダミー回路をＰＬＬに接続したときの前記ダミー回路の出力電圧と前記所定値との差異に応じて、前記ＶＣＯの入力電圧対出力周波数特性を校正する手段とを有するＰＬＬ回路。

【請求項２】

請求項１に記載されたＰＬＬ回路において、

前記ループフィルタのキャパシタがＭＯＳにより構成されており、前記所定値が当該ＭＯＳを入力電圧対容量特性の安定領域で動作させる値であるＰＬＬ回路。

【請求項３】

請求項１又は２に記載されたＰＬＬ回路において、

前記所定値は電源電圧の１／２であるＰＬＬ回路。

【請求項４】

請求項１に記載されたＰＬＬ回路において、

前記ＶＣＯは、電圧電流変換回路及び電流制御発振器からなり、前記校正手段は、当該電圧電流変換回路の入力電圧対出力電流特性を校正するＰＬＬ回路。

【請求項５】

請求項４に記載されたＰＬＬ回路において、

前記校正手段は、前記位相比較器の出力位相差に応じて、前記電圧電流変換回路の出力電流を増減するための制御電圧を生成するＰＬＬ回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ラジオ受信機やテレビ放送受信機、携帯電話機、複合機などの通信機器において、局部発振回路として用いられるＰＬＬ（Phase Locked Loop：位相同期ループ）回路に関する。

【背景技術】

【０００２】

ＰＬＬ回路の基本構成は、位相比較器、チャージポンプ、ループフィルタ、ＶＣＯ（Voltage Controlled Oscillator：電圧制御発振器）、及び分周器からなる。そして、ＶＣＯの出力を分周器で分周した信号の位相と、基準信号の位相との位相差を位相比較器で検出し、この位相差に応じたパルス信号（UP信号、DOWN信号）をチャージポンプが出力し、その出力をループフィルタで平滑化してＶＣＯを駆動する。ＰＬＬ回路はこのような動作を繰り返し、ＶＣＯの出力である比較信号の周波数と位相を基準信号にロックさせる（特許文献１）。

【０００３】

ここで、電圧電流変換回路及びリングＩＣＯ（電流制御発振器）からなるＶＣＯにおいては、ループフィルタの出力電圧が電圧電流変換回路により電流に変換され、この電流がリングＩＣＯの各遅延段におけるキャパシタを充放電し、順に各遅延段を遷移することにより遅延時間が発生することで周波数変調が行われる。

【０００４】

近年、ＰＬＬ回路には広帯域の発振周波数範囲（ロックレンジ）が要求されており、発振周波数範囲の広帯域化にはＶＣＯのゲインを大きくする（入力電圧対出力周波数特性の傾きを急にする）ことが必要である。しかし、ＶＣＯのゲインを大きくすると、外乱に対する出力発振周波数の変動が大きくなる。

【０００５】

また、ＶＣＯの製造時のばらつき及び温度変化などにより、ＶＣＯを構成するトランジスタの閾値電圧（Ｖth）がばらつき、トランジスタの動作速度が高速（fast）、標準速度（typical）、低速（slow）のように変動することは避けられない。

【０００６】
特にＩＣＯとしてリングＩＣＯを用いる場合、ＩＣＯゲインが高い（＝入力電流対出力周波数特性の傾きが急である）ため、製造プロセスの微細化に伴う製造ばらつきや温度変化などによるＩＣＯ入力電流、つまりＶＣＯ入力電圧の変動が、遅延段における電流の遷移時間を決めている電流値の変動となり、発振周波数の大きな変動につながり、ジッタが増加してしまう。
【０００７】
図５は、トランジスタの動作速度が高速（fast）、標準速度（typical）、低速（slow）の場合のＶＣＯの入力電圧（Ｖin）対出力周波数（ｆout）特性を示す図である。この図においてVddは電源の電位である。
図５Ａに示すように、トランジスタの動作速度が標準速度の場合、ＶＣＯの入力電圧がV1のときにターゲット周波数（ｆtarget）にロックしても、高速の場合はターゲット周波数をオーバーしてしまい、低速の場合はターゲット周波数に到達しない。
【０００８】
ここでＶＣＯのゲインを下げると、外乱に対する出力発振周波数の変動を小さくすることはできる。しかし、図５Ｂに示すように、高速及び低速では、入力電圧Ｖinを変化させてもターゲット周波数にロックさせることができなくなるという問題がある。
【０００９】
また、一般にチャージポンプの電流源はカレントミラー回路で構成されるので、カレントミラー回路を構成するトランジスタを飽和領域で動作させなければならない。しかし、チャージポンプの出力段中間点の電位の変動により飽和領域で動作せずカレントミラー動作を行わないと、位相比較器から出力されるUP信号に応じた電流（ループフィルタのキャパシタへの充電電流）と、DOWN信号に応じた電流（ループフィルタのキャパシタからの放電電流）の電流値が異なるためにジッタが発生してしまうという問題もある。
【００１０】
さらに、ループフィルタのキャパシタをＭＯＳで作ることによりループフィルタを内蔵させることでＰＬＬ回路の面積の低減及びコスト削減を実現できるが、ＭＯＳの容量（キャパシタンス）に電圧依存性があるため、ループフィルタの入力電圧の変動によりＰＬＬの安定性およびジッタ特性が変化してしまうという問題もある。
【００１１】
特許文献１に記載されたＰＬＬ回路では、ＶＣＯの発振周波数がロックレンジに適合するように、ＶＣＯに供給する電流量を制御するキャリブレーションコントロール回路を設けることで、プロセス変動を電流量の調整で打ち消し、ＶＣＯの感度を低く設定できるとされている。
【００１２】
しかし、このＰＬＬ回路では、チャージポンプの電流源を構成するトランジスタが飽和領域で動作しないためにカレントミラー動作を行わなくなることに起因するジッタ、及びループフィルタのキャパシタを構成するＭＯＳ容量の電圧依存性に起因するジッタの防止については考慮されていない。
【発明の概要】
【発明が解決しようとする課題】
【００１３】
本発明は、このような問題を解決するためになされたものであり、その目的は、ＰＬＬ回路において、ＶＣＯのゲインが低くても、ＶＣＯを構成するトランジスタの動作速度に関係なく、ターゲット周波数にロックさせることができ、かつ内蔵ループフィルタのＭＯＳ容量の電圧依存性に起因するジッタを抑制できるようにすることである。
【課題を解決するための手段】
【００１４】
本発明のＰＬＬ回路は、ＶＣＯと、当該ＶＣＯの出力信号を分周する分周器と、当該分周器の出力信号と基準周波数信号との位相差を検出する位相比較器と、当該位相比較器の

位相差出力に応じた電流を生成するチャージポンプと、当該チャージポンプの電流を平滑化して前記ＶＣＯの入力電圧を生成するループフィルタと、前記ＶＣＯの出力信号の周波数が前記基準周波数の分周比倍になるとき、前記ループフィルタの出力電圧が所定値になるように、前記ＶＣＯの入力電圧対出力周波数特性を校正する校正手段と、を有し、前記位相比較器は、前記位相差の大きさ及び方向に応じてUP信号、DOWN信号を出力し、前記チャージポンプは、前記UP信号に応じて前記ループフィルタのキャパシタに充電電流を流す第１の電流源と、前記DOWN信号に応じて前記ループフィルタのキャパシタからの放電電流を流す第２の電流源とを有し、前記第１の電流源及び第２の電流源がカレントミラー回路により構成されており、前記第１の電流源、前記UP信号によりオンする第１のスイッチ、前記DOWN信号によりオンする第２のスイッチ、及び前記第２の電流源が電源とグラウンドとの間に直列に接続されており、前記カレントミラー回路を構成するトランジスタが飽和領域で動作するように前記電源の電位、及び前記第１のスイッチと第２のスイッチの接続点の電位を設定したとき、当該電位が前記所定値となるように設定し、前記校正手段は、前記チャージポンプ及びループフィルタのダミー回路と、前記チャージポンプ及びループフィルタをＰＬＬから切り離し、前記ダミー回路をＰＬＬに接続したときの前記ダミー回路の出力電圧と前記所定値との差異に応じて、前記ＶＣＯの入力電圧対出力周波数特性を校正する手段とを有するＰＬＬ回路である。

【発明の効果】

【００１５】

本発明によれば、ＰＬＬ回路において、ＶＣＯのゲインが低くても、ＶＣＯを構成するトランジスタの動作速度に関係なく、ターゲット周波数にロックさせることができ、かつ内蔵ループフィルタのＭＯＳ容量の電圧依存性に起因するジッタを抑制することができる。

【図面の簡単な説明】

【００１６】

【図１】本発明の実施形態のＰＬＬ回路の構成を示すブロック図である。

【図２】図１におけるＶＣＯの入力電圧対出力周波数特性を示す図である。

【図３】図１におけるチャージポンプ、ループフィルタ、及びＶＣＯの回路図である。

【図４】図１におけるループフィルタのキャパシタを構成するＭＯＳの印加電圧対容量特性を示す図である。

【図５】従来のＰＬＬ回路のＶＣＯにおける入力電圧対出力周波数特性を示す図である。

【発明を実施するための形態】

【００１７】

以下、本発明の実施形態について図面を参照して説明する。

〈ＰＬＬ回路のブロック図〉

図１は、本発明の実施形態のＰＬＬ回路の構成を示すブロック図である。このＰＬＬ回路は、位相周波数検出器（ＰＦＤ）１０、チャージポンプ（ＣＰ）２０、ループフィルタ（ＬＦ）３０、ＶＣＯ４０、及び分周器（ＤＩＶ）５０からなるＰＬＬ部と、チャージポンプ６１、ループフィルタ６２、電圧比較器（ＣＯＭＰ）６３、電流制御装置（ＣＯＮＴ）６４、デジタルアナログ変換器（ＤＡＣ）６５、及び校正用電源６６からなる校正部６０からなる。

【００１８】

校正部６０を動作させるときは、ＰＬＬ部のチャージポンプ２０及びループフィルタ３０をスリープ状態にすることで、それらをＰＬＬのループから切り離し、校正部６０をＰＬＬのループに接続する。

【００１９】

位相周波数検出器１０は、基準信号（周波数：ｆref）と、比較信号である分周器５０の出力信号（周波数：ｆout／Ｎ）とを比較し、位相差に応じて、UP信号、DOWN信号を出力する。

【００２０】

チャージポンプ２０は、位相周波数検出器１０からのUP信号、DOWN信号に応じて、ループフィルタ３０のキャパシタを充電するパルス電流を出力し、そのキャパシタから放電されたパルス電流を吸い込む。

【００２１】

ループフィルタ３０は、チャージポンプ２０の出力を平滑化し、その平滑化電圧をＶＣＯ４０へ送出する。ループフィルタ３０により、ＰＬＬ回路の安定性及び雑音特性が決まる。ループフィルタ３０は、集積化されＰＬＬ回路のチップに内蔵されており、そのキャパシタはＭＯＳで構成されている。

【００２２】

ＶＣＯ４０は、電圧電流変換回路（Ｖ－Ｉ）４１と、電流制御発振器（ＩＣＯ）４２からなる。電圧電流変換回路４１は、ループフィルタ３０から送出された電圧値を電流値に変換し、電流制御発振器４２は、電圧電流変換回路４１により変換された電流値に応じた周波数の発振信号を生成する。

【００２３】

分周器５０は、ＶＣＯ４０の出力信号を１／Ｎに分周し、位相周波数検出器１０に送出する。

【００２４】

校正部６０のチャージポンプ６１、ループフィルタ６２は、それぞれＰＬＬ部のチャージポンプ２０、ループフィルタ３０と同一構成を持つダミー回路である。

【００２５】

電圧比較器６３は、ループフィルタ６２の出力電圧（Ｖ’in）と、校正用電源６６の電圧とを比較し、その大小関係を表す信号を電流制御装置６４に送出する。校正用電源６６の電圧はこのＰＬＬ回路の電源電圧Vddの１／２である。

【００２６】

電流制御装置６４は、電圧比較器６３の出力信号に応じて、電圧電流変換回路４１の出力電流を増減するためのデジタル制御電圧を生成し、デジタルアナログ変換器６５は、そのデジタル制御電圧をアナログ化してV+、V-とし、電圧電流変換回路４１に印加する。

【００２７】

つまり、校正部６０では、電圧電流変換回路４１において、電流制御発振器４２の発振周波数を決める電流値を校正（キャリブレーション）することにより、ＶＣＯ４０への入力電圧が製造ばらつきや温度変化などによって変化しても、一定の電圧に保つために、位相周波数検出器１０の出力信号から生成した補正信号を電圧電流変換回路４１に与えている。

【００２８】

〈校正部６０の動作〉

次に校正部６０の校正（キャリブレーション）動作について説明する。

この校正動作では、ＰＬＬ部が任意の基準周波数信号にロックしたときに、ＶＣＯ４０の入力電圧（＝ループフィルタ３０の出力電圧）VinがVdd／２になるように、ＶＣＯ４０内の電圧電流変換回路４１の入力電圧対出力電流特性を調整することで、ＶＣＯ４０の入力電圧対出力周波数特性を調整する。

【００２９】

図２は、ＶＣＯ４０の入力電圧対出力周波数特性を示す図である。ＶＣＯ４０の製造時のばらつき及び温度変化などにより、ＶＣＯ４０を構成するトランジスタの動作速度は高速（fast）、標準速度（typical）、低速（slow）のどれかになる。そして、図２のように、ＶＣＯ４０のゲインを下げると、ＶＣＯ４０の入力電圧がVdd／２のときに、標準速度（typical）ではターゲット周波数（ｆtarget）にロックさせることができても、高速(fast)及び低速（slow）では、ターゲット周波数にロックさせることができない。

【００３０】

そこで、本実施形態のＰＬＬ回路では、ＶＣＯ４０の入力電圧対出力周波数特性が高速(fast)或いは低速（slow）であった場合、それぞれの特性を、標準速度（typical）の特

性に近づけるように調整することで、ターゲット周波数にロックさせることができるようにする。

【００３１】

まずチャージポンプ２０及びループフィルタ３０をスリープ状態にし、これらの回路をＰＬＬ部から切り離す。次に校正部６０全体をアクティブにする。校正部６０のチャージポンプ６１、ループフィルタ６２は、それぞれＰＬＬ部のチャージポンプ２０、ループフィルタ３０と同一構成を有するので、ループフィルタ６２の出力電圧Ｖ’inは、ＰＬＬ部が動作しているときのループフィルタ３０の出力電圧Ｖinと同じになる。

【００３２】

Ｖ’inがＶdd／２より大きいか小さいかを電圧比較器６３により比較する。比較の結果、Ｖ’in＞Ｖdd／２のとき（図２の低速（slow）に相当）は、電流制御装置６４は、制御電圧Ｖ-のレベルを小さい値から大きな値へと段階的に変化させる。これにより、図２の低速（slow）の特性を標準速度（typical）に接近させることができる。比較の結果、Ｖ’in＜Ｖdd／２のとき（図２の高速（fast）に相当）は、電流制御装置６４は、制御電圧Ｖ+のレベルを小さい値から大きな値へと段階的に変化させる。これにより、図２の高速（fast）の特性を標準速度（typical）に接近させることができる。

【００３３】

Ｖ’in　Ｖdd／２になったら校正を終了し、ＰＬＬ部のチャージポンプ２０及びループフィルタ３０をアクティブにする。電流制御装置６４の内部にＶ+、Ｖ-を記憶する機能を設けておけば、校正終了後、校正部６０内のチャージポンプ６１、ループフィルタ６２、及び電圧比較器６３をスリープ状態にすることで、消費電流を低減することができる。

【００３４】

〈チャージポンプ、ループフィルタ、及びＶＣＯの回路図〉

図３は、図１におけるチャージポンプ２０、ループフィルタ３０、及びＶＣＯ４０の回路図である。

【００３５】

図示のように、チャージポンプ２０は、第１の電流源２１と、UP信号によりオンする第１のスイッチングトランジスタ２２と、DOWN信号によりオンする第２のスイッチングトランジスタ２３と、第２の電流源２４との直列回路が電源とグラウンドとの間に接続された構成を持つ。

【００３６】

ここで、第１の電流源２１及び第２の電流源２４はカレントミラー回路により構成されているため、各電流源を構成するトランジスタを飽和領域で動作させる必要がある。そのため、ここではチャージポンプ２０の出力段の中間点、即ち第１のスイッチングトランジスタ２２と第２のスイッチングトランジスタ２３の接続点Ｍの電位を電源の電位Ｖddの１／２程度になるようにした。

【００３７】

このように構成すると、第１の電流源２１からループフィルタ３０のキャパシタに流れ込む充電電流Ｉcp_pと、第２の電流源２４がループフィルタ３０のキャパシタから吸い込む放電電流Ｉcp_nとが同程度の電流になり、ジッタが軽減される。これに対して、Icp_pとIcp_nが異なると、充電電流パルスと放電電流パルスの時間幅が異なるため、ループフィルタ３０の出力電圧Ｖinが変動し、ＶＣＯ４０の出力信号のジッタが増加することになる。

【００３８】

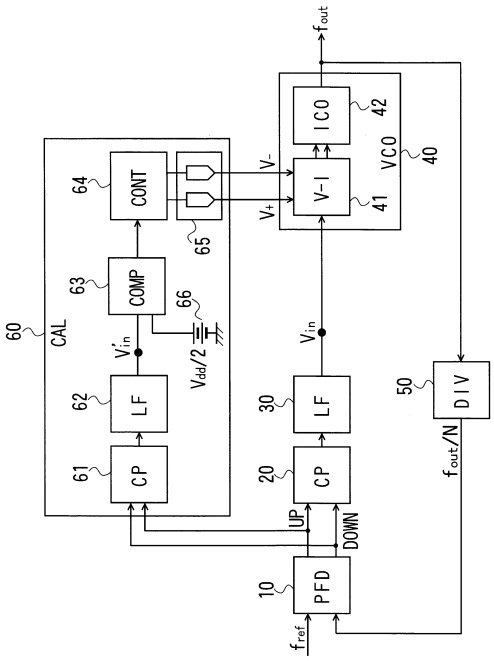
ループフィルタ３０は、抵抗３１及びキャパシタ３２の直列回路と、キャパシタ３３との並列回路からなり、チャージポンプ２０からの充電電流及び放電電流を平滑化し、電圧Ｖinを生成する。

【００３９】

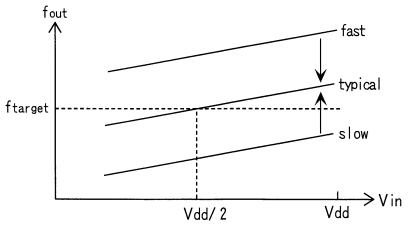
キャパシタ３２及び３３はＭＯＳにより構成されている。図４は、ＭＯＳのゲートとドレイン及びソースの間の印加電圧（Ｖc）、と容量Ｃchとの関係、を説明するための図で

ある。
【００４０】
図４Ａに示すように、ゲートとドレイン及びソースの間に電圧Ｖcを印加すると、容量Ｃchは図４Ｂのように変化する。即ち、電圧Ｖcが閾値電圧Ｖthを超えるまでは、電圧Ｖcの増加に伴って増加する。この間、チャネルは形成されておらず、容量Ｃchは酸化膜容量値と空乏層容量値の直列容量値となる。電圧Ｖcが閾値電圧Ｖthを超えると、チャネルが形成され、容量Ｃchはゲート容量Coxとなる。
【００４１】
ループフィルタ３０のキャパシタ３２及び３３の容量により、ＰＬＬのループ安定性及び雑音特性が決まるため、図４Ｂにおいて、容量Ｃchが電圧Ｖc（入力電圧Ｖin）により変化しない電圧領域(点線に挟まれた安定領域)で使用することが望ましい。
【００４２】
例えば、Ｖdd＝１．０[Ｖ]程度において、Ｖthは０．４[Ｖ]程度であるので、ＶinをＶdd／２程度に設定すれば容量Ｃchの安定領域で使用できる。これにより、ＰＬＬの安定性が保たれ、ジッタも軽減される。
【００４３】
ループフィルタ３０により平滑化され、雑音が除去された出力電圧Ｖinは、電圧電流変換回路４１を構成するトランジスタ４１ｂをオンにするので、トランジスタ４１ｂにはＶinに対応する電流Ｉ1が流れる。
【００４４】
校正部６０のデジタルアナログ変換器６５から出力される電流補正信号（Ｖ-、Ｖ+）をトランジスタ４１ｃ、４１ｄのゲート電圧とすることで、電流源であるトランジスタ４１ｃ、４１ｄに流れる電流Ｉ-、Ｉ+を変化させる。Ｖ-、Ｖ+の各々に対してサイズの異なるトランジスタを複数用意するとともに、各トランジスタと出力ラインとの間にスイッチを設け、各トランジスタのオン・オフにより、電流補正信号を印加するトランジスタを選択するように構成することもできる。
【００４５】
このときトランジスタ４１ａに流れる電流はＩ1＋I+－Ｉ-となるので、Ｉ-、Ｉ+を変化させることにより、トランジスタ４１ａに流れる電流を任意の値にすることができる。ここで、電流補正信号Ｖ-により減算ができ、電流補正信号Ｖ+により加算ができるので、加算しすぎたときに減算を行うなどの微調整が可能になる。
【００４６】
トランジスタ４１ａに流れる電流は、カレントミラーによりトランジスタ４１ｅ及び４１ｆにコピーされ、リングＩＣＯからなる電流制御発振器４２に入力される。
【００４７】
電流制御発振器４２は、３段のインバータ４２ａ、４２ｂ、４２ｃをリング状に接続したリングＩＣＯからなり、トランジスタ４２ｄ、４２ｅ、４２ｆ、４２ｇ、４２ｈ、４２ｉのゲート電流を制御することにより、インバータ４２ａ、４２ｂ、４２ｃに流れる電流（ＶＣＯリング電流）を制御することができる。
【符号の説明】
【００４８】
１０…位相周波数検出器、２０…チャージポンプ、２１…第１の電流源、２２…第１のスイッチングトランジスタ、２３…第２のスイッチングトランジスタ、２４…第２の電流源、３０…ループフィルタ、４０…ＶＣＯ、４１…電圧電流変換回路、４２…電流制御発振器、５０…分周器、６０…校正部、６３…電圧比較器、６４…電流制御装置、６５…デジタルアナログ変換器、６６…校正用電源。
【先行技術文献】
【特許文献】
【００４９】
【特許文献１】特開２０００－４９５９７号公報

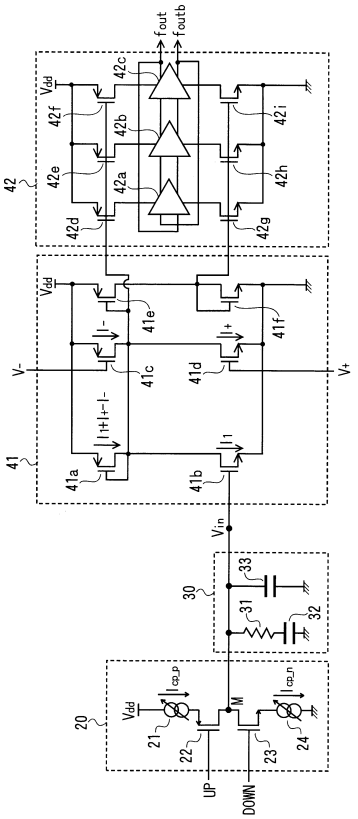
【図１】


fout
ICO
42
VCO
40
V-I
41
V-
V+
64
CONT
65
63
COMP
66
60
CAL
Vin'
Vdd/2
62
LF
61
CP
Vin
30
LF
20
CP
50
DIV
fout/N
UP
DOWN
10
PFD
fref

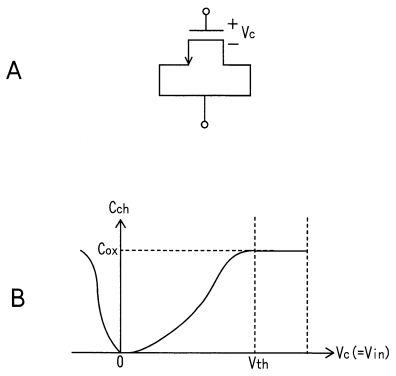
【図２】


fout
fast
typical
slow
ftarget
Vdd/2
Vdd
Vin

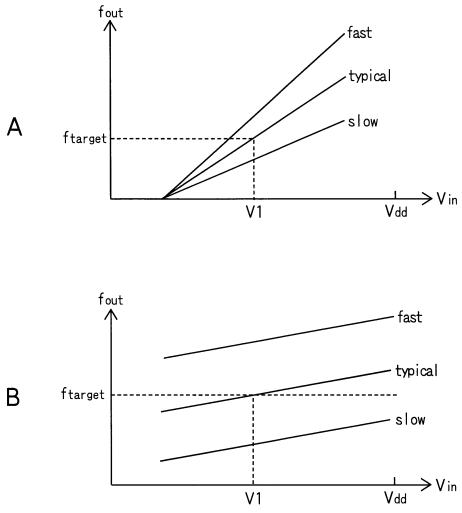
【図３】


fout
foutb
Vdd
42c
42f
42b
42i
42e
42a
42h
42
42d
42g
Vdd
41e
41f
V-
41c
41d
V+
I-
I+
I+I+I-
I1
41
41a
41b
Vin
33
30
31
32
20
Vdd
Icp,p
Icp,n
M
21
22
23
24
UP
DOWN

【図４】


A
+
Vc
−
B
Cch
Cox
0
Vth
Vc(=Vin)

【図５】


A
fout
fast
typical
slow
ftarget
V1
Vdd
Vin
B
fout
fast
typical
slow
ftarget
V1
Vdd
Vin

フロントページの続き

審査官　鬼塚　由佳

(56)参考文献　特開２００２－１９８８１１（ＪＰ，Ａ）
特開２００８－０８５５３４（ＪＰ，Ａ）
特開２００５－２６０４４５（ＪＰ，Ａ）
特開２００８－０７２５９７（ＪＰ，Ａ）
特開２００５－２１０６２９（ＪＰ，Ａ）
特開平０７－２８３７２９（ＪＰ，Ａ）
国際公開第２００３／０９０３５８（WO，Ａ１）
欧州特許出願公開第０２１８７５２３（ＥＰ，Ａ１）
米国特許第０６６８０６３２（ＵＳ，Ｂ１）
米国特許出願公開第２００２／００６７２１４（ＵＳ，Ａ１）
特開平０８－１８６４９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｌ　　７／０９９
Ｈ０３Ｌ　　７／０８
Ｈ０３Ｌ　　７／０９３
Ｈ０３Ｌ　　７／１０