



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 09.11.78 (21) 2683078/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.08.80. Бюллетень № 32

Дата опубликования описания 10.09.80

(11) 760160

(51) М. Кл.³
G 08 C 19/28

(53) УДК 621.
.398(088.8)

(72) Автор
изобретения

В.М. Кузавков

(71) Заявитель

Научно-исследовательский институт управляющих
вычислительных машин

(54) УСТРОЙСТВО ДЛЯ ПЕРЕДАЧИ ИНФОРМАЦИИ

1

Изобретение относится к технике связи и может быть использовано в автоматике, телемеханике и вычислительной технике, в частности, для передачи информации между процессорами и ОЗУ в вычислительных комплексах.

Известно устройство для двусторонней передачи информации, каждый приемо-передающий узел которого содержит источник информации, усилители передаваемого и принимаемого сигналов, комплексное сопротивление, двухпроводную линию [1].

Поскольку в такой системе отсутствуют параллельно-последовательные преобразователи, то передача информации осуществляется параллельным кодом, что требует значительных издержек кабеля и является недостатком данной системы.

Известно устройство для передачи информации, содержащее на передающей стороне параллельно-последовательный преобразователь, блок управления записью, счетчик, триггер, элемент И и передатчик; первый выход блока управления записью соединен с первым входом параллельно-по-

2

следовательного преобразователя, второй выход блока управления записью подключен к первому входу счетчика, первый выход которого соединен с первым входом элемента И, выход которого подключен ко второму входу счетчика, ко второму входу параллельно-последовательного преобразователя и ко входу передатчика, выход триггера соединен со вторым входом элемента И; на приемной стороне - последовательно-параллельный преобразователь, счетчик, триггер, элементы И, ИЛИ, блок памяти и приемник, выход которого подключен к первому входу последовательно-параллельного преобразователя, первый вход счетчика соединен с первым входом элемента ИЛИ, выход первого элемента И подключен ко входу триггера, выход которого соединен со вторым входом элемента ИЛИ, передающая и приемная стороны соединены линией связи, подключенной между входом приемника и передатчика [2].

В данном устройстве на передающей стороне информация вводится в виде символов в параллельно-по-

следовательный преобразователь. Каждый символ с помощью контрольного двоичного разряда дополняется при передаче. На приемной стороне дополненные символы принимаются последовательно-параллельным преобразователем и при наличии заданной четности знаков передается дальше. Для получения контрольного разряда и для его контроля при приеме применяется счетный триггерный каскад. Для защиты информации на передающей и приемной стороне дополнительно предусмотрены счетные триггерные каскады, на которые соответственно ходу приема или передачи подаются информационные и корректирующие сигналы. Сигнал четности, имеющийся в счетных триггерных каскадах после последних сигналов информации подается на параллельно-последовательный преобразователь с последующей передачей в линию связи. Счетный триггерный каскад на приемной стороне после каждого принятого знака контролируется на наличие заданной четности знаков и расхождение запоминается в промежуточном ЗУ до заключительного контроля информационных блоков.

Недостатком данного устройства является то, что оно имеет низкую пропускную способность и ограниченную область применения.

Цель изобретения - увеличение пропускной способности и расширение функциональных возможностей устройства.

Поставленная цель достигается тем, что в устройство для передачи информации, содержащее на передающей стороне параллельно-последовательный преобразователь, блок управления, счетчик, триггер, элемент И и первый передатчик; первый выход блока управления соединен с первым входом параллельно-последовательного преобразователя, второй выход блока управления подключен к первому входу счетчика, первый выход которого соединен с первым входом элемента И, выход которого подключен ко второму входу счетчика, ко второму входу параллельно-последовательного преобразователя и ко входу первого передатчика, выход триггера соединен со вторым входом элемента И, выход первого передатчика через провод линии связи соединен со входом первого приемника на приемной стороне, где расположены последовательно-параллельный преобразователь, счетчик, триггер, элементы И, ИЛИ, блок памяти, выход приемника подключен к первому входу последовательно-параллельного преобразователя, первый вход счетчика соединен с первым входом элемента ИЛИ, выход первого

элемента И подключен ко входу триггера, выход которого соединен со вторым входом элемента ИЛИ, введены передатчики, подключенные к одним концам второго и третьего проводов линии связи соответственно, третий выход блока управления подключен к первому входу триггера и к третьему входу элемента И, выход второго передатчика подключен ко второму входу триггера, второй выход счетчика соединен с третьим входом параллельно-последовательного преобразователя, выход которого подключен ко входу третьего передатчика, на приемной стороне введен коммутатор и одновибраторы, выход третьего приемника подключен ко второму входу последовательно-параллельного преобразователя, первый вход которого соединен со вторым входом счетчика, выход которого подключен к первому входу коммутатора и к первому входу первого элемента И, выход которого соединен со входом первого одновибратора, выход которого подключен к первому входу элемента ИЛИ и к первому входу блока памяти, выход триггера соединен со вторым входом элемента ИЛИ и со вторым входом коммутатора, первый выход которого подключен ко входу второго одновибратора, выход которого соединен с первым входом второго элемента И, второй вход которого подключен к выходу элемента ИЛИ, третий вход которого соединен со вторым выходом коммутатора, выход второго элемента И подключен ко входу передатчика второй линии связи, выход последовательно-параллельного преобразователя соединен со вторым входом блока памяти.

На фиг. 1 приведена схема передающей стороны устройства передачи; на фиг. 2 - схема приемной стороны.

Передающая сторона устройства содержит блок 1 управления, триггер 2, счетчик 3, преобразователь 4 параллельно-последовательный, элемент 5 И. Между передающей и приемной стороной устройство содержит линии 6-8 передачи с соответствующими передатчиками и приемниками.

На приемной стороне устройство содержит последовательно-параллельный преобразователь 9, счетчик 10, первый элемент 11 И, коммутатор 12, триггер 13, первый одновибратор 14, второй одновибратор 15, элемент 16 ИЛИ, второй элемент 17 И и блок 18 памяти.

Устройство передачи работает следующим образом.

Блок 1 управления анализирует состояние счетчика 3. Предположим, состояние счетчика 3 соответствует

четырем. В этом случае на втором выходе счетчика 3 формируется сигнал, переводящий параллельно-последовательный преобразователь 4 в режим параллельного занесения информации, на первом выходе счетчика 3 формируется сигнал, блокирующий сигналы на втором и третьем входах элемента 5 И. На первый вход параллельно-последовательного преобразователя 4 с первого выхода блока 1 управления поступает соответствующая информация, сопровождаемая стробирующим сигналом, осуществляющим ее запись в параллельно-последовательный преобразователь 4. Сигнал, аналогичный стробирующему, поступает со второго выхода преобразователя на первый вход счетчика 3 и устанавливает счетчик в исходное состояние. Блокировка второго и третьего входов элемента 5 И снимается, а параллельно-последовательный преобразователь 4 переходит в режим формирования последовательного кода. На третьем выходе блока 1 управления формируются тактовые импульсы (непрерывная серия импульсов с генератора), которые поступают на первый вход триггера 2 и третий вход элемента 5 И. Триггер 2 является динамическим триггером, а его первый вход - входом для стробирования приема информации. На вход приемника по первой линии 6 связи поступает сигнал, разрешающий передачу последовательного кода по третьей линии 8 связи. Разрешающий передачу информации сигнал поступает на второй вход триггера 2 асинхронно с действием тактовых импульсов на первом входе триггера 2. На выходе триггера 2 этот сигнал действует синхронно с тактовыми импульсами. Этим предотвращается формирование на выходе элемента 5 И деформированных импульсов. Импульсы с выхода элемента 5 И поступают на второй вход счетчика 3 и второй вход параллельно-последовательного преобразователя 4. Для него импульсы являются импульсами сдвига, а счетчик 3 осуществляет их счет. Когда преобразование кода закончено, на первом выходе счетчика 3 формируется сигнал, блокирующий действие импульсов сдвига, а на втором выходе счетчика формируется сигнал, переключающий параллельно-последовательный преобразователь 4 в режим параллельного занесения информации.

С выхода элемента 5 И импульсы сдвига передаются по линии 7 связи. Эти импульсы сопровождают информацию, передаваемую по второй линии 8 связи и используются на приемной стороне для стробирования записи

этой информации в последовательно-параллельный преобразователь 9.

Счетчик 10 осуществляет счет импульсов сдвига. Состояние триггера 13 отождествляется с занятостью блока 18 памяти. При занесении информации в блок памяти триггер устанавливается в одно состояние, при считывании информации - в другое состояние.

Когда счетчик 10 показывает, что преобразование кодов в последовательно-параллельный преобразователь 9 закончено, на втором выходе счетчика 10 формируется сигнал, поступающий на первый вход первого элемента 11 И. Если блок памяти свободен, то сигнал с выхода элемента 11 И переключает триггер 13 и запускает одновибратор 14. На выходе одновибратора 14 формируется импульс, который устанавливает счетчик 10 в исходное состояние и удерживает его в этом состоянии. Этот импульс является также стробирующим сигналом, осуществляющим перезапись информации из последовательно-параллельного преобразователя 9 в блок 18 памяти.

Элемент 16 ИЛИ и второй элемент 17 И осуществляют формирование сигнала, разрешающего передачу информации по второй линии связи 8. Разрешающий сигнал формируется, если счетчик 10 находится в исходном состоянии, или действует импульс перезаписи информации из последовательно-параллельного преобразователя 9 в блок 18 памяти, или блок 18 памяти свободен (на выходе триггера 13 сигнал, соответствующий свободному блоку памяти 18). Если преобразование кода в последовательно-параллельном преобразователе 9 закончилось раньше, чем освободился блок памяти, т.е. сигнал на втором входе коммутатора 12 действует позже, чем на первом входе, то срабатывает коммутатор 12, который запускает одновибратор 15, выходной сигнал которого блокирует передачу в линию 6 связи разрешающего сигнала.

Устройство позволяет увеличить пропускную способность канала передачи и расширить область применения, так как обеспечивается передача непрерывного потока сообщений. Это требуется, например при считывании информации с магнитных носителей (дисков) в вычислительных комплексах. Если вводится в оперативную память вычислительной машины массив информации, содержащий несколько задач пользователей, то однократное действие случайной помехи может привести к порче только одной задачи (программы). В процессе обработки правильно введенных

программ испорченная программа может быть исправлена.

Формула изобретения

Устройство для передачи информации, содержащее на передающей стороне параллельно-последовательный преобразователь, блок управления, счетчик, триггер, элемент И и первый передатчик, первый выход блока управления соединен с первым входом параллельно-последовательного преобразователя, второй выход блока управления подключен к первому входу счетчика, первый выход которого соединен с первым входом элемента И, выход которого подключен ко второму входу счетчика, ко второму входу параллельно-последовательного преобразователя и ко входу первого передатчика, выход триггера соединен со вторым входом элемента И, выход первого передатчика через провод линии связи соединен со входом первого приемника на приемной стороне, где расположены последовательно-параллельный преобразователь, счетчик, триггер, элементы И, ИЛИ, блок памяти, выход приемника подключен к первому входу последовательно-параллельного преобразователя, первый вход счетчика соединен с первым входом элемента ИЛИ, выход первого элемента И подключен ко входу триггера, выход которого соединен со вторым входом элемента ИЛИ, отличающемся тем, что, с целью увеличения пропускной способности и расширения функциональных возможностей устройства, в него введены передатчики, подключенные к одним концам второго и третьего проводов линии связи соответственно, третий

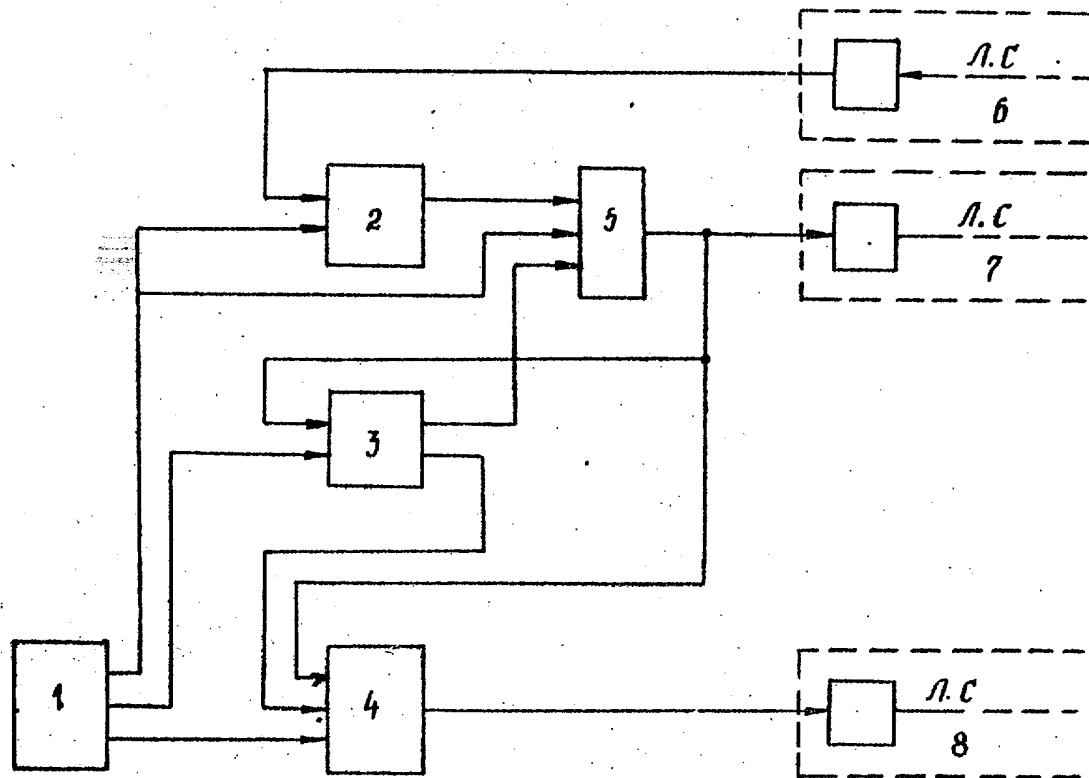
выход блока управления подключен к первому входу триггера и к третьему входу элемента И, выход второго передатчика подключен ко второму входу триггера, второй выход счетчика соединен с третьим входом параллельно-последовательного преобразователя, выход которого подключен ко входу третьего передатчика, на приемной стороне введен коммутатор и одновибраторы, выход третьего приемника подключен ко второму входу последовательно-параллельного преобразователя, первый вход которого соединен со вторым входом счетчика, выход которого подключен к первому входу коммутатора и к первому входу первого элемента И, выход которого соединен со входом первого одновибратора, выход которого подключен к первому входу элемента ИЛИ и к первому входу блока памяти, выход триггера соединен со вторым входом элемента ИЛИ и со вторым входом коммутатора, первый выход которого подключен ко входу второго одновибратора, выход которого соединен с первым входом второго элемента И, второй вход которого подключен к выходу элемента ИЛИ, третий вход которого соединен со вторым выходом коммутатора, выход второго элемента И подключен ко входу передатчика второй линии связи, выход последовательно-параллельного преобразователя соединен со вторым входом блока памяти.

Источники информации,

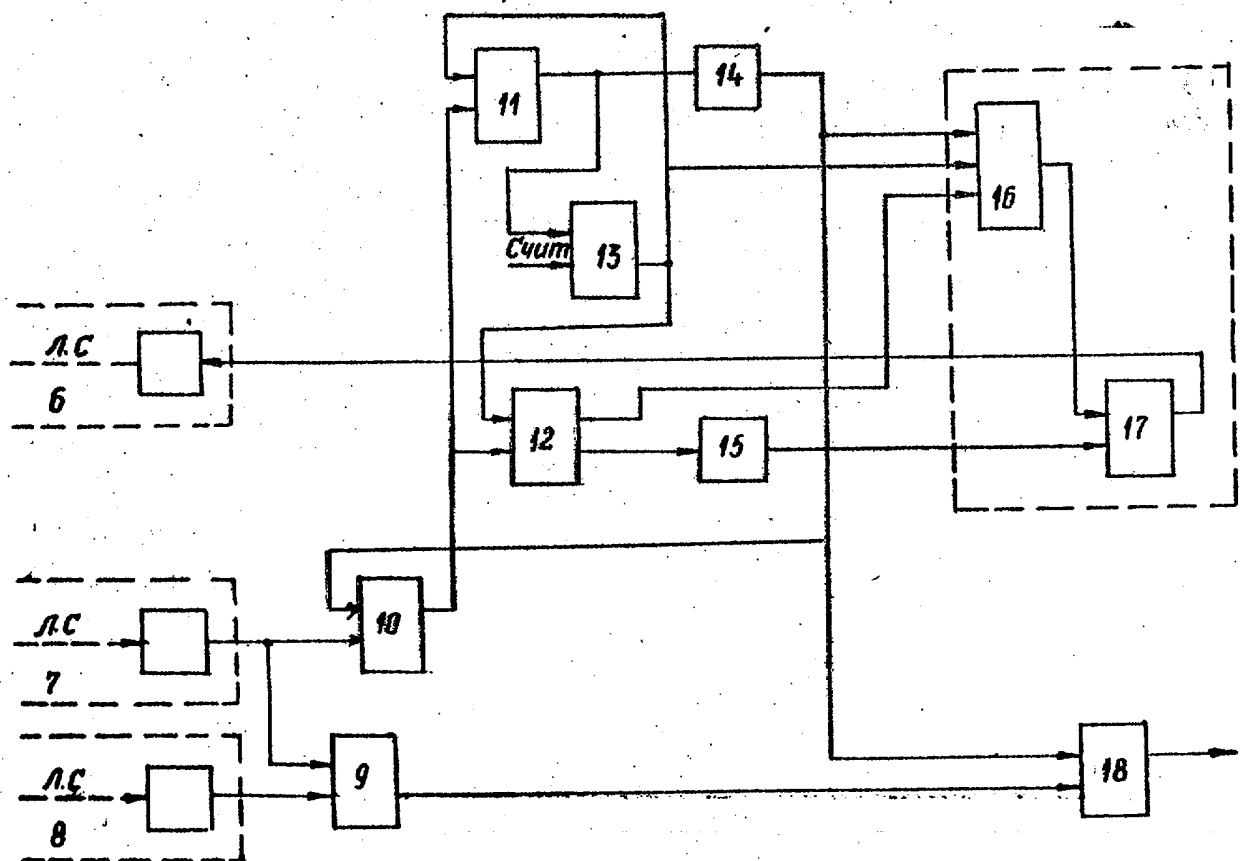
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 499679, кл. G 08 C 19/28, 1972.

2. Патент ФРГ № 2542844, кл. H 03 K 13/34, G 06 F 11/00, 11.03.73, 1977 (прототип).



Фиг. 1



Фиг. 2