



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월30일
(11) 등록번호 10-1815076
(24) 등록일자 2017년12월28일

- (51) 국제특허분류(Int. Cl.)
H03F 3/217 (2006.01)

(21) 출원번호 10-2013-7013569
(22) 출원일자(국제) 2011년10월27일
심사청구일자 2016년10월20일
(85) 번역문제출일자 2013년05월27일
(65) 공개번호 10-2013-0132456
(43) 공개일자 2013년12월04일
(86) 국제출원번호 PCT/EP2011/068873
(87) 국제공개번호 WO 2012/055968
국제공개일자 2012년05월03일
(30) 우선권주장

(55) 미국(US) 2010년10월27일 61/407,262

(56) 선행기술조사문헌

US7675361 B2

US6373336 B1

US6492868 B2

전체 청구항 수 : 총 18 항

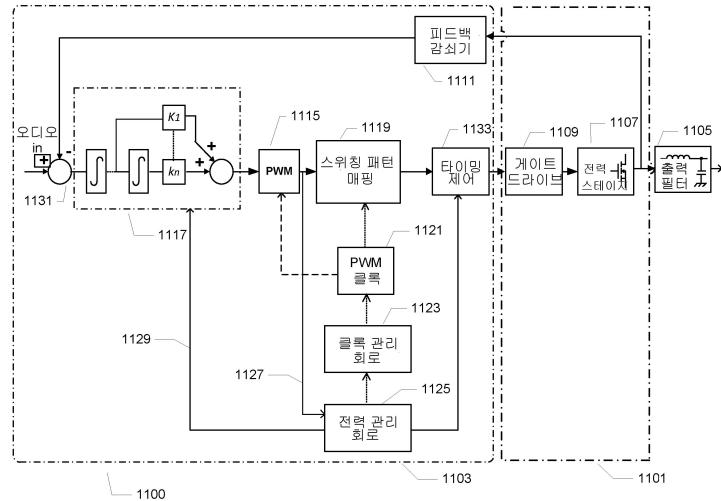
심사관 : 박정근

(54) 발명의 명칭 멀티 - 레벨 펄스폭 변조를 사용하는 오디오 증폭기

(57) 요약

본 발명은 일 양상에서 라우드스피커 로드에 공급하기 위한 3-레벨, 4-레벨 또는 5-레벨 펄스폭 또는 펄스 밀도 변조된 출력 신호들과 같은 멀티-레벨 출력 신호들을 지원하는 개선된 출력 드라이버 토폴로지를 가진 클래스 D 오디오 증폭기에 관한 것이다. 본 클래스 D 오디오 증폭기들은 고용량 소비자 오디오 애플리케이션들 및 솔루션 들에 특히 적합하다.

대표도 - 도11



명세서

청구범위

청구항 1

클래스 D 오디오 증폭기로서,

라우드스피커 로드(loudspeaker load)에 접속가능하며 로드 신호를 상기 라우드스피커 로드에 공급하기 위한 출력 노드를 포함하는 제 1 출력 드라이버 – 상기 제 1 출력 드라이버는 제 1 DC 공급 전압과 상기 출력 노드 사이에 커플링되는 상부 레그(leg) 및 상기 출력 노드와 제 2 DC 공급 전압 사이에 커플링된 하부 레그를 포함하며, 상기 상부 레그는 직렬로 커플링되며 제 1 및 제 2 스위치 제어 터미널들에 의해 각각 제어되는 제 1 반도체 스위치 및 제 2 반도체 스위치를 포함하며, 상기 하부 레그는 직렬로 커플링되며 제 3 및 제 4 스위치 제어 터미널들에 의해 각각 제어되는 제 3 반도체 스위치 및 제 4 반도체 스위치를 포함함 –;

오디오 입력 신호를 수신하며, 오디오 입력 신호로부터 제 1, 제 2, 제 3 및 제 4 펄스폭 또는 펄스 밀도 변조된 제어 신호들을 유도하도록 조정된 제어기 – 상기 제어기는 상기 제 1, 제 2, 제 3 및 제 4 스위치 제어 터미널들에 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 또는 펄스 밀도 변조된 제어 신호들을 각각 적용하도록 구성됨 –; 및

상기 제 1 및 제 2 반도체 스위치들 사이에 위치된 제 1 노드와 상기 제 3 및 제 4 반도체 스위치들 사이에 위치한 제 2 노드 사이의 제 1 미리 결정된 DC 전압차를 세팅하도록 구성된 제 1 DC 전압 소스를 포함하고,

상기 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들은, 제 1 상태에서 상기 제 1 반도체 스위치를 통해 상기 제 1 DC 공급 전압에 상기 제 1 DC 전압 소스의 제 1 터미널을 접속시키고 상기 제 3 반도체 스위치를 통해 상기 출력 노드에 상기 제 1 DC 전압 소스의 제 2 터미널을 접속시키며, 제 2 상태에서 상기 제 4 반도체 스위치를 통해 상기 제 2 DC 공급 전압에 상기 제 1 DC 전압 소스의 상기 제 2 터미널을 접속시키고 상기 출력 노드에 상기 제 1 DC 전압 소스의 상기 제 1 터미널을 접속시키도록 구성되는

클래스 D 오디오 증폭기.

청구항 2

제 1 항에 있어서,

상기 미리 결정된 DC 전압차는 상기 출력 노드에 3-레벨 출력 신호를 제공하기 위하여 상기 제 1 및 제 2 DC 공급 전압들 간의 DC 전압차의 실질적으로 절반으로 세팅되는, 클래스 D 오디오 증폭기.

청구항 3

제 1 항에 있어서,

상기 제어기는,

아날로그 오디오 입력 신호를 수신하고 자연적으로(naturally) 샘플링된 펄스폭 변조된 오디오 신호를 생성하도록 커플링된 아날로그 펄스폭 변조기; 및

디지털 클럭 신호에 따라 동작하며, 상기 자연적으로 샘플링된 펄스폭 변조된 오디오 신호에 기초하여 균일하게 샘플링된 펄스폭 또는 펄스 밀도 변조된 오디오 신호를 생성하도록 조정된 샘플링 디바이스를 더 포함하며;

상기 제어기는 균일한 펄스폭 또는 펄스 밀도 변조된 오디오 신호에 기초하여 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 또는 펄스 밀도 변조된 제어 신호들을 생성하는, 클래스 D 오디오 증폭기.

청구항 4

제 3 항에 있어서,

상기 로드 신호로부터, 상기 아날로그 펄스폭 변조기 전방에 배치된 합산 노드까지 확장하는 피드백 경로;

상기 자연적으로 샘플링된 펄스폭 변조된 오디오 신호의 샘플링에 의해 생성되는 양자화 잡음의 스펙트럼을 성형(shape)하기 위하여 상기 피드백 경로에 삽입되는 1차, 2차 또는 3차 저역통과 필터와 같은 루프 필터를 포함하는, 클래스 D 오디오 증폭기.

청구항 5

제 1 항에 있어서,

상기 제어기는,

디지털 오디오 입력 신호를 수신하며, 양자화된 균일하게 샘플링된 펄스폭 변조된 오디오 신호를 생성하도록 커플링된 PCM 대 PWM 변환기;

상기 양자화된 균일하게 샘플링된 펄스폭 변조된 오디오 신호의 양자화 잡음을 억제하기 위하여 상기 양자화된 균일하게 샘플링된 펄스폭 변조된 오디오 신호를 필터링하는 잡음 성형기;

상기 양자화된 균일하게 샘플링된 펄스폭 변조된 오디오 신호에 기초하여 상기 제 1, 제 2, 제 3 또는 제 4 펄스폭 변조된 제어 신호들을 생성하는 스위치 제어기를 포함하는, 클래스 D 오디오 증폭기.

청구항 6

제 5 항에 있어서,

상기 스위치 제어기는 상기 제 1 출력 드라이버의 제 1 및 제 2 노드들 간의 미리 결정된 DC 전압차를 유지하기 위하여 리던던트(redundant) 상태 선택 밸런싱(balancing)을 수행하도록 조정되는, 클래스 D 오디오 증폭기.

청구항 7

제 1 항에 있어서,

상기 라우드스피커 로드에 접속가능하며 제 2 로드 신호를 상기 라우드스피커 로드에 공급하기 위한 제 2 출력 노드를 포함하는 제 2 출력 드라이버 – 상기 제 2 출력 드라이버는 상기 제 1 DC 공급 전압과 상기 제 2 출력 노드 사이에 커플링되는 상부 레그 및 상기 제 2 출력 노드와 상기 제 2 DC 공급 전압 사이에 커플링된 하부 레그를 포함하며, 상기 상부 레그는 직렬로 커플링되며 제 5 및 제 6 스위치 제어 터미널들에 의해 각각 제어되는 제 5 반도체 스위치 및 제 6 반도체 스위치를 포함하며, 상기 하부 레그는 직렬로 커플링되며 제 7 및 제 8 스위치 제어 터미널들에 의해 각각 제어되는 제 7 반도체 스위치 및 제 8 반도체 스위치를 포함함 –;

상기 제 5 및 제 6 반도체 스위치들 사이에 위치된 제 3 노드와 상기 제 7 및 제 8 반도체 스위치들 사이에 위치한 제 4 노드 간의 제 2 미리 결정된 DC 전압차를 세팅하도록 구성된 제 2 DC 전압 소스를 포함하며,

상기 제어기는 상기 오디오 입력 신호로부터 제 5, 제 6, 제 7 및 제 8 펄스폭 변조된 제어 신호들을 유도하고 이들을 상기 제 5, 제 6, 제 7 및 제 8 스위치 제어 터미널들에 각각 적용하도록 조정되는, 클래스 D 오디오 증폭기.

청구항 8

제 7 항에 있어서,

상기 제어기는 상기 라우드스피커 로드를 통해 3-레벨 로드 신호를 생성하기 위하여, 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들과 실질적으로 반대 위상으로 상기 제 5, 제 6, 제 7 및 제 8 펄스폭 변조된 제어 신호들을 각각 생성하도록 조정되는, 클래스 D 오디오 증폭기.

청구항 9

제 7 항에 있어서,

상기 제어기는 상기 라우드스피커 로드를 통해 5-레벨 로드 신호를 생성하기 위하여, 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들과 반대 위상으로 그리고 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들에 대하여 추가 +/- 90도 위상 시프트로 상기 제 5, 제 6, 제 7 및 제 8 펄스폭 변조된 제어 신호들을 각각 생성하도록 조정되는, 클래스 D 오디오 증폭기.

청구항 10

제 7 항에 있어서,

상기 제어기는 오디오 신호 레벨 검출기를 포함하고,

상기 제어기는 상기 라우드스피커 로드를 통해 3-레벨 로드 신호를 생성하기 위하여, 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들과 실질적으로 반대 위상으로 상기 제 5, 제 6, 제 7 및 제 8 펄스폭 변조된 제어 신호들을 각각 생성하도록 조정되고,

상기 제어기는 상기 라우드스피커 로드를 통해 5-레벨 로드 신호를 생성하기 위하여, 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들과 반대 위상으로 그리고 상기 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들에 대하여 추가 +/- 90도 위상 시프트로 상기 제 5, 제 6, 제 7 및 제 8 펄스폭 변조된 제어 신호들을 각각 생성하도록 조정되며,

상기 제어기는 상기 오디오 입력 신호의 검출된 레벨에 따라 상기 3-레벨 로드 신호와 상기 5-레벨 로드 신호 사이를 스위칭하도록 조정되는, 클래스 D 오디오 증폭기.

청구항 11

제 10 항에 있어서,

상기 제어기는,

미리 결정된 레벨 임계치와 상기 오디오 신호의 검출된 레벨을 비교하며;

상기 오디오 신호 레벨이 상기 미리 결정된 레벨 임계치를 초과할 때 상기 3-레벨 로드 신호를 생성하며;

상기 오디오 신호 레벨이 상기 미리 결정된 레벨 임계치보다 작을 때 상기 5-레벨 로드 신호를 생성하도록 추가로 조정되는, 클래스 D 오디오 증폭기.

청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 제어기는,

상기 오디오 신호의 검출된 레벨에 따라 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6, 제 7 및 제 8 펄스 폭 변조된 제어 신호들 각각의 스위칭 또는 변조 주파수를 변경하도록 추가로 조정되는, 클래스 D 오디오 증폭기.

청구항 13

제 7 항에 있어서,

상기 제 1 출력 드라이버의 상부 레그는 상기 제 1 반도체 스위치 및 상기 제 1 DC 공급 전압과 직렬로 커플링 되는 제 5 또는 제 9 반도체 스위치를 포함하며, 상기 제 1 출력 드라이버의 하부 레그는 상기 제 4 반도체 스위치 및 상기 제 2 DC 공급 전압과 직렬로 커플링되는 제 6 또는 제 10 반도체 스위치를 포함하며,

상기 클래스 D 오디오 증폭기는,

상기 제 5 또는 제 9 반도체 스위치들 및 상기 제 1 반도체 스위치사이에 위치된 제 3 또는 제 5 노드와 상기 제 6 또는 제 10 반도체 스위치 및 제 4 반도체 스위치 사이에 위치한 제 4 또는 제 6노드 간의 제 2 또는 제 3 미리 결정된 DC 전압차를 세팅하도록 구성된 제 2 또는 제 3 DC 전압 소스 – 선택적으로, 상기 제 2 출력 드라이버의 상부 레그는 상기 제 5 반도체 스위치 및 상기 제 1 DC 공급 전압과 직렬로 커플링되는 제 11 반도체 스위치를 포함하며, 상기 제 2 출력 드라이버의 하부 레그는 상기 제 8 반도체 스위치 및 상기 제 2 DC 공급 전압과 직렬로 커플링되는 제 12 반도체 스위치를 포함함 –; 및

상기 제 11 반도체 스위치 및 제 5 반도체 스위치 사이에 위치된 제 5 노드와 상기 제 8 및 제 12 반도체 스위치들 사이에 위치한 제 6 노드 간의 제 4 미리 결정된 DC 전압차를 세팅하도록 구성된 제 4 DC 전압

소스를 포함하는, 클래스 D 오디오 증폭기.

청구항 14

제 1 항 내지 제 11 항 및 제 13 항 중 어느 한 항에 있어서,

상기 제 1, 제 2, 제 3 또는 제 4 DC 전압 소스들 중 적어도 하나는 충전된 커패시터, 플로팅 DC 공급 레일, 배터리의 그룹으로부터의 적어도 하나의 컴포넌트를 포함하는, 클래스 D 오디오 증폭기.

청구항 15

제 1 항 내지 제 11 항 및 제 13 항 중 어느 한 항에 있어서,

상기 제 1, 제 2, 제 3 또는 제 4 DC 전압 소스들 중 하나 이상은 충전된 커패시터를 포함하며, 각각의 커패시터는 $100nF$ 내지 $10\mu F$ 의 커패시턴스를 가지는, 클래스 D 오디오 증폭기.

청구항 16

제 13 항에 있어서,

상기 제 1 미리 결정된 DC 전압차는 상기 제 1 및 제 2 DC 공급 전압들 사이의 DC 전압차의 실질적으로 절반으로 세팅되며; 또는

상기 제 3 미리 결정된 DC 전압차는 상기 제 1 및 제 2 DC 공급 전압들 사이의 전압차의 실질적으로 절반으로 세팅되는, 클래스 D 오디오 증폭기.

청구항 17

제 1 항에 있어서,

상기 제어기는 프로그램가능 디지털 신호 프로세서를 포함하는, 클래스 D 오디오 증폭기.

청구항 18

사운드 재생 어셈블리(assembly)로서,

제 1 항 또는 제 7 항에 따른 클래스 D 오디오 증폭기; 및

상기 제 1 및 제 2 DC 공급 전압들 중 하나 및 상기 제 1 출력 드라이버의 출력 노드에 동작가능하게 커플링되는 라우드스피커 로드; 또는

상기 제 1 및 제 2 출력 드라이버들의 상기 제 1 및 제 2 출력 노드를 사이에서 각각 동작가능하게 커플링되는 라우드스피커 로드를 포함하는, 사운드 재생 어셈블리.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

발명의 설명

기술 분야

[0001]

본 발명은, 일 양상에서, 라우드스피커 로드에 공급하기 위한 3-레벨, 4-레벨, 또는 5-레벨 펄스폭 또는 펄스 밀도 변조 출력 신호들과 같은 멀티-레벨 출력 신호들을 지원하는 개선된 출력 드라이버 토플로지를 가진 클래스 D 오디오 증폭기에 관한 것이다. 본 클래스 D 오디오 증폭기들은 고용량 소비자 오디오 애플리케이션들 및 솔루션들에 특히 적합하다.

배경 기술

[0002]

클래스 D 오디오 증폭기들은 라우드스피커 로드를 통해 펄스폭 변조(PWM) 또는 펄스 밀도 변조(PDM) 오디오 신호를 스위칭함으로써 라우드스피커 로드의 에너지 효율적 오디오 드라이브를 제공하는 것으로 일반적으로 인식되는 공지된 타입의 오디오 전력 증폭기이다. 클래스 D 오디오 증폭기들은 통상적으로 라우드스피커를 통해 반대 위상 펄스폭 변조 또는 펄스 밀도 오디오 신호들을 공급하기 위하여 라우드스피커 로드의 개별 측면들 또는 터미널들에 커플링되는 출력 터미널들의 쌍을 가진 브리지 드라이버를 포함한다. 펄스폭 변조 오디오 신호들에 대한 여러 변조 방식들은 종래의 클래스 D 증폭기들에서 활용되었다. 소위 AD 변조에서, H-브리지의 각각의 출력 터미널 또는 노드에서의 펄스폭 변조 오디오 신호는 반대 위상의 2개의 상이한 레벨들 사이에서 스위칭되거나 또는 토글한다. 2개의 상이한 레벨들은 통상적으로 양 및 음의 DC 공급 레일들과 같은 상부 및 하부 DC 전력 공급 레일들에 각각 대응한다.

[0003]

소위 BD 변조에서, 라우드스피커 로드를 통한 펄스폭 변조 오디오 신호는 3개의 레벨들 사이에서 교번하여 스위칭되며, 3개의 레벨들 중 2개의 레벨은 앞서 언급된 상부 및 하부 DC 전력 공급 레일들에 대응하며, 제 3 레벨은 DC 전력 공급 레일들 중 하나의 레일에 라우드스피커 로드의 양 터미널들 중 어느 하나를 폴링(pulling)함으

로써 획득되는 0 레벨이다.

[0004] 이러한 종래 기술의 클래스 D 증폭기들이 클래스 A, B 및 AB 증폭기들과 같은 통상적인 비-스위칭 오디오 전력 증폭기들과 비교하여 고전력 측면에서 효율적인 것으로 종종 고려되는 반면에, 이들 종래 기술의 클래스 D 증폭기들은 오디오 입력 신호가 작거나 또는 0 레벨에 근접할 때 상당한 양의 아이들 전력(idle power)을 소비한다. 아이들 전력 소비는 종래 기술의 클래스 D 증폭기들의 종종 인용된 90-100% 전력 효율성에 비하여 훨씬 떨어지는 효율성 수치(efficiency figure)들을 가진 작은 오디오 입력 신호들에서 불량한 전력 효율성을 초래한다. 인용된 전력 효율성에서의 동작은 매우 큰 오디오 입력 신호들에 대해서만 획득되는 반면에, 오디오 입력 신호들의 통상적인 레벨들 내의 동작은 매우 불량한 전력 효율성을 초래한다. 저레벨 오디오 입력 신호들에서의 비교적 불량한 전력 효율성은 로드 인덕터들에서 유도되는 리플 전류들 및 로드 커패시터들에서 유도되는 리플 전압들과 H-브리지의 반도체 스위치들에서 발생하는 스위칭 손실들에 의해 특히 유발된다. 로드 인덕터 및 로드 커패시터는 보통 "생(raw)" 펄스폭 또는 밀도 변조 오디오 신호의 저역통과 필터링을 제공하기 위하여 H-브리지의 출력 터미널들 또는 노드들의 각각과 라우드스피커 로드 사이에 삽입된다. 저역통과 필터링은 펄스폭 또는 밀도 변조 오디오 신호의 큰 진폭 스위칭 또는 캐리어 주파수 성분들을 억제하고 라우드스피커에 대한 열적 손상을 방지하거나 또는 다양한 타입들의 상호변조 왜곡을 유도하는데 필요하다.

[0005] 그러나, 종래 기술의 클래스 D 오디오 증폭기들을 위한 적절한 크기의 로드 인덕터들 및 로드 커패시터들은 종종 너무 커서 클래스 D 오디오 증폭기의 다른 기능들 및 회로들을 포함하는 집적회로에 대해 외부 컴포넌트들로서 제공되어야 한다. 결과적으로, 로드 인덕터들 및 로드 커패시터들은 TV 세트들, 컴퓨터 오디오, Hi-Fi 스테레오 증폭기들 등과 같은 휴대용 및 정지 엔터테인먼트 및 통신 장비에 대하여 완전 증폭 솔루션들 또는 어셈블리들의 비용을 추가한다. 또한, 외부 인덕터들 및 커패시터들은 증폭 솔루션들에 대한 가변 보드 공간의 할당을 필요로 하며 잠재적인 신뢰성 있는 소스를 제시한다.

[0006] 종래 기술의 클래스 D 오디오 증폭기들과 연관된 다른 문제점은 250kHz-2MHz의 범위의 반복 주파수들을 가진 실질적인 직사각형 펄스들을 포함하는 펄스폭 또는 밀도 변조 오디오 신호들과 연관된 캐리어 또는 스위칭 주파수에 의해 초과 레벨의 EMI 잡음을 발생시키는 것이다. 고레벨의 EMI 잡음은 라디오-주파수 송신기들/수신기들 등과 같은 다른 타입들의 신호 처리 회로들을 가진 이들 종래 기술의 클래스 D 오디오 증폭기들의 집적화를 복잡하게 한다.

[0007] 따라서, 감소된 레벨들의 EMI 잡음을 가진 클래스 D 증폭기들은 매우 바람직하다. 또한, 개선된 전력 효율성을 가진 클래스 D 증폭기들은 특히 낮은 오디오 입력 신호 레벨들에서 또한 매우 유리하다. 최종적으로, 소비자 및 다른 타입들의 오디오 제품들에 대한 더 컴팩트하고 전력 효율적이며 신뢰성 있으며 저비용인 증폭 솔루션들을 제공하기 위하여 외부 로드 인덕터들 및 로드 커패시터들의 크기를 감소시키는 것이 바람직하다.

발명의 내용

[0008] 본 발명의 제 1 양상은 클래스 D 오디오 증폭기에 관한 것이며, 클래스 D 오디오 증폭기는 라우드스피커 로드에 접속가능하며 로드 신호를 라우드스피커 로드에 공급하기 위한 출력 노드를 포함하는 제 1 출력 드라이버 – 상기 제 1 출력 드라이버는 제 1 DC 공급 전압과 출력 노드 사이에 커플링되는 상부 레그 및 출력 노드와 제 2 DC 공급 전압 사이에 커플링된 하부 레그를 포함하며, 상기 상부 레그는 직렬로 커플링되며 제 1 및 제 2 스위치 제어 터미널들에 의해 각각 제어되는 제 1 반도체 스위치 및 제 2 반도체 스위치를 포함하며, 상기 하부 레그는 직렬로 커플링되며 제 3 및 제 4 스위치 제어 터미널들에 의해 각각 제어되는 제 3 반도체 스위치 및 제 4 반도체 스위치를 포함함–; 오디오 입력 신호를 수신하며, 오디오 입력 신호로부터 제 1, 제 2, 제 3 및 제 4 펄스폭 또는 펄스 밀도 변조 제어 신호들을 유도하도록 조정되며, 제 1, 제 2, 제 3 및 제 4 스위치 제어 터미널들에 제 1, 제 2, 제 3 및 제 4 펄스폭 또는 펄스 밀도 변조 제어 신호들을 각각 공급하도록 구성된 제어기; 및 제 1 및 제 2 반도체 스위치들 사이에 위치된 제 1 노드와 제 3 및 제 4 반도체 스위치들 사이에 위치한 제 2 노드 사이의 제 1 미리 결정된 DC 전압차를 세팅하도록 구성된 제 1 DC 전압 소스를 포함한다.

[0009] 제어기는 바람직하게 펄스폭 또는 펄스 밀도 변조된 제어 신호들의 변조가 0일 때, 즉 오디오 신호 레벨이 0일 때 반대 위상 및 비-중첩으로 제 1 및 제 4 펄스폭 또는 펄스 밀도 변조된 제어 신호들을 제공하도록 구성된다. 또한, 제 2 및 제 3 펄스폭 또는 펄스 밀도 변조된 제어 신호들은 바람직하게 반대 위상을 가지며 0 변조에서 중첩하지 않는다.

[0010] 클래스 D 증폭기는 미리 결정된 DC 전압차가 제 1, 제 2, 제 3 및 제 4 펄스폭 또는 펄스 밀도 변조된 제어 신호들의 적절한 타이밍과 함께 제 1 및 제 2 DC 공급 전압들 사이의 DC 전압차의 절반과 실질적으로 동일한 경우

에 제 1 드라이버의 출력 노드에 3-출력 레벨들을 제공하도록 구성될 수 있다. 이러한 실시예에 따르면, 제 1 드라이버의 출력 노드에서의 출력 레벨들은 제 1 DC 공급 전압, 미리 결정된 DC 전압차 및 제 2 DC 공급 전압 사이에서 토글한다. 제 2 DC 공급 전압은 예컨대 제 1 DC 공급 전압의 진폭과 실질적으로 동일한 음 DC 공급 전압 또는 클래스-D 증폭기의 접지 전압 GND일 수 있다.

[0011] 다른 실시예에서, 미리 결정된 DC 전압차는 DC 전압 소스가 제 1 반도체 스위치를 통해 제 1 DC 공급전압에 그리고 제 4 반도체 스위치를 통해 제 2 DC 공급 전압에 교변하여 접속되기 때문에 출력 노드에서 4-레벨 신호를 생성하기 위하여 제 1 및 제 2 공급 전압들간의 DC 전압차의 절반과 상이하다. 종래 기술의 AD 및 BD 펄스폭 변조에 비하여 본 발명의 클래스 D 오디오 증폭기의 중요한 장점은 라우드스피커 로드 및 출력 필터 커플링트들에 걸리는 공통 모드 리플 전압의 억제 또는 감쇠이다. 이러한 공통 모드 리플 전압은 펄스폭 변조 캐리어의 스위칭 또는 변조 주파수의 원치않는 잔류물이다. 또 다른 장점은 오디오 입력 신호의 작은 레벨들에 대응하는 작은 변조 듀티 사이클들에서의 낮은 출력 필터 인덕터 리플 전류 및 출력 필터 커플링트 리플 전압이다.

[0012] 제 1 출력 드라이버는 특정 애플리케이션의 요건들에 따라 DC 공급 전압들의 넓은 범위에 걸쳐, 즉 제 1 및 제 2 DC 공급 전압들 사이의 전압차로 동작하도록 조정될 수 있다. 유용한 애플리케이션들의 범위에서, DC 공급 전압은 5볼트 내지 120 볼트의 값으로 세팅될 수 있다. DC 공급 전압차는 접지 기준 GND에 비하여 예컨대 +5볼트 또는 +/- 2.5볼트의 유니풀라 또는 바이풀라 DC 전압으로서 제공될 수 있다.

[0013] 제 1 및 제 2 DC 공급 전압들 사이의 DC 전압차가 상부 레그의 적어도 2개의 직렬 커플링된 반도체 스위치들(예컨대, 제 1 및 제 2 반도체 스위치들)사이 또는 하부 레그의 적어도 2개의 직렬 커플링된 반도체 스위치들(예컨대, 제 3 및 제 4 반도체 스위치들) 사이에서 분할되어 반도체 스위치들의 브레이크다운 전압 요건들을 감소시키는 것이 본 발명의 클래스 D 오디오 증폭기의 중요한 장점이다.

[0014] 제 1 출력 드라이버는 임의의 특정 애플리케이션, 예컨대 저전압 또는 고전압 애플리케이션의 요건들에 따라 상이한 타입들의 반도체 스위치들을 활용할 수 있다. 제 1, 제 2, 제 3 및 제 4 반도체 스위치들 각각은 바람직하게 {전계 효과 트랜지스터(FET)들, 바이풀라 트랜지스터(BJT)들, 절연 게이트 바이풀라 트랜지스터(IGBT)들}의 그룹으로부터 선택되는 하나 또는 다수의 병렬 트랜지스터들을 포함한다. 제 1, 제 2, 제 3 및 제 4 반도체 스위치들은 바람직하게 개별 CMOS 트랜지스터 스위치들을 포함한다. 전체 클래스 D 증폭기는 바람직하게 TV 세트들, 모바일 전화들 및 MP3 플레이어들과 같은 고용량 소비자 지향 오디오 애플리케이션들에 특히 적합한 강력한 및 저비용 단일 칩 솔루션을 제공하기 위하여 CMOS 또는 BCD 반도체 다이 또는 기판상에 접적되며, 여기서 비용은 본질적인 파라미터이다.

[0015] 본 발명의 바람직한 실시예에 따르면, 클래스-D 오디오 증폭기의 제어기는 아날로그 오디오 입력 신호를 수신하고 자연적으로 샘플링된(즉, 아날로그) 펄스폭 변조 오디오 신호를 생성하도록 커플링된 아날로그 펄스폭 변조기 및 디지털 클럭 신호에 따라 동작하며, 자연스럽게(naturally) 샘플링된 펄스폭 변조 오디오 신호에 기초하여 균일하게 샘플링된 펄스폭 또는 펄스 밀도 변조 오디오 신호를 생성하도록 조정된 샘플링 디바이스 또는 회로를 더 포함한다. 제어기는 균일한 펄스폭 변조 오디오 신호에 기초하여 제 1, 제 2, 제 3 및 제 4 펄스폭 변조 제어 신호들을 생성하는데 적합하다. 자연스럽게 샘플링된 펄스폭 변조 오디오 신호를 균일하게 샘플링된 펄스폭 변조 오디오 신호로 변환하는 것과 연관된 양자화 에러는 자연스럽게 샘플링된 펄스폭 변조 오디오 신호의 샘플링 주파수를 세팅하는 디지털 클록 신호의 적절한 주파수를 선택함으로써 임의의 바람직한 레벨로 감소될 수 있다. 그러나, 많은 상황들에서, 충분히 높은 샘플링 주파수를 사용하여 양자화 에러의 원하는 진폭에 도달하는 것이 실행가능하지 않을 수 있다. 따라서, 본 발명의 다른 바람직한 실시예는 로드 신호로부터, 아날로그 펄스폭 변조기 전방에 배치된 합산 노드까지 확장하는 피드백 경로, 및 자연스럽게 샘플링된 펄스폭 변조 오디오 신호의 샘플링에 의해 생성되는 양자화 잡음의 스펙트럼을 성형(shape)하기 위하여 피드백 경로에 삽입되는 1차, 2차 또는 3차 저역통과 필터와 같은 루프 필터를 포함한다. 양자화 잡음의 스펙트럼의 성형화는 이러한 잡음의 중요한 부분을 원하는 오디오 대역을 초과하는(예컨대, 10kHz, 16kHz 또는 20kHz을 초과하는) 주파수 범위로 전환 또는 이동시키며, 여기서 양자화 잡음을 들리지 않을 수 있으며 적절한 필터링에 의해 용이하게 억제될 수 있다. 피드백 루프의 다른 중요한 장점은 제 1, 제 2, 제 3 및 제 4 반도체 스위치들 중 하나 이상의 스위치의 비-이상적인 스위칭 동작에 의해 유입된 출력 신호 에러들의 억제이다.

[0016] 일부 실시예들에서, 로드 신호는 제 1 출력 드라이버의 출력 노드에서 또는 제 1 및 제 2 출력 드라이버들을 가진 H-브리지 드라이버의 제 1 및 제 2 출력 노드들 사이에서 감지되는 반면에, 다른 실시예들에서 로드 신호는 출력 노드와 라우드스피커 로드 사이에 삽입되는(통상적으로 직렬 커플링된 로드 인덕터 및 분로 커플링된 로드 커플링트를 포함하는) 저역통과 필터링 출력 필터 다음의 라우드스피커 로드 터미널에서 감지된다.

- [0017] 클래스 D 오디오 증폭기의 다른 바람직한 실시예는 PCM 디지털 오디오 신호와 같은 디지털 오디오 입력 신호를 수신하여 처리하는데 적합하다. 이러한 실시예에 따르면, 클래스-D 오디오 증폭기의 제어기는 디지털 오디오 입력 신호를 수신하고 양자화된 균일하게 샘플링된 펄스폭 변조 오디오 신호를 생성하도록 커플링된 PCM 대 PWM 변환기를 더 포함한다. 잡음 성형기는 양자화된 균일하게 샘플링된 펄스폭 변조 오디오 신호의 양자화 잡음을 억제하기 위하여 양자화된 균일하게 샘플링된 펄스폭 변조 오디오 신호를 필터링하는데 적합하다. 스위치 제어기는 양자화된 균일한 펄스폭 변조 오디오 신호에 기초하여 제 1, 제 2, 제 3 또는 제 4 펄스폭 변조 제어 신호들을 생성하는데 적합하다.
- [0018] 본 발명의 특히 유리한 실시예는 라우드스피커 로드의 양 측면들 또는 터미널들에 동작가능하게 접속할 수 있어서 이에 로드 신호를 공급하기 위한 제 1 및 제 2 출력 노드들을 가진 H-브리지 출력 드라이버를 형성하는 상호 동작가능하며 실질적으로 동일한 출력 드라이버들의 쌍을 포함한다. 결과적으로, 라우드스피커 로드에 접속가능하며 이에 제 2 로드 신호를 공급하기 위한 제 2 출력 노드를 포함하는 제 2 출력 드라이버를 추가로 포함하는 클래스 D 오디오 증폭기가 제공된다. 제 2 출력 드라이버는 제 1 DC 공급 전압과 제 2 출력 노드 사이에 커플링되는 상부 레그 및 제 2 출력 노드와 제 2 DC 공급 전압 사이에 커플링된 하부 레그를 포함한다. 상부 레그는 직렬로 커플링되며 제 5 및 제 6 스위치 제어 터미널들에 의해 각각 제어되는 제 5 반도체 스위치 및 제 6 반도체 스위치를 포함한다. 하부 레그는 직렬로 커플링되며 제 7 및 제 8 스위치 제어 터미널들에 의해 각각 제어되는 제 7 반도체 스위치 및 제 8 반도체 스위치를 포함하며, 제 2 DC 전압 소스는 제 5 및 제 6 반도체 스위치들 사이에 위치된 제 3 노드와 제 7 및 제 8 반도체 스위치들 사이에 위치한 제 4 노드 사이에 미리 결정된 DC 전압차를 세팅하도록 구성된다. 제어기는 오디오 입력 신호로부터 제 5, 제 6, 제 7 및 제 8 펄스폭 변조 제어 신호들을 유도하고 제 5, 제 6, 제 7 및 제 8 스위치 제어 터미널들에 이들을 각각 공급하는데 적합하다. 제 1 및 제 2 미리 결정된 DC 전압차는 바람직하게 실질적으로 동일하다.
- [0019] 제 2 출력 드라이버는 또한 제 1 출력 드라이버의 앞서 기술된 실시예들에 따라 기술된 임의의 개별 특징 또는 개별 특징들의 임의의 조합을 포함할 수 있다.
- [0020] 본 발명의 실시예에서, 제어기는 ASIC 또는 적절하게 구성된 필드 프로그램가능 논리 어레이(FPGA)에 기초한 프로그램가능, 예컨대 소프트웨어 프로그램가능 DSP 또는 하드웨어이어링된 커스터마이징된 DSP의 형태와 같은 디지털 신호 프로세서(DSP)를 포함한다. 만일 제어기가 소프트웨어 프로그램가능 DSP를 포함하면, EEPROM 또는 플래시-메모리 디바이스내에 위치한 비-휘발성 메모리 공간은 제 1, 제 2, 제 3 및 제 4 반도체 스위치들 뿐만 아니라 다른 기능들을 위한 개별 스위치 제어 신호들을 생성하기 위한 적절한 프로그램 명령들 또는 루틴들을 포함할 수 있다.
- [0021] 제 1, 제 2, 제 3 및 제 4 반도체 스위치들에 대한 개별 스위치 제어 신호들은 적절한 DSP 프로그램/알고리즘에 의해 생성될 수 있으며, 직접적으로 또는 프리드라이버 회로를 통해 개별 반도체 스위치들에 공급될 수 있다. 다수의 애플리케이션들에서, 드라이버 회로는 250 kHz 내지 2 MHz의 미리 결정된 스위칭 또는 변조 주파수를 가진 펄스폭 변조 신호를 포함할 수 있다. 이러한 실시예에서, 제 1 및 제 2 드라이버 출력들은 PWM 또는 PDM 변조된 출력 신호를 로드에 공급할 수 있다. 일반적으로, 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들 각각의 스위칭 주파수 또는 변조 주파수는 바람직하게 150 kHz 내지 5MHz, 더 바람직하게 500 kHz 내지 1MHz이다.
- [0022] 본 발명의 일 실시예에서, 제어기는 마스터 클록 생성기에 의해 생성되는 마스터 클록 신호를 따라 동작한다. 마스터 클록 신호는 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들의 스위칭 주파수보다 상당히 높을 수 있으며, 예컨대 10 내지 100배 높을 수 있다. 개별 반도체 스위치들에 대한 스위치 제어 신호들 또는 제어 신호들은 마스터 클록 신호와 동기로 동작될 수 있다.
- [0023] 클래스 D 오디오 증폭기의 일 실시예에서, 스위치 제어기는 제 1 출력 드라이버의 제 1 및 제 2 노드들 사이에 미리 결정된 DC 전압차를 유지하기 위하여 리던던트 상태 선택 벨런싱을 수행하는데 적합하다. 클래스 D 오디오 증폭기의 동작동안, 제 1 미리 결정된 DC 전압차의 전류값은 제 1 미리 결정된 DC 전압차의 원하는 또는 목표 값을 나타내는 기준 DC 전압과 비교될 수 있다. 제 1 미리 결정된 DC 전압차는 그것이 기준 DC 전압으로부터 미리-세팅된 전압을 초과한 전압만큼 벗어나는 경우에 업(up) 또는 다운(down) 조절될 수 있다. 기준 DC 전압은 다양한 방식들로, 예컨대 제 1 및 제 2 DC 공급 전압들 사이에 커플링된 저항성 또는 용량성 전압 드라이버에 의해 생성될 수 있다.
- [0024] 일 실시예에서, 제 1, 제 2, 제 3 및 제 4 펄스폭 변조 제어 신호들은 제 1상태에서 제 1 및 제 3 반도체 스위치들을 통해 출력 노드에 DC 전압 소스의 제 1 터미널을 접속하고 제 2상태에서 제 4 및 제 2 반도체 스위치들

을 통해 출력 노드에 DC 전압 소스의 제 2 터미널에 접속하도록 구성된다. 제 1 및 제 3 반도체 스위치들은 출력 노드에 DC 전압 소스의 제 1 터미널을 효율적으로 전기적으로 접속시키기 위하여 개별 펠스폭 변조된 제어 신호들에 의해 그들의 개별 전도 상태들 또는 on-상태들로 동시에 배열된다. 제 1 및 제 4 펠스폭 변조된 제어 신호들과 제 2 및 제 3 펠스폭 제어 신호들 사이의 반대 위상 및 비-중첩 관계로 인하여, 제 2 및 제 4 반도체 스위치들은 출력 노드로부터 DC 전압 소스의 제 2 터미널 및 제 2 DC 공급 전압을 분리하기 위하여 제 1 위상 동안 그들의 개별 비-전도 또는 오프-상태들로 동시에 배열된다. 제 2 상태에서, 반도체 스위치들의 개별 상태들은 DC 전압 소스의 제 2 터미널이 출력 노드에 전기적으로 접속되도록 반전된다.

[0025] 본 발명의 클래스 D 오디오 증폭기가 H-브리지 출력 드라이버를 포함할 때, 클래스 D 오디오 증폭기는 제 1 출력 드라이버 및 제 2 출력 드라이버의 대응하는 펠스폭 변조된 제어 신호들 간의 위상 관계에 따라 상이한 수의 출력 레벨들을 제공하는데 적합할 수 있다. 본 발명의 클래스 D 오디오 증폭기의 3-레벨 로드 신호 실시예는 펠스폭 변조된 제어 신호들의 0 변조를 위하여 제 1, 제 2, 제 3 및 제 4 펠스폭 변조 제어 신호들과 실질적으로 반대 위상으로 제 5, 제 6, 제 7 및 제 8 펠스폭 변조 제어 신호들을 각각 생성하도록 제어기를 조정함으로써 고안될 수 있다.

[0026] 멀티-레벨 출력 신호를 가진 본 발명의 클래스 D 오디오 증폭기의 다른 유용한 H-브리지 기반 실시예는 라우드 스피커 로드를 통해 5-레벨 로드 신호를 생성하기 위하여, 제 1, 제 2, 제 3 및 제 4 펠스폭 변조된 제어 신호들과 반대 위상으로 그리고 제 1, 제 2, 제 3 및 제 4 펠스폭 변조된 제어 신호들에 대하여 추가 +/- 90도 위상 시프트로 제 5, 제 6, 제 7 및 제 8 펠스폭 변조된 제어 신호들을 각각 생성하도록 제어기를 조정함으로써 고안될 수 있다. 이러한 방식에서, 제 1 펠스폭 변조된 제어 신호로부터 유도될 수 있는 제 5 펠스폭 변조된 제어 신호는 제 2 및 제 6 펠스폭 변조된 제어 신호들, 제 3 및 제 7 펠스폭 변조된 제어 신호들 및 제 4 및 제 8 펠스폭 변조된 제어 신호들에 대하여 반전 및 +/-90도 만큼 위상 시프트될 수 있는 식이다.

[0027] 다른 유리한 효과는 오디오 신호의 검출된 레벨에 따라 제 1, 제 2, 제 3, 제 4, 제 5, 제 6, 제 7 및 제 8 펠스폭 변조된 제어 신호들 각각의 스위칭 또는 변조 주파수를 변경하기 위하여 제어기를 추가로 조정함으로써 달성된다. 일 실시예에서, 스위칭 주파수는 오디오 신호의 검출된 레벨이 앞서 기술된 미리 결정된 레벨 임계치 보다 낮게 떨어질 때 300 kHz~800kHz의 제 1 주파수로부터 200kHz 보다 낮은, 예컨대 약 150kHz의 제 2 주파수로 감소된다. 미리 결정된 레벨 임계치 미만으로 오디오 입력 신호들에 대한 스위칭 주파수를 감소시키는 것은 전력 손실이 많은 일반적인 타입들의 MOS 트랜ジ스터 기반 반도체 스위치들에 대한 스위칭 주파수에 대략적으로 비례하기 때문에 반도체 스위치들의 전력 손실을 감소시킬 수 있다.

[0028] 제 1 및 제 2 출력 드라이버들 각각은 반도체 스위치들의 하나 이상의 추가 쌍(들)을 포함할 수 있다. 반도체 스위치들의 추가 쌍의 추가 반도체 스위치는 제 1 및 제 2 반도체 스위치들과 직렬로 제 1 출력 드라이버의 상부 레그에 배열될 수 있으며, 다른 반도체 스위치는 제 3 및 제 4 반도체 스위치들과 직렬로 하부 레그에 배열될 수 있다. 제 2 또는 제 3 DC 전압 소스는 추가 반도체 스위치들과 제 1 및 제 4 반도체 스위치들 사이의 커플링 노드들에 제공되어 이들에 접속된다. 당업자는 반도체 스위치들의 추가 쌍들 및 DC 전압 소스들이 추가 출력 레벨들을 제공하기 위한 대응 방식으로 제 1 또는 제 2 출력 드라이버들에 추가될 수 있다는 것을 이해할 것이다. 결과적으로, 본 발명의 클래스 D 오디오 증폭기의 이러한 일 실시예에서, 제 1 출력 드라이버는 제 1 출력 드라이버의 상부 레그가 제 1 반도체 스위치 및 제 1 DC 공급 전압과 직렬로 커플링되는 제 5 또는 제 9 반도체 스위치(H-브리지 출력 드라이버 구현에서는 제 9 반도체 스위치가 적용됨)를 포함하며 제 1 출력 드라이버의 하부 레그가 제 4 반도체 스위치 및 제 2 DC 공급 전압과 직렬로 커플링되는 제 6 또는 제 10 반도체 스위치(H-브리지 출력 드라이버 구현에서는 제 10 반도체 스위치가 적용됨)를 포함하도록 총 6개의 캐스케이드 연결된 반도체 스위치들을 포함한다. 제 2 또는 제 3 DC 전압 소스(H-브리지 출력 드라이버 구현에서는 제 3 전압 소스가 적용됨)는 제 5 또는 제 9 반도체 스위치들 사이에 위치된 제 3 또는 제 5 노드와 제 6 또는 제 10 반도체 스위치 및 제 4 반도체 스위치 사이에 위치한 제 4 또는 제 6 노드 사이의 제 2 또는 제 3 미리 결정된 DC 전압차를 세팅하도록 구성되며, 선택적으로 제 2 출력 드라이버의 상부 레그는 제 5 반도체 스위치와 제 1 DC 공급 전압과 직렬로 커플링되는 제 11 반도체 스위치를 포함하며, 제 2 출력 드라이버의 하부 레그는 제 8 반도체 스위치와 제 2 DC 공급 전압과 직렬로 커플링되는 제 12 반도체 스위치를 포함하며, 본 발명의 클래스 D 오디오 증폭기는 제 11 반도체 스위치와 제 5 반도체 스위치들 사이에 위치된 제 5 노드와 제 8 및 제 12 반도체 스위치 사이에 위치한 제 6 노드 사이의 제 4 미리 결정된 DC 전압차를 세팅하도록 구성된 제 4 DC 전압 소스를 더 포함한다.

[0029] 바람직하게, 제 1, 제 2, 제 3 또는 제 4 DC 전압 소스들 중 적어도 하나는 {충전된 커패시터, 플로팅 DC 공급 레일, 배터리}의 그룹으로부터 적어도 하나의 컴포넌트를 포함한다. 많은 실시예들에서, "플라잉(flying) 커패

시터들"로서 종종 지칭되는 개별 충전된 커패시터들은 특정 클래스 D 증폭기 토플로지 또는 실시예에서 요구되는 DC 전압 소스들의 모두를 제공하기 위한 종래 기술 타입들의 전기 컴포넌트들일 수 있다. DC 전압 소스들이 단지 클래스 D 오디오 증폭기의 동작 동안 매우 작은 양의 에너지를 전달하는데 필요하며 선형 요건들이 완화되기 때문에, 제한된 커패시턴스 및 물리적 크기를 가진 커패시터들은 플라잉 커패시터들로서 사용될 수 있다. 다수의 실시예들에서, 제 1, 제 2, 제 3 또는 제 4 DC 전압 소스들 중 하나 이상은 충전된 커패시터 또는 플라잉 커패시터를 포함하며, 각각의 충전된 커패시터는 100nF 내지 10 μ F의 커패시턴스를 가진다.

[0030] 본 발명의 제 2 양상은 클래스 D 오디오 증폭기에 관한 것이며, 클래스 D 오디오 증폭기는 라우드스피커 로드의 개별 입력들에 접속가능하며 이에 로드 신호를 공급하기 위한 제 1 및 제 2 출력 노드들을 포함하는 제 1 출력 드라이버 및 제 2 출력 드라이버를 포함한다. 제 1 출력 드라이버는 제 1 공급 전압과 제 1 출력 노드 사이에 커플링되는 하나 이상의 반도체 스위치들 및 제 1 출력 노드와 제 2 공급 전압사이에 커플링되는 하나 이상의 반도체 스위치들을 포함한다. 제 1 출력 드라이버는 제 1 출력 노드와 제 3 공급 전압사이에 커플링되는 하나 이상의 반도체 스위치들을 추가로 포함한다. 제 2 출력 드라이버는 제 1 공급 전압과 제 2 출력 노드사이에 커플링되는 하나 이상의 반도체 스위치들 및 제 2 출력 노드와 제 2 공급 전압사이에 커플링되는 하나 이상의 반도체 스위치들을 포함한다. 제 2 출력 드라이버는 제 2 출력 노드와 제 3 공급 전압사이에 커플링되는 하나 이상의 반도체 스위치들을 추가로 포함한다. 하나 이상의 반도체 스위치들 각각은 각각의 반도체 스위치를 온-상태 또는 오프-상태로 선택적으로 배열하기 위하여 반도체 스위치의 상태를 제어하도록 조정된 스위치 제어 터미널을 포함한다. 제어기는 오디오 입력 신호를 수신하며, 오디오 입력 신호로부터, 변조된 제어 신호들의 제 1 세트를 유도하도록 조정된다. 제어기는 제 1 드라이버의 개별 스위치 제어 터미널들에 변조된 제어 신호들의 제 1 세트를 공급한다. 제어기는 변조된 제어 신호들의 제 1 세트에 대하여 미리 결정된 위상 관계를 가진 변조된 제어 신호들의 제 2 세트를 유도하며, 제 2 드라이버의 개별 스위치 제어 터미널들에 변조된 제어 신호들의 제 2 세트를 공급하도록 추가로 조정된다. 제어기는 제 1 동작 모드에서, 라우드스피커 로드를 통해 제 1 멀티-레벨 로드 신호를 생성하기 위하여 변조된 제어 신호들의 제 1 세트와 제 2 세트 간에 제 1 미리 결정된 위상 관계를 세팅하며, 제 2 동작 모드에서 라우드스피커 로드를 통해 제 2 멀티-레벨 로드 신호를 생성하기 위하여 변조된 제어 신호들의 제 1 세트와 제 2 세트 간에 제 2 미리 결정된 위상 관계를 세팅하도록 추가로 구성된다.

[0031] 제 1 및 제 2 동작 모드들을 통해 상이한 멀티-레벨 로드 신호들간을 스위칭하는 클래스 D 오디오 증폭기의 능력은 전력 효율성과 EMI 잡음 생성 사이의 트레이드-오프의 최적화를 가능하게 한다. 클래스 D 오디오 증폭기의 높은 출력 전력 레벨들에서, 라우드스피커 로드를 통한 공통 모드 신호들의 생성은 제 1 및 제 2 출력 노드들상에서 출력 신호들의 합이 실질적으로 일정한 낮은 수의 레벨들, 바람직하게 3개의 레벨들을 선택함으로써 최소화될 수 있다. 다시 말해서, 클래스 D 오디오 증폭기의 낮은 출력 전력 레벨들에서, EMI 잡음의 생성은 반도체 스위치들의 스위칭에 의해 감소되며, 이는 제 1 및 제 2 출력 노드들상에서의 출력 신호들의 합의 실질적인 차이에도 불구하고 라우드스피커 로드에 대하여 높은 수의 레벨들의 사용을 가능하게 한다. 높은 및 낮은 출력 전력 레벨들 사이의 임계치는 이하에서 더 상세히 기술되는 바와같이 오디오 입력 신호의 미리 결정된 레벨의 임계치에 의해 세팅 또는 정의될 수 있다. 낮은 출력 전력 레벨에서의 더 높은 수의 레벨들은 반도체 스위치들의 변조된 제어 신호들의 스위칭 주파수가 감소되도록 하여 낮은 출력 전력 레벨들에서 클래스 D 오디오 증폭기의 양호한 전력 효율성을 초래한다.

[0032] 제 1 멀티-레벨 로드 신호는 바람직하게 제 2 멀티-레벨 로드 신호보다 적은 수의 레벨들을 포함한다. 일 실시예에서, 제 1 멀티-레벨 로드 신호는 3-레벨 로드 신호이며, 제 2 멀티-레벨 로드 신호는 5-레벨 로드 신호이다. 이러한 실시예는 이하에서 더 상세히 논의되는 바와같이 양 및 음의 DC 공급 전압 및 중간-지점 전압과 같은 단지 3개의 상이한 공급 전압들과 비교적 낮은 수의 반도체 스위치들을 가진 출력 드라이버 토플로지들로 구현될 수 있다.

[0033] 당업자는 N-레벨 로드 신호가 $360/(N-1)$ 도의 위상차를 가진 (N-1) 상이한 제어 신호 위상들을 가진 변조된 제어 신호들의 세트로부터 생성될 수 있다는 것을 이해할 것이다. 3-레벨 로드 신호는 $N=3 \Rightarrow N-1=2$ 상이한 제어 신호 위상들 $\Rightarrow 360/(3-1)=180$ 도 위상 시프트로 세팅함으로써 제공된다. 또한, 5-레벨 로드 신호는 $N=5 \Rightarrow N-1=4$ 상이한 제어 신호 위상들 $\Rightarrow 360/(5-1)=90$ 도 위상 시프트로 세팅함으로써 제공된다. 또한, 7-레벨 로드 신호는 $N=7 \Rightarrow N-1=6$ 상이한 제어 신호 위상들 $\Rightarrow 360/(5-1)=60$ 도 위상 시프트 등으로 세팅함으로써 제공된다. N은 양의 정수, 바람직하게 홀수 정수이다.

[0034] 바람직하게, 변조된 제어 신호들의 제 1 및 제 2 세트들의 변조된 제어 신호들 각각은 펄스폭 변조된 제어 신호를 포함하거나 또는 변조된 제어 신호들의 제 1 및 제 2 세트들의 변조된 제어 신호들 각각은 펄스 밀도 변조된

제어 신호를 포함한다. 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들 각각 또는 변조된 제어 신호들의 제 1 세트 및/또는 제 2 세트의 각각의 제어 신호와 같은 변조된 제어 신호들의 개별 진폭들 또는 레벨들은 바람직하게 온-상태/폐쇄 상태 또는 오프-상태/개방 상태 중 하나로 문제의 반도체 스위치를 선택적으로 배열하기에 충분히 높다. 일부 실시예들에서, 제어기 및/또는 제 1 및 제 2 드라이버들은 제 1 진폭으로부터 제 1 진폭보다 높거나 또는 큰 제 2 진폭으로 변조된 제어 신호들의 개별 진폭들을 상승시키도록 구성된 하나 이상의 레벨 변환기들을 포함할 수 있다. 제 2 진폭은 바람직하게 필요한 경우에 온-상태로 반도체 스위치들 각각을 구동시키기에 충분히 높다. 온-상태 또는 ON에서, 반도체 스위치는 MOS 트랜지스터의 드레인 및 소스 터미널들과 같은 제어된 스위치 터미널들의 쌍 사이에서 바람직하게 10Ω 미만, 또는 더 바람직하게 1Ω 미만과 같은 저저항을 나타낸다. 오프-상태 또는 OFF에서, 반도체 스위치는 바람직하게 제어된 터미널들 쌍 사이에서 $1M\Omega$ 초과 또는 수 $M\Omega$ 과 같은 큰 저저항을 나타낸다. 반도체 디바이스의 온-저저항은 일반적으로 자신의 제조 공정 및 기하학적 형태에 의해 결정된다. CMOS 트랜지스터들로서 구현되는 반도체 스위치들에 있어서, 관련 기하학적 파라미터는 CMOS 트랜지스터의 폭-대-길이(W/L) 비이다. CMOS 반도체의 PMOS 트랜지스터들은 일반적으로 유사한 크기들을 가지며 동일한 반도체 프로세스로 제조되는 NMOS 트랜지스터의 온-저저항 보다 2-3배 큰 온-저저抵抗을 나타낸다. 일반적으로, 반도체 스위치들 각각의 온-저저抵抗은 바람직하게 0.05Ω 내지 10Ω 이다.

[0035] 제 1 및 제 2 출력 드라이버들은 특정 애플리케이션의 요건들에 따라 공급 전압의 넓은 범위에 걸쳐, 즉 제 1 및 제 2 공급 전압들 사이의 공급 전압차로 동작하도록 조정될 수 있다. 제 1 공급 전압은 양의 DC 공급 전압일 수 있으며, 제 2 공급 전압은 음의 DC 공급 전압 또는 접지 기준일 수 있다. 유용한 애플리케이션들의 범위 내에서, 공급 전압차는 5볼트 내지 120볼트의 DC 전압으로 설정될 수 있다.

[0036] 바람직한 실시예에 따르면, 제어기는,

[0037] - 제 1 동작 모드에서, 3-레벨 로드 신호를 생성하기 위하여 변조된 제어 신호들의 제 1 세트의 대응 제어 신호에 대하여 반대 위상으로 변조된 제어 신호들의 제 2 세트의 각각의 제어 신호를 제공하며,

[0038] - 제 2 동작 모드에서, 5-레벨 로드 신호를 생성하기 위하여 변조된 제어 신호들의 제 1 세트의 대응 제어 신호에 대하여 반대 위상으로 그리고 변조된 제어 신호들의 제 1 세트의 대응 제어 신호에 대하여 $+/- 90^\circ$ 위상 시프트로 변조된 제어 신호들의 제 2 세트의 각각의 제어 신호를 제공하도록 구성된다. 이러한 방식에서, 적절히 제어되는 위상 시프트는 제 1 및 제 2 출력 드라이버들의 대응 반도체 스위치들, 즉 출력 드라이버 토플로지에서 동일한 위치를 가진 반도체 스위치들의 제어 신호들 사이에 설정된다.

본 발명의 클래스 D 오디오 증폭기들의 또 다른 유용한 실시예에 따르면, 제어기는 오디오 신호 레벨 검출기를 포함한다. 제어기는 오디오 입력 신호의 검출된 레벨에 따라 제 1 및 제 2 동작 모드들 사이에서 스위칭하도록 조정된다. 오디오 입력 신호의 레벨은 오디오 입력 신호의 평균, 피크, 피크-대-피크, RMS 등 레벨의 결정 또는 측정에 의해 직접 결정될 수 있다. 대안적으로, 오디오 입력 신호의 레벨은 예컨대 제 1, 제 2, 제 3 및 제 4 펄스폭 변조된 제어 신호들 중 하나 또는 이로부터 유도된 신호와 같은 하나 이상의 펄스폭 변조된 제어 신호들의 변조 인덱스, 또는 변조 뉴터 사이클의 검출을 통해 간접적으로 결정될 수 있다.

[0039] 하나의 바람직한 실시예에서, 제어기는 미리 결정된 레벨 임계치와 오디오 입력 신호의 검출된 레벨을 비교하고, 비교의 결과에 따라 제 1 동작 모드와 제 2 동작 모드 사이에서 변화하도록 추가로 조정된다. 제어기는 미리 결정된 레벨 임계치와 오디오 입력 신호의 검출된 레벨을 비교하고 검출된 오디오 신호 레벨이 미리 결정된 레벨 임계치를 초과할 때 상기 1 동작 모드를 선택한다. 제어기는 검출된 오디오 신호 레벨이 미리 결정된 레벨 임계치보다 작을 때 제 2 동작 모드를 선택한다. 이러한 실시예의 중요한 장점은 변조된 제어 신호들의 스위칭 주파수를 감소시킬 가능성과 함께 공통-모드 로드 커패시터 리플 전압의 수용 가능한 레벨이다. 감소된 스위칭 주파수는 반도체 스위치들 및 게이트 드라이버 회로와 같은 회로를 구동시키는 반도체 스위치들과 연관된 제어 터미널에서의 전력 손실을 감소하는 장점을 가진다.

[0040] 변조된 제어 신호들의 제 1 세트 및 변조된 제어 신호들의 제 2 세트의 변조된 제어 신호들 각각의 스위칭 또는 변조 주파수는 오디오 신호의 검출된 레벨에 따라 변경될 수 있다. 일 실시예에서, 스위칭 주파수는 오디오 신호의 레벨이 앞서 기술된 미리 결정된 레벨 임계치들 미만으로 떨어질 때 300 kHz 내지 800 kHz 의 제 1 주파수 범위로부터 200 kHz 미만, 예컨대 150 kHz 미만의 제 2 주파수 범위로 감소된다.

[0041] 클래스 D 오디오 증폭기의 바람직한 실시예에 따르면, 제 1 출력 드라이버는 제 1 공급 전압과 제 1 출력 노드 사이에 직렬로 커플링된 제 1 및 제 2 반도체 스위치; 및 제 2 공급 전압과 제 1 출력 노드 사이에 직렬로 커플링된 제 3 및 제 4 반도체 스위치를 포함한다. 제 2 출력 드라이버는 제 1 공급 전압과 제 2 출력 노드 사이에

직렬로 커플링된 제 5 및 제 6 반도체 스위치; 제 2 공급 전압과 제 2 출력 노드 사이에 직렬로 커플링된 제 7 및 제 8 반도체 스위치; 제 3 공급 전압을 생성하도록 구성된 제 3 공급 전압 소스를 포함한다. 제 3 공급전압 소스는 제 1 및 제 2 반도체 스위치들 사이에 위치한 제 1 노드와 제 3 및 제 4 반도체 스위치들 사이에 위치한 제 2 노드 간의 제 1 미리 결정된 DC 전압차를 세팅하도록 구성되는 제 1 DC 전압 소스; 및 제 5 및 제 6 반도체 스위치들 사이에 위치한 제 3 노드와 제 7 및 제 8 반도체 스위치들 사이에 위치한 제 4 노드 간의 제 2 미리 결정된 DC 전압차를 세팅하도록 구성되는 제 2 DC 전압 소스를 포함한다. 이러한 실시예에서, 제 1 DC 전압 소스는 바람직하게 제 1 충전된 커패시터를 포함하며, 제 2 DC 전압 소스는 바람직하게 제 2 충전된 커패시터를 포함한다. 본 발명의 제 1 양상과 관련하여 앞서 설명된 바와같이, 제 1 및 제 2 충전된 커패시터들 또는 "플라잉 커패시터들"은 클래스 D 증폭기 토플로지 또는 실시예에서 제 3 공급 전압을 제공하기 위한 종래 기술의 타입들의 전기 컴포넌트들이다. 본 실시예에서, 제 3 공급 전압은 단지 클래스 D 오디오 증폭기의 동작 동안 소량의 에너지를 전달하는데 필요하다. 또한, 선형 요건들이 완화되기 때문에, 제한된 커패시턴스 및 물리적 크기를 가진 커패시터들은 제 1 및 제 2 플라잉 커패시터들로서 사용될 수 있다. 일부 실시예에서, 플라잉 커패시터들은 100 nF 내지 10 μ F의 커패시턴스를 각각 가질 수 있다.

[0042] 클래스 D 오디오 증폭기의 다른 실시예에 따르면, 제 1 출력 드라이버는 제 1 공급 전압과 제 1 출력 노드 사이에 직렬로 커플링된 제 1 및 제 2 반도체 스위치; 제 2 공급 전압과 제 1 출력 노드 사이에 직렬로 커플링된 제 3 및 제 4 반도체 스위치를 포함하며, 제 2 출력 드라이버는 제 1 공급 전압과 제 2 출력 노드 사이에 직렬로 커플링된 제 5 및 제 6 반도체 스위치; 및 제 2 공급 전압과 제 2 출력 노드 사이에 직렬로 커플링된 제 7 및 제 8 반도체 스위치를 포함한다. 제 3 공급 전압 소스는 제 3 공급 전압을 생성하도록 구성되며, 제 3 공급 전압 소스는 중간-지점 전압을 제공하기 위하여 제 1 공급 전압과 제 2 공급 전압사이에 직렬로 커플링되는 공급 커패시터들의 쌍; 제 1 및 제 2 반도체 스위치들 사이의 노드와 중간-지점 전압 사이에 커플링된 제 1 다이오드; 제 3 및 제 4 반도체 스위치들 사이의 노드와 중간-지점 전압 사이에 커플링된 제 2 다이오드; 제 5 및 제 6 반도체 스위치들 사이의 노드와 중간-지점 전압 사이에 커플링된 제 3 다이오드; 및 제 7 및 제 8 반도체 스위치들 사이의 노드와 중간-지점 전압 사이에 커플링된 제 4 다이오드를 포함한다.

[0043] 클래스 D 오디오 증폭기의 다른 실시예는 제 3 공급 전압을 생성하도록 구성된 제 3 공급 전압 소스를 포함하며, 제 3 공급 전압 소스는 중간-지점 전압을 제공하기 위하여 제 1 공급 전압과 제 2 공급 전압사이에 직렬로 커플링되는 공급 커패시터들의 쌍을 포함한다. 제 1 출력 드라이버는 제 1 공급 전압과 제 2 출력 노드 사이에 직렬로 커플링되는 제 1 반도체 스위치; 제 2 공급 전압과 제 1 출력 노드사이에 직렬로 커플링되는 제 2 반도체 스위치; 및 중간-지점 전압과 제 1 출력 노드사이에 직렬로 커플링되는 제 3 반도체 스위치를 포함한다. 또한, 제 2 출력 드라이버는 제 1 공급 전압과 제 2 출력 노드사이에 직렬로 커플링되는 제 4 반도체 스위치; 제 2 공급 전압과 제 2 출력 노드사이에 직렬로 커플링되는 제 5 반도체 스위치; 중간-지점 전압과 제 1 출력 노드사이에 커플링되는 제 6 반도체 스위치를 포함한다.

[0044] 본 발명의 제 3 양상은 사운드 재생 어셈블리에 관한 것이며, 사운드 재생 어셈블리는 앞서 기술된 양상들 및 이의 실시예들 중 어느 하나에 따른 클래스 D 오디오 증폭기; 및 제 1 및 제 2 DC 공급 전압 중 하나 및 제 1 드라이버의 출력 노드에 동작가능하게 커플링되는 라우드스피커 로드를 포함하며, 여기서 제 2 DC 공급 전압은 GND일 수 있다. 대안적으로, 사운딩 재생 어셈블리는 라우드스피커 로드가 제 1 및 제 2 출력 드라이버들의 개별 출력 노드들 사이에 동작가능하게 커플링되는, 앞서 개략적으로 서술된 제 1 및 제 2 출력 드라이버들을 가진 H-브리지 기반 클래스 D 오디오 증폭기들을 포함할 수 있다. 라우드스피커 로드는 임의의 타입의 가동 코일(동적), 가동 아마추어, 압전, 정전기 타입의 오디오 스피커를 포함할 수 있다. 사운드 재생 어셈블리는 바람직하게 TV 세트들, 컴퓨터들, Hi-Fi 장비 등과 같은 정지 또는 휴대용 엔터테인먼트 제품들에 통합되도록 하는 크기를 및 형상을 가진다.

[0045] 사운드 재생 어셈블리는 제 1 드라이버의 출력 노드와 라우드스피커 노드사이에 커플링된 로드 인덕터; 제 1 및 제 2 DC 공급 전압들 중 하나와 라우드스피커 로드 사이에 커플링되는 로드 커패시터를 추가로 포함할 수 있다. 로드 인덕터 및 커패시터는 출력 노드 또는 출력 노드들에서 펄스폭 또는 펄스 밀도 변조된 출력 신호들의 스위칭 주파수와 연관된 고주파수 성분들을 억제하는 저역통과 필터와 함께 형성된다. 이러한 저역통과 필터의 차단 주파수는 로드 인덕터 및 커패시터의 컴포넌트 값들의 적절한 선택에 의해 20 kHz 내지 100kHz와 같은 오디오 대역을 초과할 수 있다.

[0046] 본 발명의 바람직한 실시예는 첨부된 도면들을 참조로 하여 더 상세히 기술될 것이다.

도면의 간단한 설명

[0047]

도 1은 라우드스피커 로드에 커플링되는 H-브리지 드라이버 및 AD 변조를 활용하는 제 1 타입의 종래 기술 클래스 D 증폭기에 따른 H-브리지 드라이버의 펄스폭 변조된 출력 신호 파형들을 예시한다.

도 2는 라우드스피커 로드에 커플링되는 클래스 D 오디오 증폭기들에 대한 H-브리지 드라이버 및 BD 변조를 활용하는 제 2 타입의 종래 기술 클래스 D 증폭기에 따른 H-브리지 드라이버의 펄스폭 변조된 출력 신호 파형들을 예시한다.

도 3은 도 1 및 도 2에 도시된 종래 기술 클래스 D 증폭기들에 대한 로드 인덕터 리플 전류 파형들 및 로드 커페시터 리플 전압 파형들을 예시한다.

도 4a) 및 도 4b)는 각각 본 발명의 제 1 실시예에 따라 라우드스피커 로드들에 커플링된 클래스 D 오디오 증폭기들에 대한 단일-단부 출력 드라이버 및 H-브리지 출력 드라이버의 개략도들이다.

도 5는 도 4b)에 도시된 H-브리지 출력 드라이버의 3-레벨 및 5-레벨 펄스폭 변조된 출력 신호 파형들을 예시한다.

도 6은 본 발명의 제 2 실시예에 따라 라우드스피커 로드에 커플링되는 클래스 D 오디오 증폭기들에 대한 CMOS 기반 단일-단부 멀티-레벨 출력 드라이버의 개략도이다.

도 7은 본 발명의 제 3 실시예에 따라 라우드스피커 로드에 커플링되는 H-브리지 출력 드라이버를 가진 클래스 D 오디오 증폭기의 개략도이다.

도 8은 본 발명의 제 4 실시예에 따라 라우드스피커 로드에 커플링되는 H-브리지 출력 드라이버를 가진 클래스 D 오디오 증폭기의 개략도이다.

도 9a) 및 도 9b)는 3-레벨 동작 모드 및 5-레벨 동작 모드에서 도 4b)에 도시된 H-브리지 출력 드라이버의 반도체 스위치들 각각에 대한 펄스폭 변조 제어 신호들의 생성을 예시한다.

도 10a) 및 도 10b)는 3-레벨 출력 모드에서 동작하는 도 4b)에 도시된 H-브리지 드라이버와 비교하여 도 1에 예시된 종래 기술의 H-브리지 드라이버에 대한 로드 커페시터 리플 전압 및 로드 인덕터 리플 전류 대변조 듀티 사이클을 각각 도시한다.

도 11은 도 4b)에 도시된 H-브리지 드라이버 및 수반되는 제어기를 포함하는 클래스 D 오디오 증폭기를 개략적으로 예시한다.

도 12는 본 발명의 제 5 실시예에 따라 오디오 입력 신호의 검출된 레벨에 따라 상이한 동작 모드들에서 본 발명의 클래스 D 증폭기 실시예들을 동작시키기 위한 모드-스위칭 방식을 예시한다.

도 13은 종래 기술의 H-브리지 드라이버 및 도 4b)에 도시된 본 발명의 제 2 실시예에 따른 H-브리지 출력 드라이버에 대한 실험적으로 기록된 전력 손실 데이터를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0048]

도 1은 라우드스피커 로드(140)에 커플링된 H-브리지 출력 드라이버(100)를 도식적으로 도시한다. 펄스폭 변조 출력 신호 파형들(120 및 121)이 H-브리지 출력 드라이버의 개별 출력 노드들(V_A , V_B)에 제공된다. 예시된 종래 기술의 클래스 D 증폭기는 소위 AD 변조를 이용하는데, 여기서 라우드스피커 로드는 반도체 스위치들(SW1, SW2, SW3 및 SW4)의 제어 터미널들(도시안됨)에 인가된 개별 스위치 제어 신호들에 따라 양의 DC 공급 전압(V_s)과 GND와 같은 음의 DC 공급 전압사이에 교대로 연결되는데, 그 반대의 경우도 마찬가지다. 출력 신호 파형(122)에 의해 예시되는 바와 같은, 라우드스피커 로드의 V_s 와 GND 사이의 교대 스위칭은, 제 1 단계에서, SW1 및 SW4를 각각 ON 또는 도전 상태들로, SW2 및 SW3를 각각 OFF 상태들 또는 오프-상태들로 세팅함으로써 획득된다. 제 2 단계에서, SW1 및 SW4는 각각 OFF 또는 비-도전 상태들로 세팅되고, SW2 및 SW3는 각각 온-상태들로 세팅된다. 펄스폭 변조 출력 신호 파형들에 대응하는 오디오 입력 신호 파형(119)으로 도시된다.

[0049]

로드 인덕터들(138 및 137)은 H-브리지 출력 드라이버(100)의 개별 출력 노드들(V_A , V_B)와 라우드스피커 로드(140)의 각각의 측면 사이에 연결된다. 이와 유사하게, 로드 커페시터들(136 및 135)은 라우드스피커 로드의 각각의 터미널 또는 측면으로부터 GND로 연결된다. 로드 커페시터들 및 로드 인덕터들의 연합 동작은 라우드스피커 드라이브 또는 로드 신호 내 캐리어 또는 스위칭 주파수 성분들을 억제하기 위해, 출력 노드들(V_A 및 V_B)에서의 펄스폭 변조 출력 신호 파형들(120 및 121)의 저역통과 필터링을 제공하는 것이다.

[0050]

도 2는 도 1에 예시된 H-브리지 드라이버와 유사한 토플로지를 가지며 라우드스피커 로드(240)에 커플링된 또 다른 종래 기술의 H-브리지 출력 드라이버를 도시한다. 그러나, 이번 종래 기술의 클래스 D 증폭기는 소위 BD 변조를 이용한다. 클래스 BD 변조에서, 출력 노드들(V_A 및 V_B)을 특정 시간 간격들 동안에 동일한 상태 또는 전압으로(즉, V_S 또는 GND) 동시에 세팅시키는 것과 관계되는, 제로 상태들이 존재한다. 제로 상태에서, 라우드스피커 로드(240)의 양 단부들 또는 터미널들이 V_S 또는 GND에 동시에 연결 또는 커플링됨으로써, 라우드스피커 로드(240) 양단의 구동 전압이 제로로 세팅된다. 그결과, 오디오 입력 신호 레벨이 제로에 가까울 때, 개별 출력 노드들(V_A 및 V_B)에서의 펄스폭 변조 출력 파형들(120 및 121)의 스위칭이 폐기(discard)된다. 이는, 오디오 입력 신호(219)의 진폭이 제로로 통과하는 곳인, 참조 부호(224)로 표시된 시간 인스턴스에서의 펄스폭 변조 출력 파형(222)으로 도시된다. 그러나, 라우드스피커 로드 양단에서 제로-차동 전압을 갖는 상태들의 존재에도 불구하고, 출력 드라이버의 출력 노드들(V_A 및 V_B) 각각에는 오직 두개의 상이한 상태들 또는 레벨들(즉, V_S 또는 GND)만이 존재한다는 것에 주목하는 것이 중요하겠다.

[0051]

도 3은 특히 도 1 및 도 2에 도시된 종래 기술 클래스 D 증폭기들에 대한 로드 인덕터 리플 전류 파형들 및 로드 커패시터 리플 전압 파형을 예시한다. 도 3에 예시된 파형들은, 제 1 및 제 2 출력 노드들(V_A 및 V_B)에서의 펄스폭 변조 출력 파형들의 변조가 제로가 되도록, 오디오 입력 신호의 제로 레벨 또는 진폭을 갖는 상황에 대응한다. 도면에서 좌측 상의 파형들은 도 1과 관련하여 위에서 개요한 바와 같은 AD 변조에 해당하는 반면, 우측 파형들은 도 2와 관련하여 위에서 개요한 바와 같은 클래스 BD 변조에 대한 동일한 전압 또는 전류 변수들을 도시한다. 파형 플롯들(303) 상에서의 개별 로드 인덕터 리플 전류 파형들은 직사각형 캐리어 파형에 대한, 로드 인덕터들(237, 238 및 137, 138)의 적분 함수를 반영한다. 라우드스피커 로드의 개별 입력 터미널들에서 측정된 파형 플롯들(305) 상의 사인파-형에 가까운 로드 커패시터 리플 전압 파형들(V_p 및 V_N)은 직사각형 캐리어 파형들 상에서의 로드 커패시터들(235, 236 및 135, 136)의 저역통과 필터링 효과를 반영한다. 로드 커패시터 리플 전압 파형들(V_p 및 V_N)은 클래스 AD 및 클래스 BD 변조에 대해 실질적으로 동일한 진폭들인 반면, 파형들(307)로 예시된 바와 같은 라우드스피커 로드 양단의 차동 리플 전압(즉 $V_p - V_N$)은 상이하다는 사실은 흥미롭다. 클래스 AD 변조에서, 차동 리플 전압은 개별 커패시터 리플 전압의 두배인 반면 클래스 BD 변조에서 차동 리플 전압은 거의 제로이다. 클래스 BD 변조에 대한 리플 전압의 저 레벨은 라우드스피커 로드에 펄스폭 변조 캐리어 파형들을 인가할 때의 저전력 손실을 표시한다. 그러나, 클래스 BD 변조에서 라우드스피커 로드 양단의 거의 제로에 가까운 차동 리플 전압에도 불구하고, 이러한 타입의 변조에 대해 전력 손실을 초래하는, 공통 모드 파형 플롯들(309) 상에 예시된 바와 같은 상당한 공통 모드 차동 전압이 여전히 존재한다. 이는, 실제 클래스 D 증폭기에서 전력 손실을 유발하는 로드 인덕터들을 통해 계속하여 순환되는 로드 전류들에 의해 기인하는데, 왜냐하면 실제 인덕터들은 고유 저항성 및 히스테리시스 손실을 가지고 있기 때문이다.

[0052]

도 4a 및 4b는 본 발명의 가장 선호되는 실시예들에 따라 라우드스피커 로드(440)에 커플링된, 단일-단부 출력 드라이버 및 H-브리지 출력 드라이버 각각을 예시한다. 라우드스피커 로드가 한쌍의 출력 노드들(V_A 및 V_B) 사이에서 동작가능하게 상호 커플링되는 H-브리지 출력 드라이버(401)의 동작은 이하에서 자세히 설명되는 반면, 제 1 및 제 2 출력 노드들(V_A 및 V_B)에서의 펄스폭 변조 로드 파형들 또는 신호들은 펄스폭 변조 스위치 제어 신호들을 생성하도록 조정된 제어기(도시안됨)의 두개의 상이한 동작 모드들에 따라 도 5에서 예시된다. 제 1 동작 모드에서는 3-레벨 변조를 갖는 로드 신호가 생성되는 반면에, 제 2 동작 모드에서는 5-레벨 변조를 갖는 로드 신호가 생성된다.

[0053]

도 4b에서, H-브리지 출력 드라이버(401)는 라우드스피커 로드(440)에 동작가능하게 커플링된다. H-브리지 출력 드라이버(401)는 제 1 및 제 2의 실질적으로 동일한 출력 드라이버들(425 및 426)을 각각 포함한다. 출력 드라이버들 각각은 4개의 캐스케이드 연결된 CMOS 트랜지스터 스위치들, 예컨대, 상위 DC 공급 전압 또는 레일 V_S 와 하위 DC 공급 전압 또는 접지 형태 레일 또는 GND 레일 사이에 커플링된 NMOS 트랜지스터를 포함한다. 또한, 각각의 출력 드라이버(425 및 426)는, 이하에서 자세히 설명되는 바와 같이 출력 노드들(V_A 및 V_B)에서 제 3 출력 레벨, 또는 V_S 와 GND 사이에서 대략 중간지점에 위치되는 중간-지점 전압의 생성을 가능하게 하는, 충전된 소위 플라잉 커패시터(C_{fly1} , C_{fly2})(418 및 419)를 포함한다.

[0054]

본 실시예에서, H-브리지 드라이버(401)의 제 1 출력 드라이버(425)의 상부 레그 (A)는 CMOS 트랜지스터들, 바람직하게는 NMOS 트랜지스터들과 같은 한쌍의 직렬 또는 캐스케이드 커플링된 반도체 스위치들을 포함한다. 직렬 커플링된 반도체 스위치들(SW1 및 SW2)은 제 1 단부에서 V_S 에 커플링되고, 반대 단부에서 출력 노드(V_A)에

커플링된다. 제 1 출력 드라이버(425)의 하위 레그(B)는 출력 노드(V_A)로부터 GND에 커플링된, 또 다른 한쌍의, 직렬 또는 캐스케이드 커플링된 CMOS 반도체 스위치들(SW3 및 SW4)을 포함한다. H-브리지 드라이버(401)의 제 2 출력 드라이버(426)의 상부 레그(C)는, 바람직하게는 레그(A)의 CMOS 반도체 스위치들(SW1 및 SW2) 각각과 전기적 특성이 동일한, 한쌍의, 직렬 또는 캐스케이드 커플링된 CMOS 반도체 스위치들(SW5 및 SW6)을 포함한다. 하위 레그(D)는 바람직하게는 레그(B)의 CMOS 반도체 스위치들(SW3 및 SW4) 각각과 전기적 특성이 동일한, 또 다른 쌍의, 캐스케이드 커플링된 CMOS 반도체 스위치들(SW7 및 SW8)을 포함한다. 위에서 언급한 CMOS 반도체 스위치들은 이상적 스위치 앤리먼트들로서 도 4a 및 도 4b에 도식적으로 예시된다. 반도체 스위치들 각각은 도식적으로 예시된 바와 같이 단일 반도체 스위치로 구성될 수 있거나, 다른 실시예들에서는 공통 제어 터미널들을 갖는 다수의 병렬 커플링된 개별 반도체 스위치들을 포함할 수 있다.

[0055] H-브리지 드라이버(401)의 동작 동안에, 제어기는 적절한 진폭의 제 1, 제 2, 제 3 및 제 4 펄스폭 변조 제어 신호들을 CMOS 반도체 스위치들(SW1, SW2, SW3 및 SW4)의 제 1, 제 2, 제 3 및 제 4 게이트 터미널들(도시안됨) 각각에 인가하여 이러한 CMOS 반도체 스위치들 각각의 상태들을 제어하도록 구성된다. 이에 의해, CMOS 반도체 스위치들 각각의 상태는 펄스폭 변조 제어 신호들의 전이(transition)들에 따라 온-상태 또는 ON과 오프-상태 또는 OFF 사이를 토글링하거나 스위칭한다. 게이트 터미널들에 제5, 제6, 제7 및 제8 펄스폭 변조 제어 신호들이 제공되는, 제 2 출력 드라이버(426)의 CMOS 반도체 스위치들(SW5, SW6, SW7 및 SW8)에 대해서도 동일하게 적용된다.

[0056] 온-상태 또는 도전 상태 또는 폐쇄 상태에서 CMOS 반도체 스위치들(SW1, SW2) 각각의 on-저항은 특정 애플리케이션의 요건들에 따라, 특정하게는 라우드스피커 로드(440)의 오디오 주파수 임피던스에 따라, 크게 가변할 수 있다. 반도체 스위치들의 on-저항은 스위치 치수들, 제어 터미널에서의 구동 전압, 즉 본 실시예에서는 게이트 터미널, 및 반도체 프로세스 결과에 따라 가변한다. 반도체 스위치들(SW1 및 SW2)은 바람직하게는 라우드스피커 로드(440)의 옴 저항보다 훨씬 작은 on-저항을 갖도록 구성 또는 설계됨으로써, 출력 노드들(V_A 및 V_B)을 통해 전달된 전력 라우드스피커 로드(440)에서 대부분 소멸되고, 그리고 반도체 스위치들의 개별 on-저항들에서 스위치 전력 손실로서 소량이 소멸된다.

[0057] CMOS 반도체 스위치들(SW1, SW2, SW3, SW4, SW5, SW6, SW7 및 SW8) 각각의 on-저항은 바람직하게는 0.05 내지 5 옴의 값으로 세팅되는데, 본 발명의 실시예의 0.1 내지 0.5 옴의 값으로 세팅된다.

[0058] 가동 코일, 가동 전기자 또는 다른 타입의 오디오 스피커를 포함할 수 있는 라우드스피커 로드(440)는 H-브리지 드라이버(401)의 제 1 및 제 2 출력 노드들(V_A 및 V_B) 사이에 동작가능하게 커플링된다. 라우드스피커 로드(440)는 통상적으로 주요 유도성 컴포넌트와 직렬로 저항성 컴포넌트들 포함한다. 제 1 로드 인덕터(438) 및 제 1 로드 커패시터(422)는 저역통과 필터를 형성하기 위해 제 1 출력 노드(V_A)와 라우드스피커 로드(440)의 제 1 터미널 사이에 커플링된다. 제 1 로드 인덕터(438)와 제 1 로드 커패시터(422)는 H-브리지 드라이버의 제 1 및 제 2 출력 드라이버들(425 및 426)의 집적 회로 구현예에 대해 외부 컴포넌트들로서 제공될 수 있다. 저역통과 필터링은 라우드스피커 로드(440) 양단에 인가되는 로드 신호에서 출력 노드들(V_A 및 V_B)에서 제공되는 출력 파형의 변조 또는 스위칭 주파수 성분들을 억제한다. 본 실시예에서, 제 1 로드 커패시터(422)는 약 220nF와 같은, 100 내지 500nF의 커패시턴스를 가질 수 있다. 제 1 로드 인덕터(414)는 약 2.20 μ H와 같은 1 μ H 내지 5 μ H의 인덕턴스를 가질 수 있다. 제 2 출력 노드(V_B)에 커플링되는 제 2 로드 인덕터(437) 및 제 2 로드 커패시터(423) 각각의 값은 동일한 것이 바람직하다.

[0059] 제 1 플라잉 커패시터(418)는 제 1 출력 드라이버(425)의 상부 레그(A)의 한쌍의 캐스케이드 커플링된 CMOS 반도체 스위치들(SW1 및 SW2)사이의 제 1 접속 노드(418a)에 커플링된 하나의 터미널을 가짐으로써, SW1, SW2와 플라잉 커패시터 터미널 사이에 전기적 연결을 제공한다. 제 1 플라잉 커패시터(418)의 반대쪽 터미널은 제 1 출력 드라이버(425)의 하위 레그(B)의 한쌍의 캐스케이드 커플링된 CMOS 반도체 스위치들(SW3 및 SW4) 사이에 위치한 제 2 접속 노드(418b)에 커플링된다. 제 1 플라잉 커패시터(418)는 본 H-브리지 드라이버(400)의 동작이 시작되기 전에 낮은 DC 공급 전압의 GND 접속으로 인해 V_S 와 GND 사이의 DC 전위차의 약 절반과 동일한, 즉 간단히 V_S 의 절반과 동일한, 미리 결정된 DC 전압으로 사전 충전된다. 따라서, 제 1 플라잉 커패시터(418)는 제 1 및 제 2 접속 노드들(418a, 418b) 사이에서 V_S 의 절반의 DC 전위차로 유지 또는 세팅하는 DC 전압 소스로서의 역할을 한다.

[0060] 제어기(도 11의 항목(1103)으로 도시됨)는 반대 위상 및 비-중첩을 갖는 제 1 및 제 4 펄스폭 변조 제어 신호들

을 제공하도록 구성되어서, CMOS 반도체 스위치들(SW1 및 SW2)은 결코 펠스폭 변조 제어 신호들의 제로 변조를 갖는 on-상태들로 동시에 되지 않게 되며, 즉 오디오 신호 입력은 제로가 된다. 유사하게, 제 2 및 제 3 펠스폭 변조 제어 신호들은 바람직하게는 반대 위상을 가지고 펠스폭 변조 제어 신호들의 제로 변조에서 비-중첩하여, CMOS 반도체 스위치들(SW2 및 SW4)은 제로 변조에서 동시에 on-상태들 또는 ON이 절대 되지 않게된다. 이는, $V_s - (V_s/2)$ 의 출력 레벨, 즉 V_s 의 절반의 출력 레벨이 초래되도록, SW1 과 SW3가 동시에 on-상태들 또는 ON이면서 SW4 및 SW2 모두가 OFF 또는 off-상태들일때, 제 1 상태의 제 1 플라잉 커패시터(418)가 V_s 와 출력 노드(V_A) 사이에 커플링된다는 것을 의미한다. 제 1 출력 드라이버(425)의 제 2 상태에서 제 1 플라잉 커패시터(418)는, (GND + DC 공급 전압의 절반)의 출력 레벨, 즉 제 1 상태의 경우에서처럼 V_s 의 절반의 출력 레벨이 초래되도록, SW2 및 SW4가 동시에 온이면서 SW1 및 SW3가 모두 OFF일때, SW2 및 SW4를 통해 GND와 출력 노드(V_A) 사이에 커플링된다. 이에 따라, 제 1 플라잉 커패시터는 출력 노드(V_A)에서, 본 실시예에서는 DC 공급 전압(V_s)의 절반과 동일한 제 3 공급 전압 레벨을 생성하도록 동작가능하다. 이러한 제 3 공급 전압 레벨은, 제 1 플라잉 커패시터(418)의 DC 전압을 V_s 의 절반으로 선택 적용함으로써 위에서 개요된 바와 같이 제 1 및 제 2 출력 드라이버 상태에서 모두 생성된다. 따라서, 이에 의해 제 1 드라이버(425)의 출력 노드(V_A)에서의 출력 레벨들은 3개의 이산 레벨들: V_s , V_s 의 절반 및 GND 사이에서 토글한다. 물론, GND 전압은 다른 실시예에서는, 예컨대 제 1 DC 공급 전압과 실질적으로 크기가 동일한 음의 DC 전압인, 음의 또는 양의 DC 공급 전압일 수 있다.

[0061] 예시된 H-브리지 출력 드라이버(401)는 제 2 출력 노드(V_B)를 통해 라우드스피커 로드(440)의 다른 측면 또는 터미널에 커플링된 제 2 출력 드라이버(426)를 포함한다. 제 2 출력 드라이버(426)의 CMOS 반도체 스위치들(SW5, SW6, SW7, SW8) 및 플라잉 커패시터(419)와 같은 개별 컴포넌트들의 회로 토플로지 및 전기적 특성들은 바람직하게는 제 1 출력 드라이버(425)의 대응하는 컴포넌트들의 그것들과 실질적으로 동일하다. 유사하게, 외부 제 2 로드 인덕터(437) 및 외부 제 2 로드 커패시터(423)는 바람직하게 제 1 출력 드라이버(425)와 연관된 대응하는 외부 컴포넌트들과 동일하다.

[0062] 본 발명의 제 1 실시예에서, 다양한 펠스폭 변조 제어 신호들은, 제 1 및 제 5 펠스폭 변조 제어 신호들이 제로 변조시 반대 위상을 갖도록 구성된다. 제 2 및 제 6 펠스폭 변조 제어 신호들, 제 3 및 제 7 펠스폭 변조 제어 신호들, 및 제 4 및 제 8 펠스폭 변조 제어 신호들에 대해서도 동일하게 적용된다. 펠스폭 변조 제어 신호들의 이러한 구성은, 플라잉 커패시터들($C_{fly1}(418)$, $C_{fly2}(419)$)의 미리 결정된 DC 전압들 각각을 대략 제 1 DC 공급 전압(V_s)의 절반으로 세팅함과 관련하여, 3-레벨 펠스폭 변조 출력 신호가 제 1 및 제 2 출력 노드들(V_A 및 V_B) 사이에서 생성됨으로써 라우드스피커 로드(440)에 로드 신호로써 인가되게 하는 것을 보장한다. 이러한 3-레벨 펠스폭 변조 출력 신호는 도 5 상에서 과형(507)으로써 예시된다. 예시된 바와 같이, 대응하는 로드 신호로써 라우드스피커(440)에 인가되는 현 3-레벨 펠스폭 변조 출력 신호는, 오디오 신호 입력이 제로에 가까울때 제 1 및 제 2 출력 노드들(V_A 및 V_B)에서의 상태 스위칭 속도들이 감소된다는 점에서, 앞서 개요한 종래 기술 클래스 DB 변조가 갖는 이점을 공유한다.

[0063] 본 발명의 제 2 실시예에서, 다양한 펠스폭 변조 제어 신호들은, 제 1 및 제 5 펠스폭 변조 제어 신호들이 반전되고 서로에 대해 추가적으로 $+/- 90$ 도 위상 시프트되도록, 구성된다. 제 2 및 제 6 펠스폭 변조 제어 신호들, 제 3 및 제 7 펠스폭 변조 제어 신호들, 및 제 4 및 제 8 펠스폭 변조 제어 신호들에 대해서도 동일하게 적용된다. 펠스폭 변조 제어 신호들의 이러한 구성은, 플라잉 커패시터들($C_{fly1}(418)$, $C_{fly2}(419)$)의 미리 결정된 DC 전압들 모두를 대략 제 1 DC 공급 전압(V_s)의 절반으로 세팅함과 관련하여, 5-레벨 펠스폭 변조 출력 신호가 제 1 및 제 2 출력 노드들(V_A 및 V_B) 사이에서 생성됨으로써 라우드스피커 로드(440)에 로드 신호로써 인가되도록 하는 것을 보장한다. 이러한 5-레벨 펠스폭 변조 출력 신호는, 제로를 초과하는 두개의 이산적 레벨의 펠스폭 변조 과형들, 하나의 제로 레벨, 및 제로 미만의 두개의 이산 레벨의 펠스폭 변조 과형들을 도시하는 출력 과형(513)으로써 도 5에 도시된다. 예시된 바와 같이, 현 5-레벨 펠스폭 변조 출력 신호는, 오디오 신호 입력이 제로에 가까울때 제 1 및 제 2 출력 노드들(V_A 및 V_B)에서의 상태 스위칭 속도들이 감소된다는 점에서, 앞서 개요한 클래스 DB 변조 및 3-레벨 변조가 갖는 이점을 공유한다.

[0064] 도 6은 본 발명의 제 3 실시예에 따라 로드 인덕터(637) 및 로드 커패시터(635)를 포함하는 저역통과 필터를 통해 라우드스피커 로드(640)에 커플링된 CMOS 기반의 단일-단부 멀티-레벨 출력 드라이버(601)를 도시한다. 단일-단부 멀티-레벨 출력 드라이버(601)는 직렬 연결된 또는 커플링된 CMOS 반도체 스위치들의 총 개수를 6개까

지하기 위해, 도 4a 상에 도시된 단일-단부 출력 드라이버의 반도체 스위치들(SW1, SW2, SW3, SW4) 이외에도 제 5 CMOS 반도체 스위치(SW5) 및 제 6 반도체 스위치(SW6)를 포함한다. 제 5 CMOS 반도체 스위치(SW5)는 상위 또는 제 1 DC 공급 전압(V_S)과 직렬 커플링되고, 출력 노드(V_A)에 커플링된 제 1 및 제 2 반도체 스위치들(SW1, SW2)에 직렬 커플링된다. 제 6 CMOS 반도체 스위치(SW6)는 GND와, 출력 노드(V_A)에 커플링된 직렬 연결된 제 3 및 제 4 반도체 스위치들(SW3, SW4) 사이에 직렬 커플링된다. 그결과, 본 단일-단부 멀티-레벨 출력 드라이버(601)의 상부 레그(A) 및 하부 레그(B) 모두는 도 4a의 출력 드라이버에서 이용된 바와 같은 두개의 스위치들 대신에 3개의 캐스케이드 커플링된 CMOS 반도체 스위치들을 포함한다. 또한, CMOS 단일-단부 멀티-레벨 출력 드라이버(601)는 제 1 플라잉 커패시터(C_{fly1})(커패시터 618)에 추가하여 제 2 플라잉 커패시터(C_{fly2})(619)를 포함한다. C_{fly1}은 도 4b에 도시된 단일-단부 출력 드라이버의 제 1 플라잉 커패시터(418)에 대응한다. 제 2 플라잉 커패시터(619)는 상부 레그(A)의 한쌍의 캐스케이드 커플링된 CMOS 반도체 스위치들(SW5 및 SW1) 사이에 위치한 제 1 접속 노드(630a)에 커플링된 하나의 터미널을 갖는다. 제 2 플라잉 커패시터(619)의 다른쪽 터미널은 하부 레그(B)의 한쌍의 캐스케이드 커플링된 CMOS 반도체 스위치들(SW4 및 SW6) 사이에 위치된 제 2 접속 노드(630b)에 전기적으로 커플링된다. 제 2 플라잉 커패시터(619)는 바람직하게, 대략 DC 공급 전압의 2/3와 같은 DC 공급 전압(V_S)의 60 내지 75%의 DC 공급과 동일한 제 1의 미리 결정된 DC 전압으로 사전 충전될 수 있다. 제 1 플라잉 커패시터(C_{fly1}:618)는 제 3 및 제 4 연결 사이에 전기적으로 커플링되거나, 또는 SW1과 SW2 사이 및 SW3와 SW4 사이 각각에 위치한 커플링 노드를 사이에 전기적으로 커플링된다. 제 1 플라잉 커패시터(619)는 바람직하게, 제 1 미리 결정된 DC 전압과는 다른 제 2 미리 결정된 DC 전압으로 사전 충전된다. 제 2 미리 결정된 DC 전압은 대략 DC 공급 전압(V_S)의 1/3과 같은 DC 공급 전압(V_S)의 25 내지 40% 사이에 존재할 수 있다.

[0065] 그결과, CMOS 단일-단부 멀티-레벨 출력 드라이버(601)는 플라잉 커패시터들(618, 619)의 제 1 및 제 2 미리 결정된 DC 전압들의 선택된 세팅들에 따라, 도 4a에 도시된 3-레벨 또는 4-레벨 단일-단부 출력 드라이버 토폴로지와 비교하면 출력 노드(V_A)에서 추가의 출력 레벨들을 공급할 수 있다.

[0066] CMOS 반도체 스위치들(SW1, SW2, SW3, SW4, SW5 및 SW6)은 클래스 D 오디오 증폭기의 적절하게 구성된 제어기(도시안됨)에 의해 공급되는 적절한 펄스폭 변조 제어 신호들에 의해 구동되는 게이트 터미널들(650a 내지 650f) 형태의 개별 스위치 제어 터미널들 또는 입력들을 포함한다.

[0067] 당업자라면, 단일-단부 멀티-레벨 출력 드라이버(601)는 도 4b에 도시된 H-브리지 출력 드라이버(401)의 레이아웃 또는 회로 배열과 유사한 레이아웃 또는 회로 배열로 두개의 본질적으로 동일한 출력 드라이버들(601)의 조합에 기초하여 H-브리지 출력 드라이버 토폴로지를 제공하도록 수정가능할 수 있다는 것이 이해될 것이다. 이러한 후자의 출력 드라이버 토폴로지는 CMOS 반도체 스위치들(SW1, SW2, SW3, SW4, SW5 및 SW6)에 대해 적절히 변조된 제어 신호들의 제 1 세트의 생성 및 제 2 출력 드라이버의 대응하는 CMOS 반도체 스위치들에 대해 적절히 변조된 제어 신호들의 제 2 세트의 생성에 의해 라우드스피커 로드 양단에 7-레벨 로드 신호를 제공 가능하게 한다. 마지막으로, 당업자라면, CMOS 단일-단부 멀티-레벨 출력 드라이버(601)는 하나 또는 다수의 쌍(들)의 추가의 CMOS 반도체 스위치들을 SW5 및 SW6와 직렬로 커플링시켜 더 확장될 수 있고, 출력 노드(V_A)에서 추가의 출력 레벨들을 생성하도록 새로운 상호연결 노드들 사이에 추가의 플라잉 커패시터들을 추가할 수 있음을 이해할 것이다.

[0068] 도 7은 본 발명의 제 3 실시예에 따라 라우드스피커 로드(740)에 커플링된 제 1 및 제 2 출력 드라이버들(725 및 726)을 각각 포함하는 H-브리지 출력 드라이버를 갖는 클래스 D 오디오 증폭기의 도식적 다아이그램이다. 토폴로지는, 출력 드라이버들(725 및 726) 각각이 종종 "중성점 클램핑(neutral-point clamped)" 3-레벨 반-브리지로써 지칭된다는 것이다. 제 1 로드 인덕터(738) 및 제 1 로드 커패시터(722)는 저역통과 필터의 형성을 위해 제 1 드라이버(725)의 제 1 출력 노드(V_A)와 라우드스피커 로드(740)의 제 1 터미널 사이에 커플링된다. 또 다른 저역통과 필터는 제 2 드라이버(726)의 제 2 출력 노드(V_B)와 라우드스피커 로드(740)의 제 2 터미널 사이에 커플링된 제 2 로드 인덕터(737)와 제 2 로드 커패시터(723)에 의해 형성된다. 이러한 저역통과 필터들 각각의 목적 및 특성들은 출력 드라이버(401)의 제 1 실시예와 관련하여 이전에 논의된 목적 및 특성들과 동일하다.

[0069] 제 1 출력 드라이버(725)는 제 1 공급 전압(V_S)과, 제 1 출력 드라이버의 제 1 출력 노드(V_A) 사이에서 직렬 커플링된 제 1 반도체 스위치(SW2)를 포함한다. 제 2 반도체 스위치(SW3)는 GND, 즉 제 2 공급 전압과 V_A 사이에

직렬 커플링된다. 제 3 및 제 4 반도체 스위치(SW1 및 SW4) 각각은 중간 지점 전압(1/2 Vs)과 V_A 사이에 직렬 커플링된다. 중간 지점 전압(1/2 Vs)은 제 1 및 선택적으로 제 2 출력 드라이버(725, 726)에 대한 제 3 공급 전압으로써 제 3 공급 전압 소스에 의해 생성된다. 제 3 공급 전압 소스는 중간 지점 전압을 제공하기 위해 제 1 공급 전압(Vs)과 GND 전압 사이에 직렬 커플링된 한쌍의 공급 커패시터들(C1, C2)을 포함한다. 공급 커패시터들(C1 및 C2)은 바람직하게 실질적으로 동일한 커패시턴스를 가짐으로써, 중간 지점 전압이 대략 제 1 공급 전압(Vs)의 절반으로 세팅된다. 반도체 스위치들(SW1, SW2, SW3 및 SW4) 각각은 문제의 반도체 스위치의 상태를 제어하도록 게이트 터미널(G_{C1}, G_{C2}, G_{C3} 및 G_{C4})을 포함한다. 반도체 스위치들(SW1, SW2, SW3 및 SW4)은 NMOS 트랜지스터들과 같은 개별 CMOS 트랜지스터들을 포함할 수 있다.

[0070] 제 2 출력 드라이버(726)은 라우드스피커 로드(740)의 반대 측 또는 터미널에 커플링된 제 2 출력 노드(V_B)를 포함한다. 제 2 출력 드라이버(726)는 제 1 출력 드라이버(725)의 회로 토플로지와 유사한 회로 토플로지로 커플링된 반도체 스위치들(SW5, SW6, SW7 및 SW8)을 포함한다. 제 2 출력 드라이버(726)는 중간 지점 전압의 생성을 위해, 바람직하게는 제 1 출력 드라이버의 제 3 공급 전압 소스와 유사한 개별 제 3 공급 전압 소스를 포함할 수 있다. 대안적으로, 제 1 출력 드라이버(725)에 대해 생성된 중간 지점 전압은 제 2 출력 드라이버에 의해서도 이용될 수 있다. 제 2 출력 드라이버(726)의 회로 토플로지 및 그것의 개별 컴포넌트들의 전기적 특성들은 바람직하게는 제 1 출력 드라이버(725)의 그것들과 실질적으로 동일하다.

[0071] 제어기(703)는 오디오 입력 신호(Audio)를 수신하고, 이로부터 펄스폭 변조 제어 신호들의 제 1 세트 및 펄스폭 변조 제어 신호들의 제 2 세트를 유발하도록 구성된다. 펄스폭 변조 제어 신호들의 제 1 세트는 CMOS 반도체 스위치들(SW1, SW2, SW3 및 SW4)의 게이트 터미널들 각각에 인가되는 V_{C1}, V_{C2}, V_{C3} 및 V_{C4}로 예시된다. 펄스폭 변조 제어 신호들의 제 2 세트는 제 2 출력 드라이버(726) 내에 배열된 CMOS 반도체 스위치들(SW5, SW6, SW7 및 SW8) 각각에 인가되는 V_{C5}, V_{C6}, V_{C7} 및 V_{C8}로 예시된다. 제어기는, 제 1 동작 모드에서는 라우드스피커 로드(740) 양단에서 3-레벨 로드 신호가 생성되고 제 2 동작 모드에서는 라우드스피커 로드(740) 양단에서 5-레벨 로드 신호가 생성되도록, 펄스폭 변조 제어 신호들의 제 1 세트와 펄스폭 변조 제어 신호들의 제 2 세트 사이의 미리 결정된 위상 관계를 제어하도록 구성된다. 펄스폭 변조 제어 신호들의 제 1 및 제 2 세트들의 생성을 위한 프로세스의 예시적 예시되는 도 9와 관련하여 이하에 더 자세히 설명된다.

[0072] 도 8은, 본 발명의 제 4 실시예에 따라 라우드스피커 로드(840)에 각각 커플링된 제 1 및 제 2 출력 드라이버들(825 및 826)을 포함하는 H-브리지 출력 드라이버를 갖는 클래스 D 오디오 증폭기의 도식적 다아이그램이다. 제 1 로드 인덕터(838) 및 제 1 로드 커패시터(822)는 저역통과 필터의 형성을 위해 제 1 드라이버(825)의 제 1 출력 노드(V_A)와 라우드스피커 로드(840)의 제 1 터미널 사이에 커플링된다. 또 다른 저역통과 필터는 제 2 드라이버(826)의 제 2 출력 노드(V_B)와 라우드스피커 로드(840)의 제 2 터미널 사이에 커플링된 제 2 로드 인덕터(837)와 제 2 로드 커패시터(823)에 의해 형성된다. 이러한 저역통과 필터들 각각의 목적 및 특성들은 출력 드라이버(401)의 제 1 실시예와 관련하여 앞서 논의된 것들과 동일하다. 제 1 출력 드라이버(825)는 제 1 공급 전압(Vs)과 제 1 출력 노드(V_A) 사이에 커플링된 제 1 및 제 2 직렬 커플링된 반도체 스위치들(SW1 및 SW2)를 포함한다. 제 3 및 제 4 반도체 스위치들(SW3 및 SW4)은 GND, 즉 제 2 공급 전압과 V_A 사이에 직렬 커플링된다. 제 1 반도체 다이오드(D1)는 중간 지점 전압(1/2 Vs)으로부터, SW1과 SW2 사이에 위치된 제 1 노드(818a)로 커플링된다. 제 2 반도체 다이오드(D2)는 중간 지점 전압(1/2 Vs)으로부터, SW3과 SW4 사이에 위치된 제 2 노드(818b)로 커플링된다. 중간 지점 전압(1/2 Vs)은 제 1 및 선택적으로 제 2 출력 드라이버(825 및 826)에 대한 제 3 공급 전압 소스에 의해 생성된다. 제 3 공급 전압 소스는 중간 지점 전압의 제공을 위해, 제 1 공급 전압(Vs)과 GND 전압 사이에서 직렬 커플링된 한쌍의 공급 커패시터들(C1 및 C2)을 포함한다. 공급 커패시터들(C1, C2)은 바람직하게는, 중간 지점 전압이 대략 제 1 공급 전압(Vs)의 절반으로 세팅되도록, 실질적으로 동일한 커패시턴스를 갖는다. 반도체 스위치들(SW1, SW2, SW3 및 SW4) 각각은 문제의 반도체 스위치의 상태(즉, on-상태 또는 off-상태)의 세팅을 제어하도록 게이트 터미널(G_{C1}, G_{C2}, G_{C3} 및 G_{C4})을 각각 포함한다. 제 2 출력 드라이버(826)는 라우드스피커 로드(840)의 반대 측 또는 터미널에 커플링된 제 2 출력 노드(V_B)를 포함한다. 제 2 출력 드라이버(826)는 제 1 출력 드라이버(825)의 회로 토플로지와 유사한 회로 토플로지로 커플링된 CMOS 반도체 스위치들(SW5, SW6, SW7 및 SW8)을 포함한다. 제 2 출력 드라이버(826)는 개별 중간 지점 전압의 생성을 위해, 바람직하게는 제 1 출력 드라이버의 제 3 공급 전압 소스와 유사한 개별 제 3 공급 전압 소스를 포함할 수 있다. 대안적으로, 제 1 출력 드라이버(825)에 대해 생성된 중간 지점 전압은 제 2 출력 드라이버에 의해서도 이용될 수 있다. 제 2 출력 드라이버(826)의 회로 토플로지 및 그것의 개별 컴포넌트들의 전기

적 특성들은 바람직하게는 제 1 출력 드라이버(825)의 그것들과 실질적으로 동일하다.

[0073] 제어기(803)는 오디오 입력 신호(Audio)를 수신하고, 이로부터 펄스폭 변조 제어 신호들의 제 1 세트 및 펄스폭 변조 제어 신호들의 제 2 세트를 유도하도록 구성된다. 펄스폭 변조 제어 신호들의 제 1 세트는 CMOS 반도체 스위치들(SW1, SW2, SW3 및 SW4)의 게이트 터미널들에 각각 입력되는 V_{C1} , V_{C2} , V_{C3} 및 V_{C4} 로 예시된다. 펄스폭 변조 제어 신호들의 제 2 세트는 제 2 출력 드라이버(826) 내에 배열된 CMOS 반도체 스위치들(SW5, SW6, SW7 및 SW8)(도시안됨)에 각각 인가되는 V_{C5} , V_{C6} , V_{C7} 및 V_{C8} 로 예시된다. 제 1 출력 노드(V_A)에서의 출력 전압은, SW2 및 SW3가 자신들 개별 on-상태들로 세팅될 때 대략 중간 지점 전압(1/2 V_S)으로 세팅될 수 있다. SW2 및 SW3가 동시에 자신들의 on-상태들에 있을 때, 양-방향 전류 경로가 중간 지점 전압과 V_A 사이에 형성되는데, 왜냐하면 D1은 일방향으로 전류를 전도할 것이고 D2는 그 반대 방향으로 전류를 전도할 것이기 때문이다. 그결과, 제 1 출력 노드(V_A)에서의 전압은 원하는 3-레벨 로드 신호의 제공을 위해 3개의 상이한 레벨들로 세팅될 수 있다. 당업자라면, 제 2 출력 노드(V_B)에서의 출력 전압이 대응하는 방식으로 3개의 상이한 레벨들로 세팅될 수 있음을 이해할 것이다.

[0074] 제어기(803)는, 제 1 동작 모드에서는 라우드스피커 로드(840) 양단에 3-레벨 로드 신호가 생성되고 제 2 동작 모드에서는 라우드스피커 로드(840) 양단에 5-레벨 로드 신호가 생성되도록, 펄스폭 변조 제어 신호들의 제 1 세트와 펄스폭 변조 제어 신호들의 제 2 세트 사이의 미리 결정된 위상 관계를 제어하도록 구성된다. 펄스폭 변조 제어 신호들의 제 1 및 제 2 세트들의 생성을 위한 프로세스의 예시적 예시는 도 9와 관련하여 이하에 더 자세히 설명된다.

[0075] 도 9a 및 도 9b는 도 4b에 도시된 H-브리지 출력 드라이버(401)의 반도체 스위치들 각각에 대한 펄스폭 변조 제어 신호들의 생성을 도시한다. 펄스폭 변조 제어 신호들(SW₁ 내지 SW₈)은 도 11에 도시된 제어기(1103)의 스위치 패턴 매핑 회로(도 11의 1119)에 의해서 오디오 입력 신호로부터 유도된다. 도 9a 및 도 9b의 펄스폭 변조 제어 신호들(SW₁ 내지 SW₈)의 예시된 파형 형상들은 오디오 입력 신호의 미리 결정된 비-제로 순간 레벨에 대해, 즉 즉, 변조에 의해 매핑된다. 도 9a는 도 11의 클래스 D 오디오 증폭기(1100)의 3-레벨 동작 모드에서 펄스폭 변조 제어 신호들의 생성을 예시하고, 도 9b는 5-레벨 동작 모드에서 펄스폭 변조 제어 신호들의 생성을 예시한다. 양 동작 모드들에서, 도 11상에 도시된 아날로그 PWM(1115)은 서로 연속적으로 90도 위상-시프트된 4개의 펄스폭 변조 신호들(Φ_0 , Φ_{90} , Φ_{180} 및 Φ_{270})을 유도하고, 그것들을 스위칭 패턴 매핑 회로에 전달하도록 구성된다.

[0076] 도 9a에 도시된 3-레벨 동작 모드에서, 스위칭 패턴 매핑 회로는 제 1 출력 드라이버(도 4b의 항목(425))의 반도체 스위치들(SW₁ 및 SW₂)에 대한 펄스폭 변조 제어 신호들(SW₁ 및 SW₂)로서 펄스폭 변조 신호들(Φ_0 및 Φ_{180})을 선택함으로써 위상 선택을 수행한다. 또한, 스위칭 패턴 매핑 회로는 SW₂ 및 SW₁ 각각에 대해 반대 위상에 있거나 반전된 한쌍의 펄스폭 변조 제어 신호들(SW₃ 및 SW₄)을 제 1 출력 드라이버의 반도체 스위치들(SW₃ 및 SW₄)에 대한 펄스폭 변조 제어 신호들로서 생성한다. 게다가, 선택된 펄스폭 변조 신호들(Φ_0 및 Φ_{180})로부터, 스위칭 패턴 매핑 회로는 제 2 출력 드라이버(도 4b의 항목(426))의 반도체 스위치들(SW₈ 및 SW₇)에 대해 펄스폭 변조 제어 신호들(SW₈ 및 SW₇)을 생성한다. 또한, 스위칭 패턴 매핑 회로는 SW₈ 및 SW₇ 각각에 대해 반대 위상에 있는 한쌍의 펄스폭 변조 제어 신호들(SW₅ 및 SW₆)을 제 2 출력 드라이버의 반도체 스위치들(SW₈ 및 SW₇)에 대한 펄스폭 변조 제어 신호들로서 생성한다. 그결과, 3-레벨 동작 모드에서 스위칭 패턴 매핑 회로는 제 2 출력 드라이버에 대한 펄스폭 변조 제어 신호들(SW₅, SW₆, SW₇ 및 SW₈)의 제 2 세트의 대응하는 펄스폭 변조 제어 신호들에 대해 반대 위상을 갖거나 반전된, 제 1 출력 드라이버에 대한 펄스폭 변조 제어 신호들(SW₁, SW₂, SW₃ 및 SW₄)의 형태로 변조 제어 신호들의 제 1 세트를 형성하도록 구성된다. 이러한 방식으로, 제 1 출력 드라이버에 대한 펄스폭 변조 제어 신호들(SW₁)은 제 2 출력 드라이버에 대한 대응하는 펄스폭 변조 제어 신호(SW₅)에 대해 반대 위상을 갖게 되고, 제 1 출력 드라이버에 대한 SW₂는 제 2 출력 드라이버에 대한 대응하는 펄스폭 변조 제어 신호(SW₆)에 대해 반대 위상을 갖게 되는 등등이 일어난다.

[0077] 도 9b 상에 도시된 5-레벨 동작 모드에서, 스위칭 패턴 매핑 회로는 제 1 출력 드라이버에 대한 펄스폭 변조 제

어 신호들(SW_1 , SW_2 , SW_3 및 SW_4)의 형태로 변조 제어 신호들의 제 1 세트를 생성하기 이전에, 예시된 바와 같이 모든 펄스폭 변조 신호들(Φ_0 , Φ_{90} , Φ_{180} 및 Φ_{270})을 선택하고 재-배열함으로써 위상 선택을 수행한다. 도 9a 와 비교하면, 제 1 출력 드라이버의 펄스폭 변조 제어 신호들(SW_1 , SW_2 , SW_3 및 SW_4)의 각각의 파형들은 3-레벨 및 5-레벨 동작 모드들에서 동일하다는 것은 자명하다. 그러나, 제 2 출력 드라이버의 펄스폭 변조 제어 신호들(SW_5 , SW_6 , SW_7 및 SW_8)의 형태의 제어 신호들의 제 2 세트의 파형들은 예시된 바와 같이 3-레벨 및 5-레벨 동작 모드들간에 상이하다. 스위칭 패턴 매핑 회로는 제 1 출력 드라이버에 대한 펄스폭 변조 제어 신호들(SW_1 , SW_2 , SW_3 및 SW_4)의 제 1 세트의 대응하는 펄스폭 변조 제어 신호들에 대해 반전되고 추가적으로 -90도만큼 위상 시프트되는, 제 2 출력 드라이버에 대한 펄스폭 변조 제어 신호들(SW_5 , SW_6 , SW_7 및 SW_8)의 제 2 세트 내의 펄스폭 변조 제어 신호들을 생성하도록 구성된다. 이러한 방식으로, 제 2 출력 드라이버에 대한 펄스폭 변조 제어 신호(SW_5)는 제 1 출력 드라이버에 대한 대응하는 펄스폭 변조 제어 신호(SW_1)에 대해 반전되고 추가적으로 -90도 위상 시프트되고, 제 2 출력 드라이버에 대한 SW_6 는 제 1 출력 드라이버에 대한 대응하는 펄스폭 변조 제어 신호(SW_2)에 대해 반전되고 추가적으로 -90도 위상 시프트되는 등등이 일어난다.

[0078] 도 10a) 및 도 10b)는 펄스폭 변조 스위치 제어 신호들의 변조 라티튜드 사이클에 대해 구성된 로드 커패시터 리플 전압 및 로드 인덕터 리플 전류 각각의 개별 그래프들이다. 0.5 변조 라티튜드 사이클은, 그래프(1001) 상에서 "아이들 동작(idle operation)"으로 표시되는 바와 같은 오디오 입력 신호의 제로 레벨에 차례로 대응하는 펄스폭 변조 오디오 신호의 제로 변조에 대응한다. 도시된 그래프들은 10㎲(도 4b의 항목(438) 참조)의 로드 인덕터 값 및 1㎯H(도 4b의 항목(422) 참조)의 로드 커패시터 값에 대해 작도되었다. H-브리지 출력 드라이버(401)의 제 1 또는 상위 DC 공급 전압(Vs) 또는 P_{VDD} 는 40볼트로 세팅되었다. 펄스폭 변조 스위치 제어들 신호들 각각의 스위칭 또는 변조 주파수는 400 kHz로 세팅되었다.

[0079] 도 10a)의 그래프(1001)는 두개의 상이한 탑입의 클래스 D 오디오 증폭기들에 대해 로드 커패시터(도 4b의 항목(422)) 상에서 볼트 피크-투-피크치로 측정된 로드 커패시터 리플 전압을 표시한다. 곡선(1003)은 도 1, 도 2 및 도 3에서 표시된 바와 같은 2-레벨 클래스 AD 또는 BD 변조를 이용하는 종래 기술의 출력 드라이버들에 대한 커패시터 리플 전압을 도시한다. 곡선(1005)은 본 발명의 제 1 실시예에 따른 도 4b의 H-브리지 출력 드라이버(401)의 3-레벨 동작 모드에 대한 커패시터 리플 전압을 도시한다. 특해 제로 변조에 대해 피크-투-피크 커패시터 리플 전압의 대량 감소는 자명하다. 커패시터 리플 전압의 이러한 감소는, 심지어는 로드 커패시터들의 동일한 커패시턴스 값들이 이용될때에도, 본 H-브리지 출력 드라이버(401)에 기반하는 클래스 D 증폭기로부터의 EMI 방출들에 대한 매우 이로운 억제 또는 감쇠를 이끌어낸다.

[0080] 도 10b)의 그래프(1011)는 두개의 상이한 탑입들의 클래스 D 오디오 증폭기들에 대한 암페어 피크-투-피크로 측정된 로드 인덕터(도 4b의 항목(438))에서의 로드 인덕터 리플 전류를 표시한다. 곡선(1013)은 10 ㎯H의 로드 인덕터 값과 1 ㎯F의 로드 커패시터 값으로 측정된 도 1, 도 2 및 도 3에 표시된 종래 기술의 2-레벨 클래스 AB 또는 BD 변조 출력 드라이버들에 대한 로드 인덕터 리플 전류를 도시한다. 곡선(1015)은 도 4b의 H-브리지 출력 드라이버(401)의 3-레벨 동작 모드에 대한 로드 인덕터 리플 전류를 도시한다. 그러나, 곡선(1015)의 경우에, 로드 인덕터 값은 (2-레벨 클래스 AD 또는 BD 변조 출력 드라이버들에 대한 10 ㎯H와 비교하면) 단지 2.2 ㎯H이고, 로드 커패시터 값은 0.47 ㎯F이다. 인덕터 리플 전류의 진폭의 대폭 감소는 제로 변조에 대해 달성되는데, 즉, 현 H-브리지 출력 드라이버에 대한 로드 인덕턴스 및 로드 커패시턴스가 상당하게 더 작은 값들임에도 불구하고, 일상의 리스닝 상황들을 감당하고자 하는 작은 오디오 입력 신호들에 대해 일어난다.

[0081] 도 11은 본 발명의 선호되는 실시예에 따라 제어기(1103)에 커플링된, 도 4b 상에 도시된 H-브리지 출력 드라이버(401)와 유사한 H-브리지 드라이버(1101)를 포함하는 클래스 D 오디오 증폭기(1100)를 도식적으로 도시한다. 본 클래스 D 오디오 증폭기(1100)는 이하에서 자세히 설명되는 바와 같이 두개의 상이한 동작 모드들 사이의 고도의 오디오 입력 신호 레벨 종속 스위칭을 이용한다.

[0082] 도식적으로 예시된 H-브리지 드라이버(1101)는 전력 스테이지(1107)의 8개 반도체 스위치들에 대한 개별 펄스폭 변조 제어 신호들의 진폭을, 개별 반도체 스위치들이 ON 및 OFF 상태들에 적절하게 배열되도록 허용하는 레벨로 증가시키는 게이트 구동 회로(1109)를 포함한다. 게이트 구동 회로(1109)는 다양한 탑입들의 레벨 컨버터들을

포함할 수 있다. 펄스폭 변조 스위치 제어 신호들 각각의 진폭은, 제어기(1103)를 포함하는 일반적 CMOS 집적 회로로부터 공급될 때, 대략 1.8V, 3.3V 또는 5V일 수 있다. 만일 예컨대 H-브리지 드라이버의 DC 공급 전압이 약 40V로 세팅되면, 펄스폭 변조 스위치 제어 신호들의 진폭들은 또한 게이트 구동 회로(1109)에 의해 40V 또는 그 이상으로 상승된다. 전력 스테이지(1107)는 위에서 언급한 바와 같이 도 4b 상에 도시된 H-브리지 출력 드라이버(401)와 상당히 동일한 회로 토플로지를 갖는다. 출력 필터 회로(1105)의 특성들은 바람직하게는 H-브리지 출력 드라이버(401)에 커플링된 출력 필터와도 유사하다. 그에 따라 출력 필터 회로(1105)는 H-브리지 출력 드라이버(1101)의 제 1 및 제 2 출력 노드 각각에 커플링된 로드 인덕터 및 로드 커패시터를 포함한다.

[0083] 제어기(1103)는 바람직하게는 실행 가능한 프로그램 명령어들의 세트에 따라 이하에서 설명된 함수들 또는 연산들을 제공하도록 구성된 소프트웨어 프로그램 가능한 디지털 신호 처리기(DSP)를 포함한다. 제어기(1103)는 아날로그 오디오 입력 신호들의 수신을 위한 감산 회로(1131)를 포함한다. 출력 필터 회로(1105)에 앞서 H-브리지 출력 드라이버의 제 1 또는 제 2 출력 노드로부터 유도되는 피드백 신호는 최종 오디오 신호의 형성을 위해 감산 회로(1131)에 의해 아날로그 오디오 입력 신호로부터 감산된다. 최종 오디오 신호는 루프 필터(1117)로 전송된다. 루프 필터(1117)는 아날로그 펄스폭 변조기 회로(1115) 또는 아날로그 PWM으로 전송하기 이전에 상기 최종 오디오 입력 신호를 저역통과 필터링시키는, 적분기 심볼들 및 적분기 계수들(K_1-K_n)로 도식적 예시된, 하나 또는 다수의 적분기들을 포함한다. 아날로그 PWM(1115)의 캐리어 주파수는 동기화 펄스들을 아날로그 PWM(1115)로 발생시키는 PWM 클록 회로(1121)에 의해 제어된다. 아날로그 PWM(1115)은 PWM 클록 회로(1121)에 의해 세팅된 캐리어 주파수로 자연적으로 샘플링된 펄스폭 변조 오디오 신호를 생성시킨다. 자연적으로 샘플링된 펄스폭 변조 오디오 신호는 스위칭 패턴 매핑 회로(1119)로 전달된다. 스위칭 패턴 매핑 회로(1119)는 도 9a 및 도 9b와 관련하여 앞서 설명된 바와 같이 전력 스테이지(1107)의 8개 반도체 스위치들 각각에 대해 적절하게 위상 및 시간 동조된 펄스폭 변조된 제어 신호를 생성하도록 구성된다. 따라서, 본 발명의 현실시예에서, 스위칭 패턴 매핑 회로(1119)의 출력은 선택적 타이밍 제어기(1133)로 전달되는 8개의 펄스폭 변조 제어 신호들이다. 타이밍 제어기(1133)는 예컨대, 동일한 제어 신호들의 비-중첩을 보장하기 위해, 제어 신호들의 특정 제어 신호들 쌍들 사이에서 테드-타임(dead-time) 제어와 같은, 8개의 펄스폭 변조 제어 신호 중 하나 또는 다수에 대해 특정 시간 기반 조정들을 실행하도록 조정될 수 있다. 그 후 8개의 시간-기반 조정된 펄스폭 변조 제어 신호들은 위에서 설명된 바와 같이 게이트 드라이브(1109)로 전송된다.

[0084] 일실시예에서, 스위칭 패턴 매핑 회로(1119)는 클래스 D 증폭기의 클록 신호(Clock)에 의해 동작되는 디지털 레지스터로서 구현되는 샘플링 회로를 포함한다. 디지털 레지스터는 자연적으로 샘플링된 펄스폭 변조 오디오 신호를 나타내는 균일하게 샘플링된 펄스폭 변조 오디오 신호를 제공하기 위해, 자연적으로 샘플링된 펄스폭 변조 오디오 신호의 신호 값을 클록 신호에 동기적으로 샘플링 또는 래칭한다. 레지스터가 동작되는 샘플링 주파수는 100kHz 내지 1.2MHz 사이의 자연적으로 샘플링된 펄스폭 변조 오디오 신호의 캐리어 주파수들에 대해 50MHz 내지 200MHz와 같이 10MHz 내지 400MHz 값으로 세팅될 수 있다.

[0085] 다른 실시예들에서, 스위칭 패턴 매핑 회로(1119)는, 전력 스테이지(1107)의 8개 반도체 스위치들에 대한 개별적 펄스폭 변조 제어 신호들 각각이 자연적으로 샘플링된 펄스폭 변조 오디오 신호이도록, 전체적으로, 아날로그 도메인에서 동작한다.

[0086] 그러나, 위의 두가지 실시예들 모두에서, 스위칭 패턴 매핑 회로(1119)는 도 4b, 도 9a 및 도 9b와 관련하여 위에서 설명된 바와 같이 H-브리지 출력 드라이버(1107)의 8개의 개별 반도체 스위치들에 대해 적절한 타이밍 및 극성을 갖는 펄스폭 변조 스위치 제어 신호들을 발생시키도록 구성된다. 펄스폭 변조 제어 신호들 각각의 캐리어 주파수는 클록 관리 회로(1123)에 의해 세팅된 클록 주파수 제어 신호에 따라 동작하는 PWM 클록 발생기(1121)에 의해 세팅된다. 이에 따라 클록 관리 회로(1123)는 PWM 클록 발생기(1121)의 캐리어 주파수를 제어하도록 조정된다. 전력 관리 회로(1125)는 전력 관리 회로(1125)로 하여금 스위칭 패턴 매핑 회로(1119)의 입력으로 공급되는 펄스폭 변조 오디오 신호의 변조 드리븐 사이클을 검출하도록 허용하는, 변조 감지 입력 포트(1127)를 포함한다. 검출된 변조 드리븐 사이클은 최종 오디오 입력 신호의 순간 레벨을 표시하기 때문에, 전력 관리 모듈은 펄스폭 변조 제어 신호들 또는 스위치 제어 신호들의 캐리어 주파수 세팅을 제어하기 위해 이러한 오디오 레벨 정보를 활용한다. 또한, 전력 관리 회로 또는 모듈(1125)은 H-브리지 출력 드라이버(1107)의 출력 노드들에서 3-레벨 변조 모드와 5-레벨 변조 모드 중 하나를 선택하기 위해 오디오 레벨 정보를 활용하도록 더 조정된다. 본 실시예에서, 전력 관리 회로(1125)는 검출된 변조 드리븐 사이클에 따라 3개의 개별 동작 모드들 사이에서 스위칭하도록 구성된다. 낮은 및 높은 변조 임계치들은 캐리어 주파수의 적절한 세팅들 및 동작 모드(본 실시예에서는 3-레벨 모드 또는 5-레벨 모드)의 절절한 세팅 모두를 결정함으로써, 검출된 변조 드리븐 사이클이 낮은 변조 임계치보다 낮을 때 제 1 또는 수퍼-아이들 모드가 입력된다. 이러한 제 1 변조 임계치는 예컨

대 약 0.02와 같은, 0.01 내지 0.05 사이의 변조 인덱스로 세팅될 수 있다. 수퍼-아이들 모드에서, 캐리어 주파수(f_{SW})는 약 150kHz로 세팅될 수 있고, 스위치 제어 신호들은 바람직하게는 스위칭 패턴 매핑 회로(1119)에 의해 5-레벨 변조를 제공하도록 구성된다. 이러한 동작 모드는 도 12에서 수퍼-아이들 모드(1203)로써 도표로 도시되고, 여기서 수평 화살표는 오디오 입력 신호 레벨의 증가 방향, 따라서 증가하는 변조 듀티 사이클을 나타낸다.

[0087] 전력 관리 회로(1125)는, 일단 검출된 변조 듀티 사이클이 낮은 변조 임계치를 초과하지만 여전히 높은 변조 임계치 아래에 존재하면, 제 2 또는 저-전력 모드(1205)로 스위칭하도록 구성된다. 이러한 제 2 변조 임계치는 예컨대 약 0.1과 같은, 0.05 내지 0.2 사이의 변조 인덱스로 세팅될 수 있다. 저-전력 모드에서, 캐리어 주파수(f_{SW})는 바람직하게 수퍼-아이들 모드에 대해 증가되는데, 왜냐하면 이는 전력 스테이지(1107)의 H-브리지 출력 드라이버 내 비-선형성의 억제를 개선시키기 위해 피드백 경로의 고 루프 대역폭을 허용하기 때문이다. 캐리어 주파수(f_{SW})는 추후 캐리어 주파수의 약 두배로 세팅될 수 있다. 스위치 제어 신호들을, 바람직하게는 자연적으로 샘플링된 펄스폭 변조 오디오 신호의 캐리어 주파수(f_{SW})의 주어진 세팅에 대해 피드백 경로의 루프 대역폭을 최대화하도록, 기존의 5-레벨 변조를 유지하게끔 구성된다.

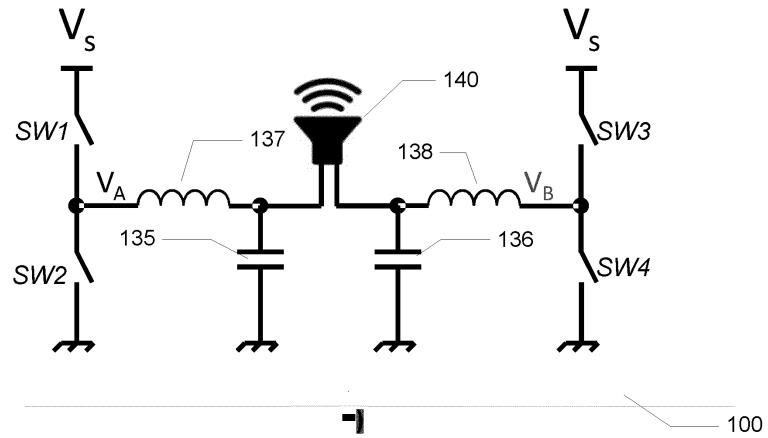
[0088] 마지막으로, 전력 관리 회로(1125)는, 일단 검출된 변조 듀티 사이클이 높은 변조 임계를 초과할때, 제 3 또는 정규 모드(1207)로 스위칭하도록 구성된다. 정규 모드에서, 캐리어 주파수(f_{SW})는 바람직하게 정규 모드 내 동작 모드의 변화로 인해 저-전력 모드의 캐리어 주파수에 대해 미리 결정된 양만큼 증가된다. 이러한 변화는, 만일 캐리어 주파수가 일정하게 유지된다면, 루프 대역폭을 감소시키는 경향을 가질 것이다. 그러나, 라우드스피커 로드 양단의 출력 신호의 3-레벨 변조는 큰 오디오 신호 레벨들에서의 EMI 성능을 향상시키기 위한 유리한 방식으로 로드 커뮤니케이션 리플 전압의 공통 모드 컴포넌트를 억제한다.

[0089] 특정 실시예들에서, 전력 관리 회로(1125)는 필터 제어 신호(1129)를 통해 검출된 변조 듀티 사이클에 따라 조정 방식으로 루프 필터(1117)의 주파수 응답 특성들을 변경시키도록 조정될 수 있다. 이는 특히 위에서 설명된 수퍼-아이들 모드, 저-전력 모드 및 정규 모드 사이를 스위칭하는 것에 응답하여 기존의 루프 필터 대역폭을 유지 또는 변화시키는데 유용하다.

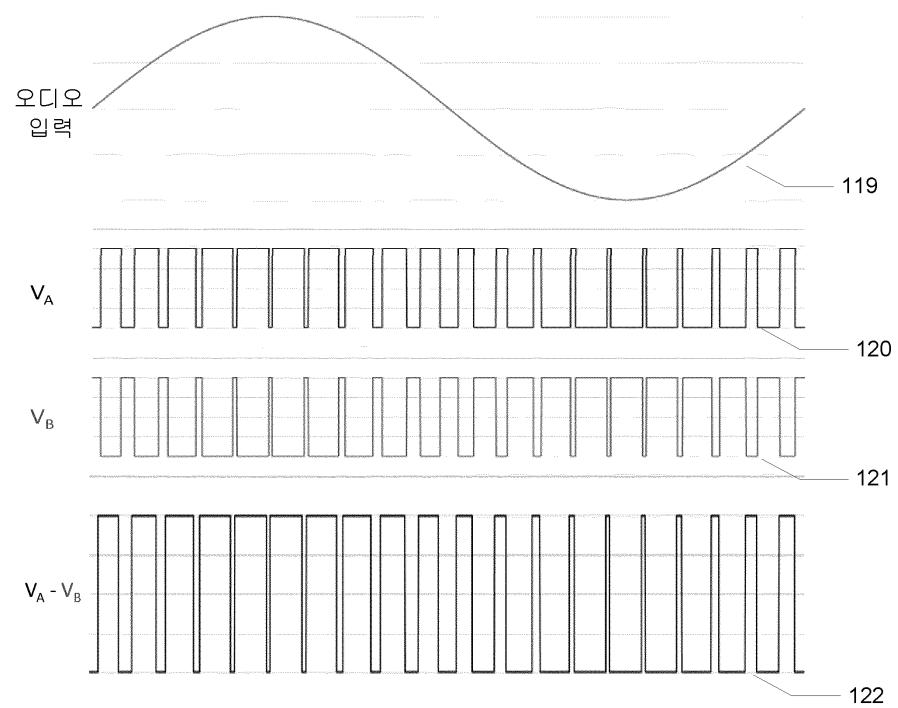
[0090] 도 13은 도 11 및 도 12와 관련하여 위에서 개시된 변조 듀티 사이크 종속 모드 스위칭 방식을 적용하는, 도 4b 상에 도시된 본 발명에 따른 H-브리지 출력 드라이버와 비교하여, AD 변조를 이용하는 도 2에 도시된 종래 기술 H-브리지 출력 드라이버에 대한 실험적으로 기록된 전력 방산 데이터를 도시한다. 예시된 두가지 경우들에서 오디오 입력 신호는 1kHz 사인파이고, 라우드스피커 로드는 8옴이다. 종래 기술의 H-브리지 드라이버는 9.4 μ H의 로드 인덕터 값 및 400kHz의 변조 주파수를 이용한다. 본 발명에 따른 H-브리지 출력 드라이버는 2.2 μ H의 로드 인덕터 값 및 600kHz의 변조 주파수를 이용한다. 곡선(1301)은 종래 기술의 H-브리지 출력 드라이버에 대해 와트로 측정된 전력 손실 대 공급된 로드 전력 또는 출력 전력을 도시하는 반면에, 곡선(1303)은 본 발명에 따른 H-브리지 출력 드라이버에 대한 동일한 성능 지수를 나타낸다. 예시된 바와 같이, 전력 손실의 상당한 감소가 H-브리지 출력 드라이버들의 대다수의 선형 동작 범위에 걸쳐 본 발명에 의해 제공된다. 1와트보다 더 작은 출력 전력들과 같은 작은 값들의 전달된 출력 전력에 대한 전력 손실의 표시된 감소가 특히 눈의 띠는데, 왜냐하면 이러한 전력 범위는 다수의 일상 리스닝 상황들에서 이용되기 때문이다. 측정된 전력 방산 절약치는 작은 값들의 출력 또는 로드 전력에 대한 약 9배에 달한다. 이러한 현저하게 향상된 에너지 효율성은 본 H-브리지 드라이버에 대한 큰 로드 인덕터 또는 로드 커뮤니케이션 리플 전압의 공통 모드 컴포넌트를 줄이는데, - 이와는 반대로 도 13의 실험적으로 기록된 전력 손실 데이터에 대한 조건들 하에서는 로드 인덕터가 현저히 더 작다.

도면

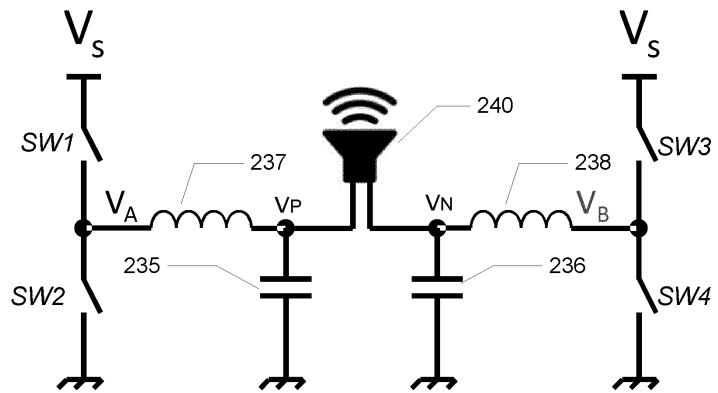
도면 1a



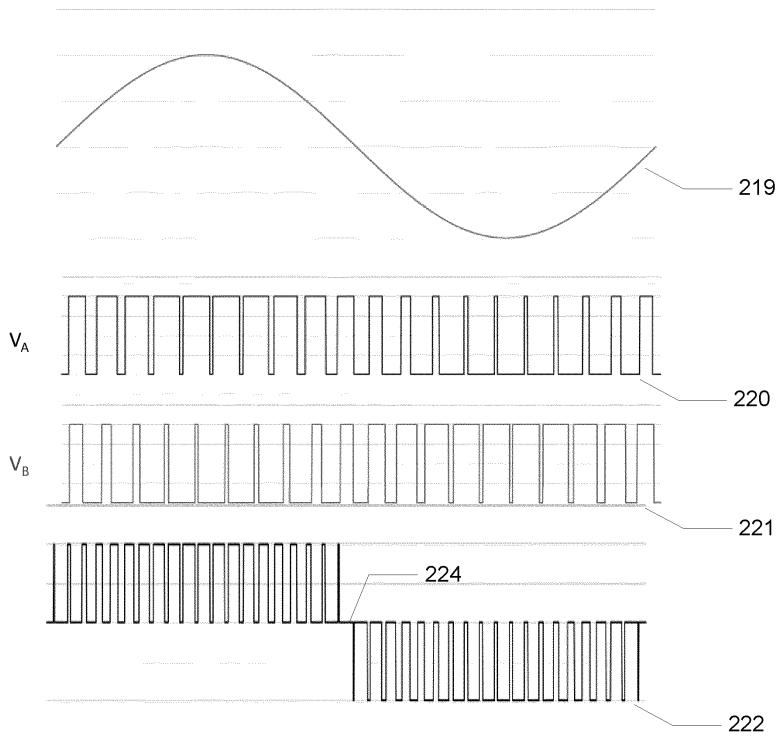
도면 1b



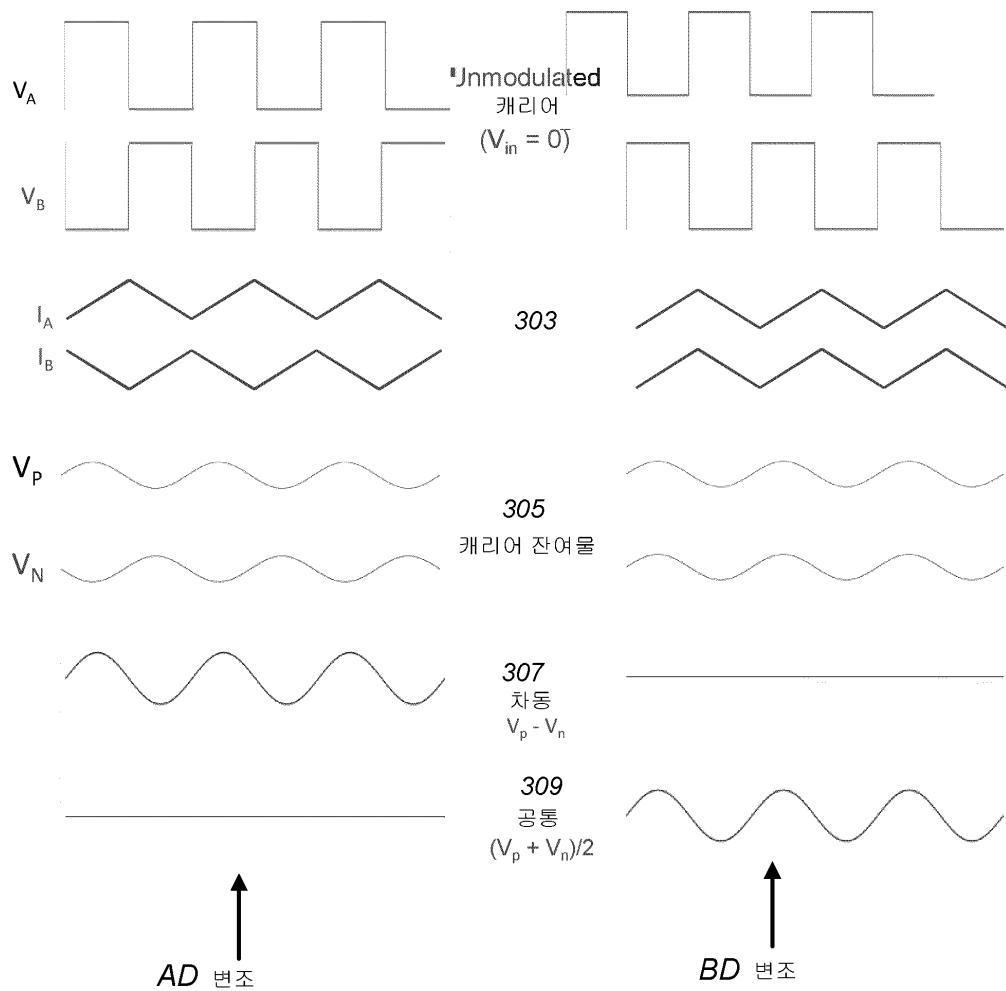
도면2a



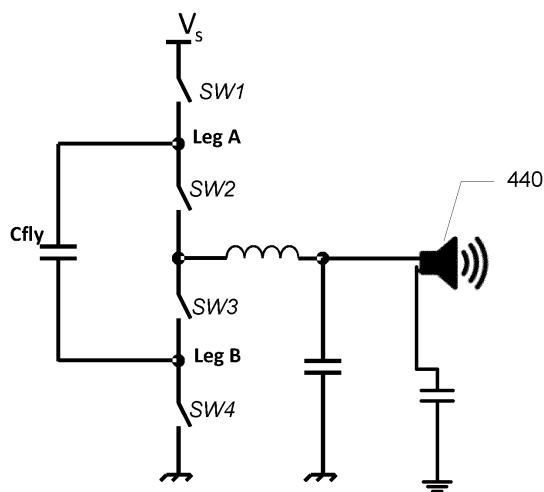
도면2b



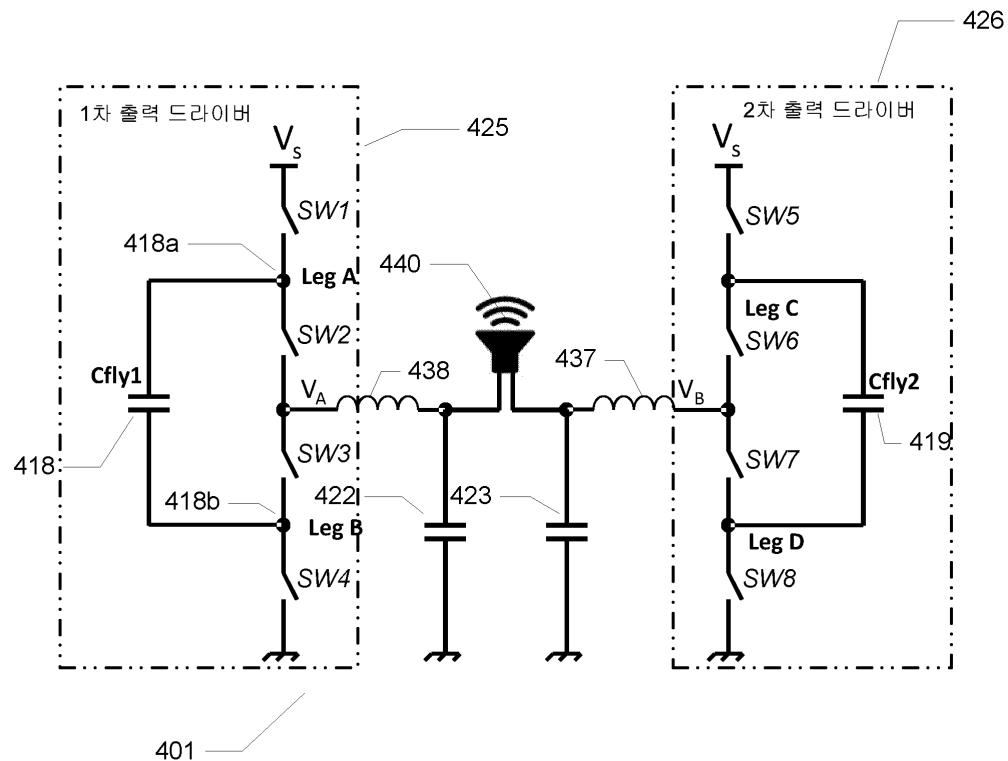
도면3



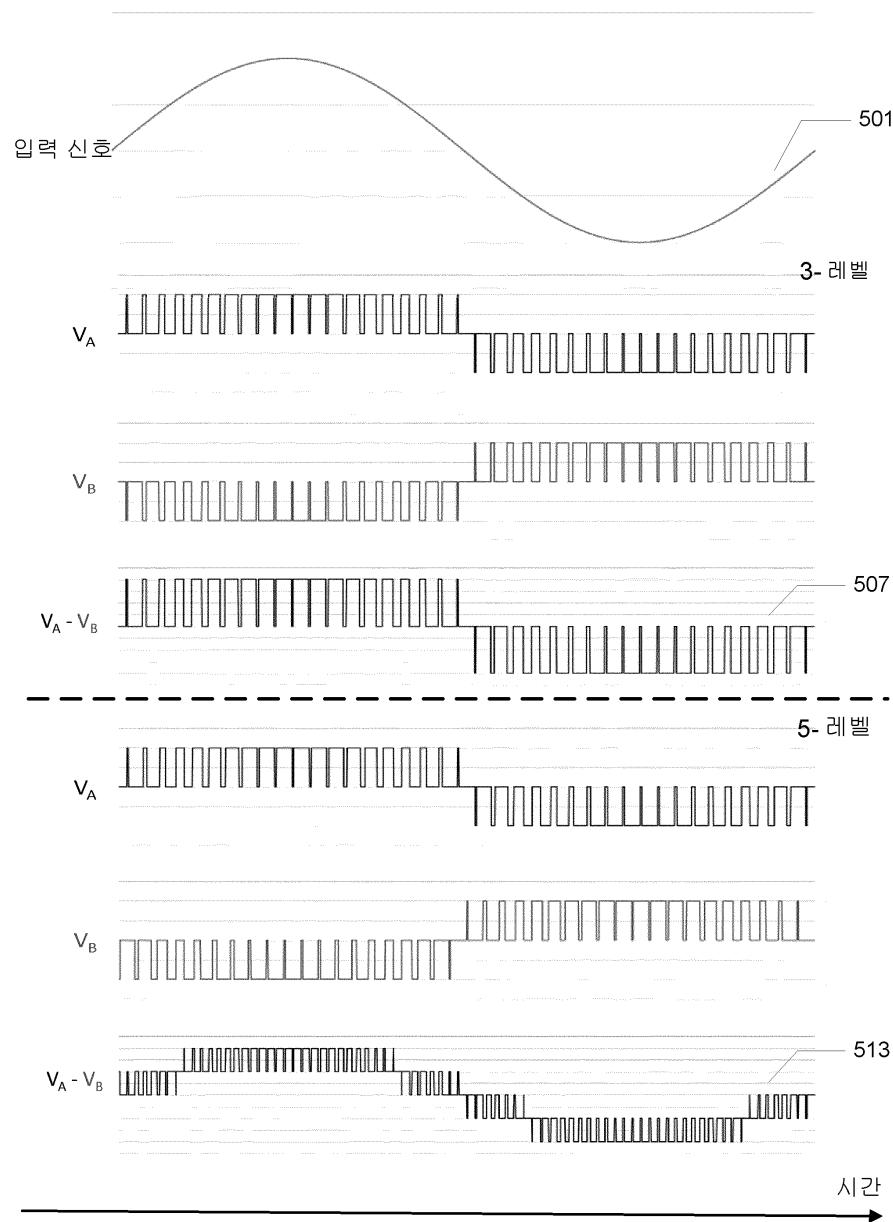
도면4a



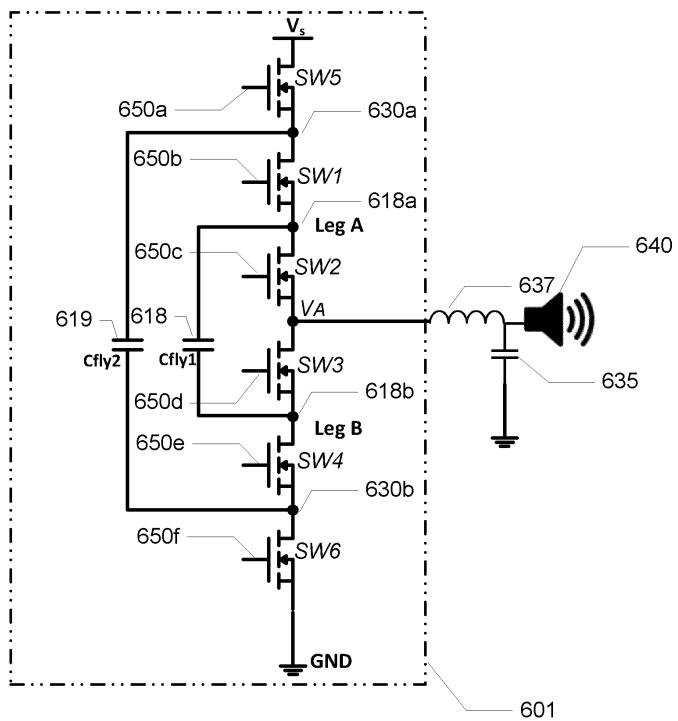
도면4b



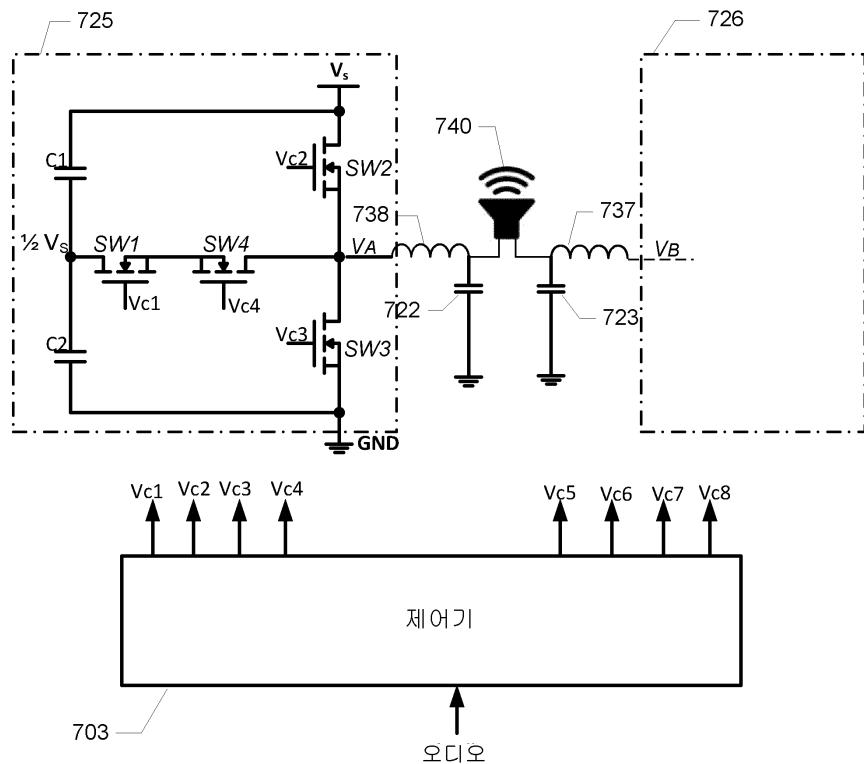
도면5



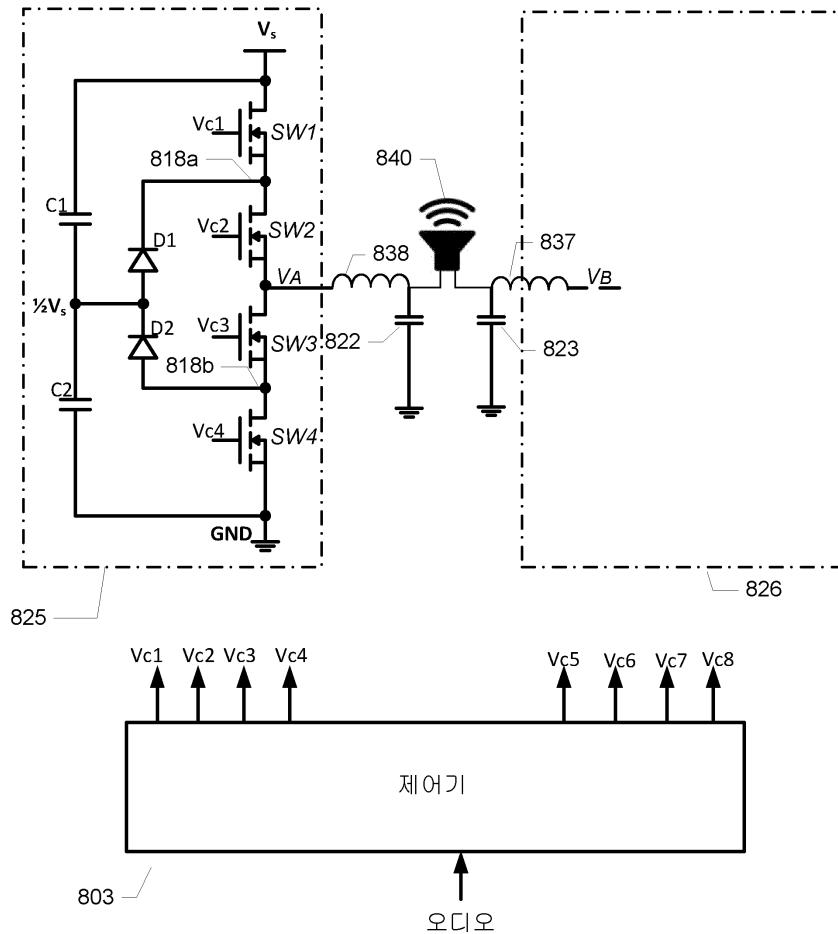
도면6



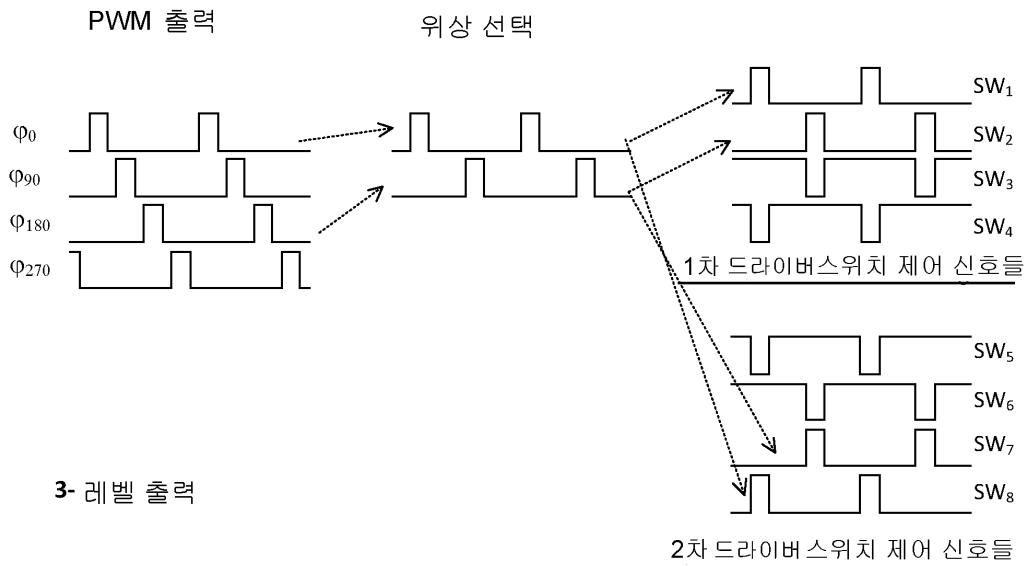
도면7



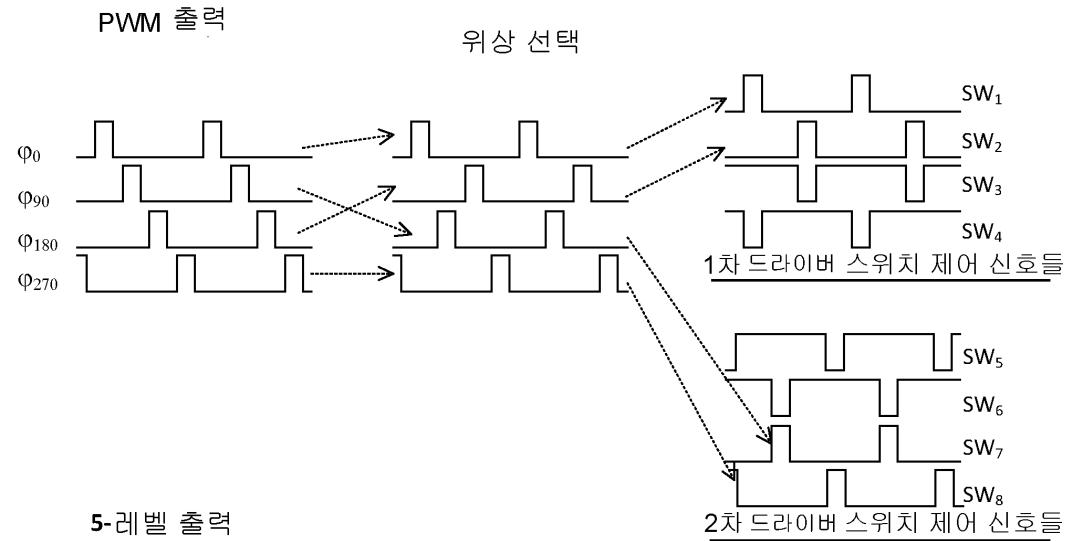
도면8



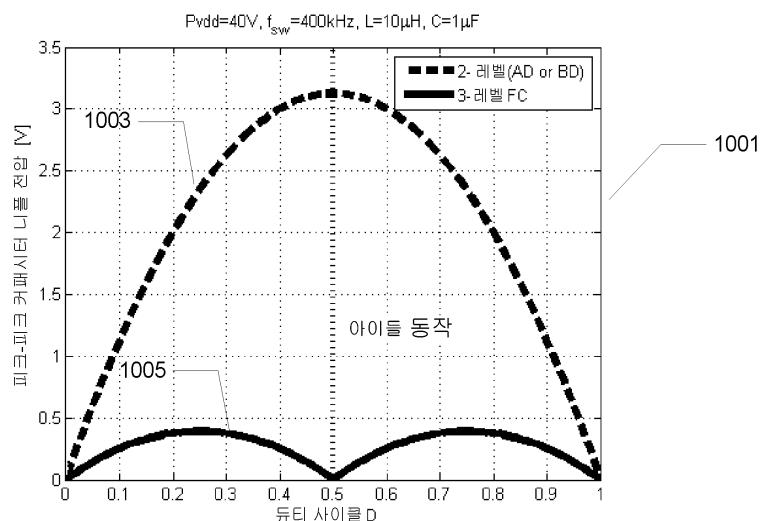
도면9a



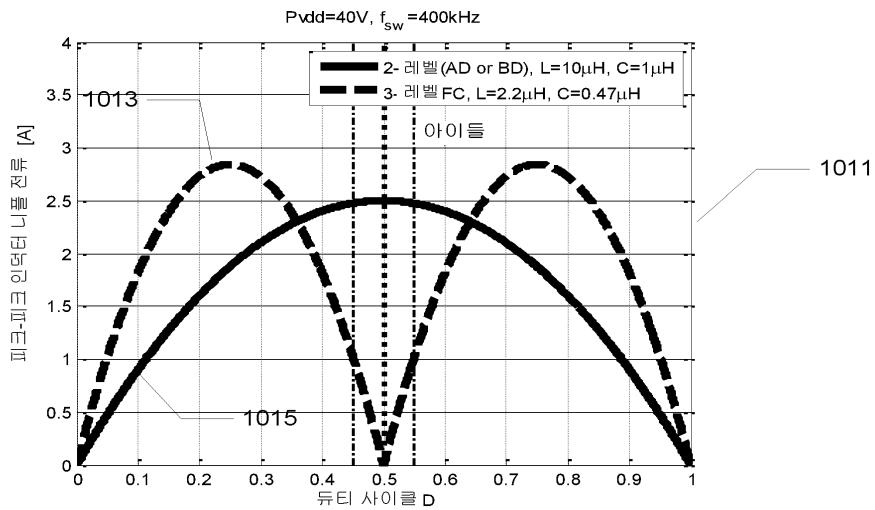
도면9b



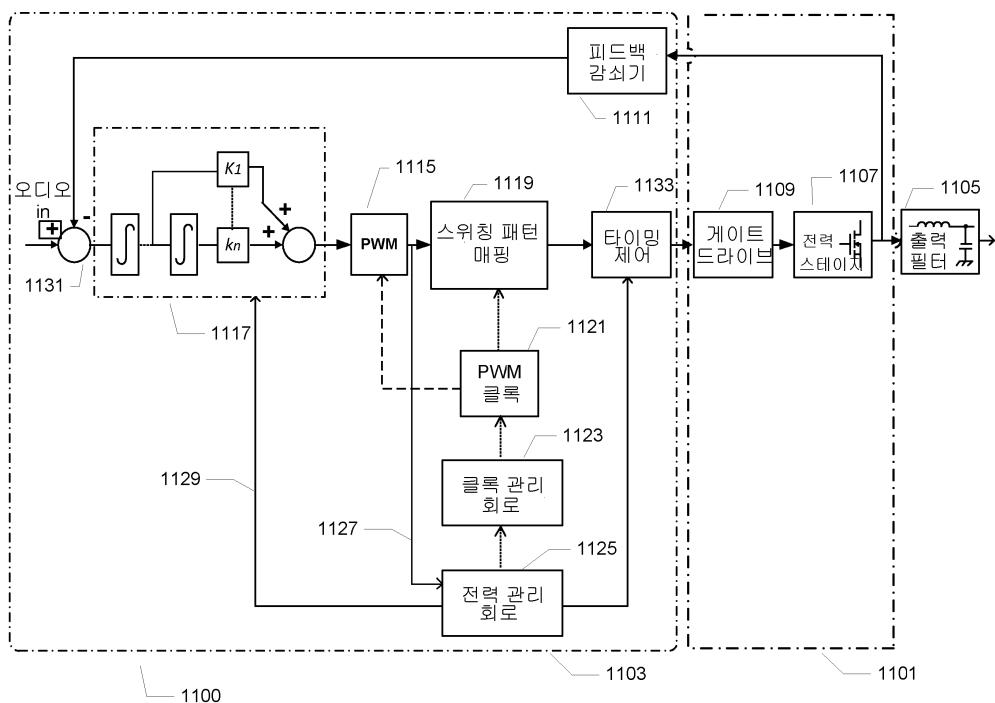
도면10a



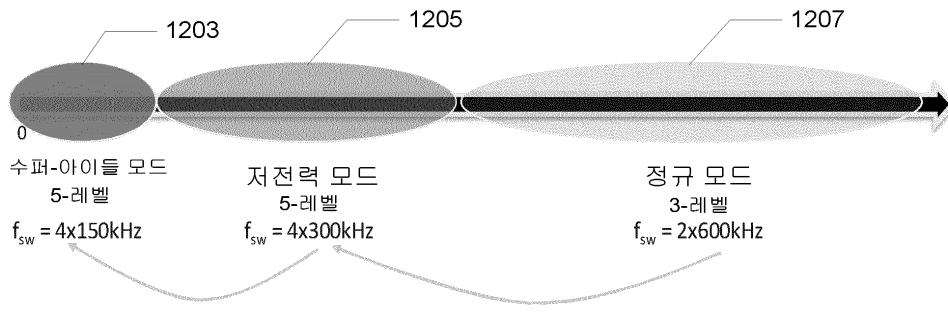
도면10b



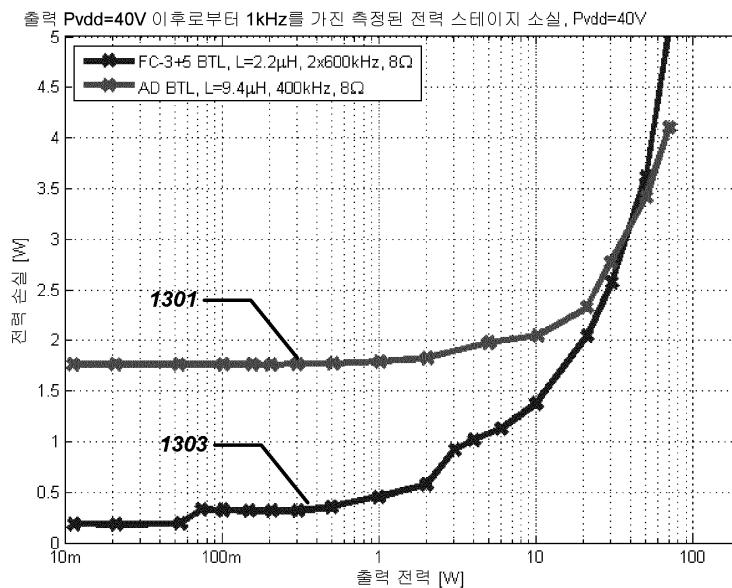
도면11



도면12



도면13



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 10 13째줄

【변경전】

상기 제 5-레벨 로드 신호

【변경후】

상기 5-레벨 로드 신호