

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7631306号  
(P7631306)

(45)発行日 令和7年2月18日(2025.2.18)

(24)登録日 令和7年2月7日(2025.2.7)

(51)国際特許分類

F I

H O 2 M 3/155(2006.01)

H O 2 M 3/155

W

H O 2 M 3/155

H

請求項の数 16 (全24頁)

|                   |                             |          |                            |
|-------------------|-----------------------------|----------|----------------------------|
| (21)出願番号          | 特願2022-506945(P2022-506945) | (73)特許権者 | 522046612                  |
| (86)(22)出願日       | 令和2年8月4日(2020.8.4)          |          | ビー．ジー．ネゲヴ テクノロジーズ ア        |
| (65)公表番号          | 特表2022-543418(P2022-543418  |          | ンド アプリケーションズ リミテッド，        |
|                   | A)                          |          | アト ベン－グリオン ユニバーシティー        |
| (43)公表日           | 令和4年10月12日(2022.10.12)      |          | イスラエル国 8 4 1 0 5 0 1 ビアー   |
| (86)国際出願番号        | PCT/IL2020/050853           |          | シェヴァ，ピーオービー 6 5 3，ハー       |
| (87)国際公開番号        | WO2021/024254               |          | エナージャ ストリート 7 7            |
| (87)国際公開日         | 令和3年2月11日(2021.2.11)        | (74)代理人  | 110002572                  |
| 審査請求日             | 令和5年5月23日(2023.5.23)        |          | 弁理士法人平木国際特許事務所             |
| (31)優先権主張番号       | 62/882,531                  | (72)発明者  | ベレツ，モル モルデカイ               |
| (32)優先日           | 令和1年8月4日(2019.8.4)          |          | イスラエル 8 5 3 3 8 0 0 レハヴィム  |
| (33)優先権主張国・地域又は機関 | 米国(US)                      | 審査官      | ，ミッドバロン ストリート 1 3<br>安食 泰秀 |

最終頁に続く

(54)【発明の名称】 電流バランシングおよび理想に近い過渡応答を有する高性能多相V R M用のデジタルコン

トローラ

(57)【特許請求の範囲】

【請求項1】

負荷に対して接続された出力を有する多相平均電流モード電圧レギュレータを制御する混合信号コントローラであって、

a．遅延線（DL）に基づくデジタル電圧サンプリングアナログ－デジタル変換器であって、出力電圧信号のサンプルを取得し、前記出力電圧信号をアナログからデジタルに変換するように構成された、デジタル電圧サンプリングアナログ－デジタル変換器（ADC）；

b．遅延線（DL）に基づくデジタル電流サンプリングADCであって、フェーズ毎のインダクタ電流のサンプルを取得し、前記インダクタ電流をアナログからデジタルに変換するように構成された、デジタル電流サンプリングADC；

c．電圧レギュレーションのためのデジタル電圧補償器であって、電圧ループによって生成されたデジタル電圧誤差信号  $v_e[n]$  を入力として受信し、前記デジタル電圧誤差信号に基づいてデジタル電流基準信号を生成するように構成された、デジタル電圧補償器；

d．電流レギュレーションのためのデジタル電流補償器であって、入力としてデジタル電流誤差信号  $i_e[n]$  を受信し、前記デジタル電流誤差信号に基づいてデューティ比指令信号を生成する、デジタル電流補償器；

e．DLに基づく多相デジタルパルス幅変調器（DPWM）であって、各フェーズの前記デューティ比指令信号を入力として受信し、前記変換器のトランジスタのゲートに対して供給されるパルス幅変調信号（フェーズごと）を生成し、これにより、前記負荷に対し

て供給される1フェーズ当たりの電流および出力電圧を制御する、デジタルパルス幅変調器(DPWM)；

f. 出力電圧およびフェーズ当たりのインダクタ電流の差動測定値を受信するアナログフロントエンドであって、各信号がシングルエンド形式に変換され、これにより、シングルエンド信号がADC測定を介して定常状態制御のために使用され、シングルエンド出力電圧が過渡検出および過渡中の出力電圧極値検出のために使用される、アナログフロントエンド；

g. 過渡抑制ユニット(TSU)であって、前記アナログフロントエンドからデジタル指示信号を入力として受信し、過渡イベント中に前記変換器のトランジスタのゲートに対して供給されるゲーティング信号を生成し、これにより、前記過渡イベント中に前記負荷に対して供給される電流および電圧を制御する、過渡抑制ユニット(TSU)；

h. 入力として前記デジタル電流基準信号を受け取り、各フェーズPWM出力3状態バッファに対する有効化／無効化制御信号を生成する、フェーズカウントオブティマイザ(PCO)ユニット；

i. 前記デジタル電流基準信号を入力として受け取り、前記電圧ループ補償器の電圧基準信号を生成する、アクティブ電圧ポジショニング(AVP)ユニット；

を備えるコントローラ。

【請求項2】

前記コントローラは、標準CMOS構成要素を使用して実施される、請求項1記載のコントローラ。

【請求項3】

前記デジタル電圧サンプリングADCおよび前記デジタル電流サンプリングADCは、修正なしで、標準セル技術に基づく、請求項1記載のコントローラ。

【請求項4】

前記デジタル電流補償器およびフェーズごとのデジタルデューティ比補償器は、1次補償器である、請求項1記載のコントローラ。

【請求項5】

前記電圧ループが切断されるときはいつでも、各ループおよび各フェーズは、単一の状態変数を用いてレギュレートされる、請求項1記載のコントローラ。

【請求項6】

前記コントローラは、異なる帯域幅を有する外部電圧ループおよびフェーズごとの内部電流ループを備える、請求項1記載のコントローラ。

【請求項7】

前記多相DPWMは、

a. フェーズごとのPWMロジック用のクロック信号を生成する単一のDLリング発振器；

b. デジタルデューティサイクルコマンドおよび前記DLリング出力を入力として受け取り、前記トランジスタのゲートを制御するパルス幅変調信号を生成する、デューティサイクル論理ブロック；

を備え、

前記ゲートの制御信号は、インターリーブ動作の場合は同期され、非インターリーブ動作の場合は同期外れになる、

請求項1記載のコントローラ。

【請求項8】

前記TSUは、

a. 過渡イベント中において前記変換器のフェーズトランジスタのゲートに対して供給されるゲーティング信号を生成するステートマシンの論理ブロック；

b. 高速TSU動作終了とDPWM動作への復帰のための障害保護ロジック；

c. 過渡前電流基準信号およびデューティ比コマンドを受け取り、前記電流基準信号およびデューティ比コマンドに対する推定過渡後値を生成する、ハンドオフ推定ブロック；

を備える、

請求項 1 記載のコントローラ。

【請求項 9】

前記 P C O は、

a. 前記電流基準信号を受信し、前記電流基準信号に基づいて前記電流基準信号の移動平均を生成する、ローパスフィルタ L P F ;

b. 前記電流基準信号の平均値および過渡通知信号を受け取り、各前記フェーズについて制御された有効化／無効化信号を生成する、ステートマシンベースの論理ブロック；

を備える、

請求項 1 記載のコントローラ。

【請求項 10】

前記 A V P は、

a. 前記 P C O によって生成された前記電流基準信号の平均値を受け取り、前記デジタル電圧補償器のためのデジタル基準電圧信号を生成する、基準計算ブロック；

b. 過渡イベントに続いて、前記 T S U から電流のステップ推定を受け取り、前記計算ブロックに対して補正信号を生成する、過渡的補正ブロック；

を備える、

請求項 1 記載のコントローラ。

【請求項 11】

フェーズのアクティブ数は、前記 P C O により、

a. 電源投入時において、全フェーズを O N するステップ；

b. 前記デジタル電圧補償器の出力における前記デジタル電流基準信号の平均値を監視して、最適フェーズ数を決定するステップ；

c. シャットダウン／ターンオンする特定のフェーズの前記電流基準信号を引き継ぎ、関連する有効化信号を出力バッファに対して発行するステップ；

d. 前記デジタル電圧補償器の出力における前記デジタル電流基準信号の前記平均値の監視に戻って前記最適フェーズ数を決定するステップ；

e. 過渡イベントの間、すべてのフェーズをアクティブモードに設定し、上記ステップ b に戻るステップ；

によって最適化される、

請求項 1 記載のデジタルハイブリッド平均電流モード電圧レギュレータコントローラ。

【請求項 12】

混合信号ハイブリッド A C M コントローラキテクチャにおける電圧レギュレーションのための方法であって、

a. 前記 A C M コントローラの定常状態動作中に、スイッチングサイクル中にアクティブフェーズごとに 1 回、かつ、負荷に対して供給されるフェーズごとの電流および出力電圧を制御する多相デジタルパルス幅変調器 (D P W M) のインターリーブ動作と同期して、出力電圧およびフェーズごとの平均インダクタ電流を同時に測定するステップ；

b. 前記出力電圧の計測値を使用して電圧誤差  $v_e[n]$  を生成するステップ；

c. 電圧補償器を使用して電流基準信号を計算するステップ；

d. 算出された電流基準信号と前記インダクタ電流計測値とを用いて、デジタル電流誤差信号  $i_e[n]$  を生成するステップであって、前記電流誤差信号は、特定のフェーズデューティサイクル指令  $d[n]$  を生成するためにフェーズ毎の電流補償器によって用いられる、ステップ；

e. 多相 D P W M によるデューティサイクル指令  $d[n]$  を受信し、定常ゲーティング信号を生成するステップ；

f. 過渡イベントが定常状態動作中に発生した場合、過渡検出センサによって過渡開始時刻および過渡方向 (ローディングまたはアンローディング) を感知するステップ；

g. 過渡イベントを検出すると、利用可能なすべてのフェーズをアクティブにするために P C O を使用し、T S U が過渡ゲート信号を制御して T<sub>0</sub> のカウントを開始することを

10

20

30

40

50

可能にするステップ；

h. 前記過渡方向に応じて、アンローディング過渡についてはローサイドトランジスタを使用し、ローディング過渡についてはハイサイドトランジスタを使用して、前記T S Uがすべてのフェーズをオンにするステップ；

i. 出力電圧極値が極値検知センサによって測定されるまで、上記ステップg.を継続するとともに、前記T S Uが前記T<sub>0</sub>カウンタを停止し、出力電圧極値が検知されない場合は、前記定常状態制御を再開するステップ；

j. 前記T<sub>0</sub>のカウンタ値と平均デューティサイクル値Dとに基づいて、前記T S Uによって残りのゲート信号タイミングを生成し、ハンドオフ手続の訂正信号はT<sub>0</sub>に基づいて計算され、前記定常状態コントローラに対してフィードバックされる、ステップ；

k. 上記ステップi.において生成された値に従って前記T S Uによってゲーティングシーケンスを完了するステップ；

l. 前記T S Uのゲートシーケンスが完了すると、ゲート信号の制御を前記A C Mコントローラに対して転送するとともに、前記D P W Mによるフェーズ同期を再開し、上記ステップa.にしたがって定常動作を開始する、ステップ；

を有する方法。

【請求項13】

前記多相D P W Mは、

a. フェーズごとのP W Mロジック用のクロック信号を生成する単一のD L リング発振器；

b. デジタルデューティサイクルコマンドおよび前記D L リング出力を入力として受け取り、前記ローサイドトランジスタのゲートと前記ハイサイドトランジスタのゲートを制御するパルス幅変調信号を生成する、デューティサイクル論理ブロック；

を備え、

前記ゲートの制御信号は、インターリーブ動作の場合は同期され、非インターリーブ動作の場合は同期外れになる、

請求項12記載の方法。

【請求項14】

前記T S Uは、

a. 過渡イベント中において変換器のフェーズトランジスタのゲートに対して供給されるゲーティング信号を生成するステートマシンベースの論理ブロック；

b. 高速T S U動作終了とD P W M動作への復帰のための障害保護ロジック；

c. 過渡前電流基準信号およびデューティ比コマンドを受け取り、前記電流基準信号およびデューティ比コマンドに対する推定過渡後値を生成する、ハンドオフ推定ブロック；

を備える、

請求項12記載の方法。

【請求項15】

前記P C Oは、

a. 前記電流基準信号を受信し、前記電流基準信号に基づいて前記電流基準信号の移動平均を生成する、ローパスフィルタL P F；

b. 前記電流基準信号の平均値および過渡通知信号を受け取り、各前記フェーズについて制御された有効化／無効化信号を生成する、ステートマシンベースの論理ブロック；

を備える、

請求項12記載の方法。

【請求項16】

フェーズのアクティブ数は、前記P C Oにより、

a. 電源投入時において、全フェーズをO Nするステップ；

b. 前記電圧補償器の出力における前記デジタル電流基準信号の平均値を監視して、最適フェーズ数を決定するステップ；

c. シャットダウン／ターンオンする特定のフェーズの前記デジタル電流基準信号を引

10

20

30

40

50

き継ぎ、関連する有効化信号を出力バッファに対して発行するステップ；

d．前記電圧補償器の出力における前記デジタル電流基準信号の前記平均値の監視に戻って前記最適フェーズ数を決定するステップ；

e．過渡イベントの間、すべてのフェーズをアクティブモードに設定し、上記ステップbに戻るステップ；

によって最適化される、

請求項12記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧レギュレータモジュール（VRM）の分野に関する。より詳細には、本発明は、電流バランシングおよび理想に近い過渡応答を有する高性能多相VRM用のデジタルコントローラに関する。

【背景技術】

【0002】

クラウドコンピューティングの普及にともない、データセンタの電力消費が著しく増大している[1]。データセンタは典型的には多数のCPUおよびダブルデータレート（DDR）メモリモジュールを使用し、その各々は、極めて厳しい要件および仕様の下で、高度に調整されたDC電圧を必要とする。近年のオープンコンピューティングプロジェクト（OCP）標準化によって形成された[2]、データセンタアプリケーションの電力処理チェーンは、主ソースとして48Vdcの無調整バスを有し、これは2段コンバータアーキテクチャにおいて負荷へダウンストリームされる。第1段は、12Vバスを提供する48V～12Vコンバータである。2段目は高性能12V～1.xV電圧レギュレータモジュール（VRM）バックエンドコンバータであり、これは通常は多相降圧型アーキテクチャを使用して実装される。これは、電力品質要件の観点において負荷を充足するために、特に、集中的、迅速かつ連続的な負荷過渡状態の下で厳密に調整された供給を保証するために、実施される。多相インターリーブ降圧型VRM（MPVRM）は、高出力密度、高変換効率[6]－[11]および高速動的応答[12]－[16]を特徴とする低電圧高電流動作[3]－[5]を可能にする。MPVRMは、最終的には受動部品の要件を緩和するために、または計算能力をさらに高めるために使用することができる。多相インターリーブ型バックコンバータの従来のセットアップは、負荷に対して電力を供給するために、複数のフェーズを並列に使用する。典型的には、全ての電力段の動作を監視するために単一のコントローラICが採用される。これにより、信号のより良い同期、より高い信号対雑音比によるデータ収集、およびPCB面積の節約が可能になる。

【0003】

単相コントローラは、コスト対パフォーマンスのトレードオフに起因して、アナログ実装を使用して主に実現される。多相用途、特にVRMの用途においては、デジタル制御が主導的な役割を果たしてきた。これは、主に、現代のコントローラが性能特性だけでなく、柔軟性、プラグアンドプレイ、およびプログラマビリティ能力、いくつかのハウスキーピング、通信、およびテレメトリ機能も必要とするという事実による。しかしながら、デジタルコントローラコアを実装することによる追加のペナルティは、高いベースクロック周波数、全体のシリコン面積、電力消費獲得、および制御分解能などの性能目標を達成するための極端なハードウェア要件に起因する、無視できない要因である。これらは、制御アーキテクチャ、内部制御ブロックの実装、周辺ユニットなどの結果である。

【0004】

MPVRM電圧モードの大多数において、線形補償をとまなう制御方式が、調整を容易にするために適用される[17]－[22]。並列および電圧ポジショニングはドループ制御方法[23]－[29]によって達成され、フェーズごとの電流情報は通常、共有目的またはデータ収集[30]－[32]のいずれかのために使用される。制御帯域幅の加速は線形コントローラ間の切り替えまたは遷移によって、すなわち、負荷条件[33]～

10

20

30

40

50

〔３９〕にしたがって補償器の係数を調整することによって促進される。フェーズ毎の電流情報のバージョンがコントローラにとって利用可能であるが、電流プログラムモード制御手法はこれまで商業的な用途から除外されてきた。

【０００５】

同相またはフェーズ不一致で動作する複数の電力段の並列接続は、異なる物理的レイアウトの結果として、電流および熱分布から、同じ制御であっても異なる電圧を生成することに至るまでの、いくつかの課題をもたらす。フェーズはＰＣＢのかなりの部分にわたって分配されるので、電力を運ぶためには、きめ細かいトレースおよびインターフェースが不可欠であり、同様に、個々のフェーズから集中コントローラへおよびその反対の制御信号が不可欠である。このような利用において、フェーズ毎の電流の調整は、システムの複雑さをかなり低減する。しかし、瞬間的なインダクタ電流を捕捉し、それに応じてフェーズ動作を操作することは、センシングと制御の両方の観点から、実用的に禁止される場合がある。ここで、平均電流モード（Average Current-Mode: ACM）制御アプローチの利点はより明らかになってきている〔４０〕～〔４３〕（特に、追加のハードウェアペナルティなしに実現することができる場合）。ACMアプローチにおいては、構築ブロックのいくつかは電圧ループおよび電流ループの両方について同一であり、したがって、同じハードウェアを使用することによって、リソースの大幅な削減が達成可能である。

【０００６】

したがって、本発明の目的は、フェーズ間の均一な負荷分散を可能にする電流バランシングモジュールを含む、高性能マルチフェーズバックＶＲＭのための新しい全デジタルコントローラを提供することである。

【０００７】

本発明の別の目的は、多相レギュレータにおける時間最適過渡回復を可能にする新しいコントローラの実施態様を詳細に提示することである。

【０００８】

本発明の他の目的および利点は、説明が進むにつれて明らかになるであろう。

【発明の概要】

【０００９】

負荷に対して接続された出力を有する多相平均電流モード電圧レギュレータを制御する混合信号コントローラであって、

a. 遅延線（DL）に基づくデジタル電圧サンプリングアナログーデジタル変換器であって、出力電圧信号のサンプルを取得し、前記出力電圧信号をアナログからデジタルに変換するように構成された、デジタル電圧サンプリングアナログーデジタル変換器（ADC）；

b. 遅延線（DL）に基づくデジタル電流サンプリングADCであって、フェーズ毎のインダクタ電流のサンプルを取得し、前記インダクタ電流をアナログからデジタルに変換するように構成された、デジタル電流サンプリングADC；

c. 電圧調整のためのデジタル補償器であって、電圧ループによって生成されたデジタル電圧誤差信号  $v_e[n]$  を入力として受信し、前記デジタル電圧誤差信号に基づいて電流基準信号を生成するように構成された、デジタル補償器；

d. 電流調整のためのデジタル補償器であって、入力として電流誤差信号  $i_e[n]$  を受信し、前記デジタル電流誤差信号に基づいてデューティ比指令信号を生成する、デジタル補償器；

e. DLに基づく多相デジタルパルス幅変調器（DPWM）であって、各フェーズの前記デューティ比指令信号を入力として受信し、前記変換器のトランジスタのゲートに対して供給されるパルス幅変調信号（１フェーズ当たり）を生成し、これにより、前記負荷に対して供給される１フェーズ当たりの電流および出力電圧を制御する、デジタルパルス幅変調器（DPWM）；

f. 出力電圧およびフェーズ当たりのインダクタ電流の差動測定値を受信するアナログ

10

20

30

40

50

フロントエンドであって、各信号がシングルエンド形式に変換され、これにより、シングルエンド信号がA/D測定を介して定常状態制御のために使用され、シングルエンド出力電圧が過渡検出および過渡中の出力電圧極値検出のために使用される、アナログフロントエンド；

g. 過渡抑制ユニット(TSU)であって、前記アナログフロントエンドからデジタル指示信号を入力として受信し、過渡イベント中に前記変換器のトランジスタのゲートに対して供給されるゲーティング信号を生成し、これにより、前記過渡イベント中に前記負荷に対して供給される電流および電圧を制御する、過渡抑制ユニット(TSU)；

h. 入力として前記デジタル電流基準信号を受け取り、各相PWM出力3状態バッファに対する有効化／無効化制御信号を生成する、フェーズ計数オブティマイザ(PCO)ユニット；

i. 前記デジタル電流基準信号を入力として受け取り、前記電圧ループ補償器の電圧基準信号を生成する、アクティブ電圧ポジショニング(AVP)ユニット；

を備えるコントローラ。

【0010】

前記コントローラは、標準CMOSコンポーネントを使用して実装されてもよい。

【0011】

前記デジタル電圧サンプリングADCおよび前記デジタル電流サンプリングADCは、修正なしで、標準セル技術に基づくことができる。

【0012】

前記デジタル電流基準補償器および各相デジタルデューティ比補償器は、1次補償器であってもよい。

【0013】

前記電圧ループが切断されているときはいつでも、各ループおよび各フェーズは、単一の状態変数を用いて調整することができる。

【0014】

前記コントローラは、異なる帯域幅を有する外部電圧ループおよび各フェーズ内部電流ループを備えることができる。

【0015】

前記多相DPWMは、

a. フェーズごとのPWMロジック用のクロック信号を生成する単一のDLリング発振器；

b. デジタルデューティサイクルコマンドおよび前記DLリング出力を入力として受け取り、前記トランジスタのゲートを制御するパルス幅変調信号を生成する、デューティサイクル論理ブロック；

を備えることができる。

【0016】

前記ゲートの制御信号は、インターリーブ動作の場合は同期され、非インターリーブ動作の場合は同期外れになる。

【0017】

前記TSUは、

a. 過渡イベント中において前記変換器のフェーズトランジスタのゲートに対して供給されるゲーティング信号を生成するステートマシンの論理ブロック；

b. 高速TSU動作終了とDPWM動作への復帰のための障害保護ロジック；

c. 過渡前電流基準信号およびデューティ比コマンドを受け取り、前記電流基準信号およびデューティ比コマンドに対する推定過渡後値を生成する、ハンドオフ推定ブロック；

を備えることができる。

【0018】

前記PCOは、

a. 前記電流基準信号を受信し、前記電流基準信号に基づいて前記電流基準信号の移動

10

20

30

40

50

平均を生成する、ローパスフィルタLPF；

b. 前記平均電流基準信号および過渡通知信号を受け取り、各前記フェーズについて制御された有効化／無効化信号を生成する、ステートマシンベースの論理ブロック；  
を備えることができる。

【0019】

前記AVPは、

a. 前記PCOによって生成された前記平均電流基準信号を受け取り、前記電圧補償器のための前記デジタル基準電圧信号を生成する、基準計算ブロック；

b. 過渡イベントに続いて、前記TSUから電流のステップ推定を受け取り、前記計算ブロックに対して補正信号を生成する、過渡的補正ブロック；  
を備えることができる。

【0020】

フェーズのアクティブ数は、以下のステップによってPCOによって最適化することができる：

a. 電源投入時において、全フェーズをONするステップ；

b. 前記電圧補償器出力における前記平均電流基準信号を監視して、前記最適なフェーズ数を決定するステップ；

c. シャットダウン／ターンオンすべき特定のフェーズの前記電流基準信号を引き継ぎ、関連する有効化信号を前記出力バッファに対して発行するステップ；

d. 前記電圧補償器出力における前記平均電流基準信号の監視に戻って前記最適フェーズ数を決定するステップ；

e. 過渡イベントの間、すべてのフェーズをアクティブモードに設定し、上記ステップbに戻るステップ。

【0021】

混合信号ハイブリッドACMコントローラキテクチャにおける電圧調整のための方法であって、

a. 前記ACMコントローラの定常状態動作中に、スイッチングサイクル中に各アクティブフェーズごとに1回、かつ、負荷に対して供給されるフェーズごとの電流および出力電圧を制御する多相デジタルパルス幅変調器(DPWM)のインターリーブ動作と同期して、出力電圧およびフェーズごとの平均インダクタ電流を同時に測定するステップ；

b. 前記出力電圧の計測値を使用して電圧誤差 $v_e[n]$ を生成するステップ；

c. 電圧補償器を使用して電流基準信号を計算するステップ；

d. 算出された電流基準信号と前記インダクタ電流計測値とを用いて、電流誤差信号 $i_e[n]$ を生成するステップであって、前記電流誤差信号は、特定のフェーズデューティサイクル指令 $d[n]$ を生成するためにフェーズ毎の電流補償器によって用いられる、ステップ；

e. 多相DPWMによるデューティサイクル指令 $d[n]$ を受信し、定常ゲーティング信号を生成するステップ；

f. 過渡イベントが定常状態動作中に発生した場合、過渡検出センサによって過渡開始時間および過渡方向(ロードまたはアンロード)を感知するステップ；

g. 過渡イベントを検出すると、利用可能なすべてのフェーズをアクティブにするためにPCOを使用し、TSUが過渡ゲート信号を制御して $T_0$ のカウントを開始することを可能にするステップ；

h. 前記過渡方向に応じて、アンロード過渡についてはローサイドトランジスタを使用し、ロード過渡についてはハイサイドトランジスタを使用して、前記TSUがすべてのフェーズをオンにするステップ；

i. 出力電圧極値が極値検知センサによって測定されるまで、上記ステップg.を継続するとともに、前記TSUが前記 $T_0$ カウンタを停止し、出力電圧極値が検知されない場合は、前記定常状態制御を再開するステップ；

j. 前記 $T_0$ のカウント値と平均デューティサイクル値Dとに基づいて、前記TSUに

10

20

30

40

50



よって残りのゲート信号タイミングを生成し、ハンドオフ手続の訂正信号は $T_0$ に基づいて計算され、前記定常状態コントローラに対してフィードバックされる、ステップ；

k. 上記ステップ i. において生成された値に従って前記 T S U によってゲーティングシーケンスを完了するステップ；

l. 前記 T S U のゲートシーケンスが完了すると、ゲート信号の制御を前記 A C M コントローラに対して転送するとともに、前記 D P W M によるフェーズ同期を再開し、上記ステップ a. にしたがって定常動作を開始する、ステップ。

【図面の簡単な説明】

【0022】

本発明の上記および他の特徴および利点は、添付の図面を参照しながら、以下の本発明の好ましい実施形態の例示的かつ非限定的な詳細な説明によって、より良く理解されるであろう；

【図1】多相降圧システムの簡略化された概略図を示す；

【図2】多相コントローラ動作のための検知スキームの概略図を示す；

【図3A】デュアルループ電流制御 A C M 降圧型 V R M を示す；

【図3B】デュアルループ A C M 降圧型 V R M の等価図を示す；

【図4】ハイエンド負荷のために必要なアクティブ電圧ポジショニング V I D 曲線を示す；

【図5】多相降圧型 A C M 制御システムの概念ブロック図を示す；

【図6】定常運転時におけるキープロックの多相 A C M コントローラタイミングシーケンス図を示す；

【図7】線形補償方式によって制御される4相インターリーブ型バックコンバータの負荷過渡回復を示す；

【図8】ローディングおよびアンローディング過渡イベント中の大信号補償波形を示す；

【図9A】過渡検出センサを備えた大信号補償センサを示す；

【図9B】出力電圧極値検出器（最小）を備えた大信号補償センサを示す；

【図10】過渡電流立ち上がり時のフェーズ同期を示す；

【図11】ローディングおよびアンローディング過渡状態における多相降圧の状態空間軌道を示す；

【図12】システムガバナブロック図を示す；

【図13】プログラマブル区分線形 A V P 関数を示す；

【図14】最小偏差制御回復のための A V P 機能の実施例を示す；

【図15】定常状態中の監視されたフェーズシェディング手順における P C O 動作を示す；

【図16】ソフトスタートユニットを内蔵した単一 D L 多相 D P W M モジュールを示す；

【図17】16 A → 88 A ロード過渡イベント中の小信号補償器動作を示す；

【図18】16 A → 88 A ロード過渡イベント中の大信号補償器動作を示す；

【図19】88 A → 24 A アンロード過渡イベント中の小信号補償器動作を示す；

【図20】88 A → 24 A アンロード過渡イベント中の大信号補償器の動作を示す；

【図21】20 A 負荷定常運転時のフェーズシェディング手順を示し、コントローラは4フェーズから2フェーズ、2フェーズから単フェーズに移行する；

【図22】5 A ⇄ 85 A の負荷ステップにおけるフェーズシェディングおよび A V P 機能を含む完全なハイブリッドコントローラ動作を示す；

【図23】90 A 定常負荷条件（a）不平衡相電流をとともなう電圧モード（b）固有の電流共有をとともなう A C M 動作、における多相 V R M 熱画像を示す。

【発明を実施するための形態】

【0023】

本発明は、出力電圧を高精度に調整し、全動作範囲に対して全フェーズの電流共有を維持し、負荷過渡に対する最適過渡回復を実現する、高性能負荷のための多相降圧型 V R M 用のデジタルまたは混合信号（デジタルおよびアナログ部分を有する）電流プログラム制御を提案する。これらは、定常状態動作のための各相平均電流制御（A C M）を容易にするハイブリッドコントローラキテクチャと、ローディングおよびアンローディング過渡に

10

20

30

40

50

対する時間最適または最小偏差回復を実行する状態空間ベース過渡指向コントローラにより可能になった。アクティブ電圧ポジショニング（A V P）ならびにフェーズシェディングアルゴリズム（すなわち、負荷電流がある限度以下に減少したときに動作中のフェーズ数を減らすために動作中のスイッチの数を減らし、それによってスイッチング損失を減らす）が組み込まれ、現代のハイエンド負荷を供給するために必要なすべての特徴をカバーする。制御信号の正確な取得のために開発されたハイエンドアナログインタフェースに加えて、デジタルコアIPブロック（補償、共有、ドループ等）および周辺ユニット（H R D P W M、A D C）は、I C実装のための直接合成に向けてH D Lを使用する標準セルを全て有する組み合わせ非同期論理によって実現される。得られたコンパクトなコントローラ（4フェーズに対して1700素子の総論理素子数を有するF P G A上に実装）を試験し、I n t e l認定ハードウェア上で実験的に検証に成功した。実験プロトタイプは、7つのD D R 4負荷モジュールのアレイを駆動する4相12Vから1. x VバックV R Mを特徴とし、2000A /  $\mu$  sの遷移速度を有する100A負荷過渡イベントに適応し、時間最適回復を実証した。

#### 【0024】

本発明の目的は、図1に示すような高性能多相降圧型V R M用の新しい全デジタルコントローラを導入することである。新しいコントローラは、フェーズ間の均一な負荷分散を可能にする電流バランシングモジュールを有する。外部電圧調整ループは、負荷の大きな変化を緩和するための大信号過渡抑制ユニットとともに、定常状態および小さな偏差に対する線形補償を包含する。さらに、高レベルシステムガバナは、フェーズバランシング、同期、負荷分散、A V P、およびフェーズシェディングのタスクを監視する。本発明のさらなる目的は、多相レギュレータにおける時間最適過渡回復を可能にする新しいコントローラ実装を詳細に提示することである。

#### 【0025】

提案するコントローラキテクチャと動作原理

本発明において開発され、図1において例示的に提示される多相降圧型V R Mコントローラは、ハイブリッドコントローラキテクチャ[44] - [53]と一緒に組み込まれた小信号A C Mコントローラと大信号過渡抑制ユニット（T S U）との2つの主制御ユニットからなる。各コントローラは、その制御法則動作内で優れた性能を発揮するように設計されている。T S Uは大きな負荷変化に対応するように設計され、非線形、状態変数ベースの回復パターンを利用して、ある負荷条件から別の負荷条件への最善の可能な遷移を達成する。この小信号コントローラは、電流プログラム線形補償方式の周りに構成され、固定周波数P W Mで動作する。そうすることにより電力段のより簡単な設計を可能にし、より重要なこととして、高い定常状態精度を、高い静的効率、および多相コンバータの文脈において重要である相間の良好な熱分布とともに達成することができる。このタイプのハイブリッドコントローラ構造を形成することにより柔軟性を提供し、タスクが補償器間で分離される。負荷過渡現象は、時間最適または最小偏差パターンで修復され、回復プロセスを早めるためにフェーズの並列化の利点を利用する。小信号線形補償器の設計は、最小d c誤差、精度、電流分担を包含する。この構成は設計を単純化し、同時に、定常状態の特徴が保持され、過渡的緩和の著しい改善がT S Uによって達成される。線形制御のタスクをレギュレートしつつ、状態変数を古い状態から新しい状態の近傍にするように過渡コントローラのタスクを定義することによって、コントローラの安定性の問題は本質的に解決され、ナイキスト（N y q u i s t）またはフェーズマーガータテスト（p h a s e m a r g i r t e s t）[53] ~ [56]などの従来のツールによって検査できることに留意されたい。

#### 【0026】

図2は、ハイブリッドコントローラを容易にするために必要とされる検知図を概略的に示す。これは、いかなる高性能V R Mに対しても、また特に多相アプリケーションにおいても、重要なインタフェースである。正確さ、迅速なタイミング、変化に対する感度、および雑音や他の擾乱への対応に関する問題に対して、信頼できる回路パラメータを得るこ

とが重要だかあらである。図2からわかるように、本発明で使用される実施形態は、状態変数信号の差動型取得を使用することである。これにより、測定点からコントローラフロントエンドまでの距離が補正される。いったん信号が得られると、要求されるタスク（調整、検出、情報など）にしたがってさらに操作される。平均値読み取り結果、すなわち出力電圧の情報や各相の電流などのサイクル読み取り値あたりの1つのサンプルは、定常状態コントローラによって処理される。出力電圧の連続信号情報は、TSUによってさらに操作される。

【0027】

多相アーキテクチャの基本的な課題は、複数の電力段の並列接続性、および、出力において十分に調整された電圧を維持しながら、それらの間で努力を適切に分配する必要性である。これは、何らかの形態の電流または負荷分散プロトコルを必要とする。本発明では、図3Aに見られるように、定常補償方式の動作のための平均電流プログラムモード（ACM）制御が用いられている。電流ループの制御帯域幅が出力電圧のそれよりも十分広いという仮定の下で、出力容量に対して給電する個々の電力段は、図3Bのように制御された電流源として扱うことができる。これにより、複数のコンバータフェーズの並列化、フェーズ電流の簡単な調整、したがって電流の共有が可能になる。等しい電流は最終的に、追加コストなしでフェーズ間の熱分布をもたらし、これは多相アプリケーションにとって重要である。

【0028】

高電流[57]で動作しているときの熱制限により負荷が必要とする多相コントローラの追加の重要な機能は、アクティブ電圧ポジショニング（AVP）である。負荷電流 $i_{load}(t)$ の関数として目標 $v_{out}(t)$ レベルを表す典型的な下降曲線を図4に示す。出力電圧は負荷電流の1次関数として減少し、 $V_{VID}$ は無負荷状態での公称出力電圧を定義し、 $V_{min}$ は $I_{max}$ における必要電圧である。ドループ制御は、負荷増加にともなって目標基準電圧をシフトダウンすることにより実装され、次のように表すことができる：

$$v_{ref} = V_{VID} - R_{VID} \cdot i_{sum}[n] \quad (1)$$

$v_{ref}[n]$ は電圧ループ基準、 $V_{VID}$ および $R_{VID}$ は所望の $V_{VID}$ カーブに合わせてユーザが選択したAVPパラメータ、 $i_{sum}[n]$ は全コンバータ電流のデジタル値である。注意すべきことであるが、出力での発振を避けるために、また、ドループは定常電圧レベルのみに関係するので、その帯域幅は電圧制御ループの応答よりも著しく低い。

【0029】

定常動作時のACMコントローラ概念ブロック図とそのタイミングシーケンス図をそれぞれ示す図5と図6を用いて、ACMコントローラの動作原理を説明する。本発明はコントローラ全デジタル実装に焦点を当てているので、説明はサンプルデータドメイン表記を用いて実施される。電圧ループは、式(2)で与えられた誤差シグナル $v_e[n]$ に基づいて、内部電流ループについてデジタル基準 $v_c[n]$ を作成する：

$$v_c[n] = v_{ref}[n] - v_{out}[n] \quad (2)$$

$v_{ref}[n]$ はAVPで生成されたりファレンスであり、 $v_{out}[n]$ はサンプリングされた出力電圧である。次いで、電流誤差信号 $i_e[n]$ は、各相のサンプリングされた平均インダクタ電流 $i_L[n]$ を使用して、フェーズ毎に計算される。電流誤差信号 $i_e[n]$ は、DPWMモジュールのためのデューティ指令 $d[n]$ を生成する電流ループ補償器のための入力として使用され、パルス幅変調信号 $c(t)$ が形成される。

【0030】

ACM制御の古典的な手法においては、ADCユニットなどの高性能ハードウェアの資源を共有できるように、 $v_{out}[n]$ と $i_L[n]$ （図5）のサンプルを連続的にサンプリングして、消費電力と面積を節約する。さらに、測定信号対雑音比を増加させるために、サンプリングイベントをスイッチングアクションから離して配置することが、一般的な慣行である。しかしながら、インターリーブされた多相システムにおいては、スイッチングイベントが仮想的にスイッチングサイクル $T_s$ 全体に沿って分散され、フェーズの数とともにより頻繁になり、データ取得に適したタイムスロットを制限する。この障害を克服

10

20

30

40

50

するために、本発明は、フェーズ毎の測定を同期させ、取得時間のみにによって制限される許容されるインターリーブされたフェーズの数を増加させる利点が見られる、統一されたデータ取得シーケンスを構成する。本発明におけるADCハードウェアの実現は、[58]で前述したように遅延線および組み合わせ回路によって実行されるので、フェーズ当たりのハードウェアペナルティは無視できるほど小さい。

【0031】

図6に、ACMコントローラのタイミングシーケンス図を示す。 $v_{out}[n]$ と $i_L[n]$ は両方とも同時にサンプリングされる。多相動作の拡張帯域幅オプションを利用するために、基準 $v_c[n]$ 信号は電圧ループ補償器によって更新され、関連するフェーズデューティ指令 $d_n[n]$ は個々の電流ループによって生成され、各フェーズの開始時にそのDPWMポートへ更新される。 $v_{out}[n]$ と $i_L[n]$ を $T_s$ 内の固定位置で同時にサンプリングすることにより、図6のタイミングロジックを複製し、コントローラハードウェアのデータ収集能力によって制限される任意数のフェーズに適応させるために適用することができる。

【0032】

インダクタ電流リップル（定格電流の約30%）の範囲内で定義される小さな負荷変化は、TSUの動作をトリガせず、定常補償を通して調整される。図7は、4相運転のローディング過渡に対するリニアコントローラの典型的な応答（PSIMシミュレーションから得られた結果）を示す。点 $t_{step}$ の前はコントローラが定常状態にあり、各フェーズは出力に対して $I_{low}$ を提供し、負荷が均等に共有される。 $t_{step}$ において、負荷が変更され、それぞれのフェーズは $I_{high}$ を伝送する必要がある。図7の拡大枠は、隣接する2相のスイッチングサイクル間で負荷ステップが起こることを示している。小信号補償器は、 $t_{update}$ において、次に近いフェーズ周期が始まるとすぐに過渡イベントに対して応答する。これは、コントローラが完全なスイッチングサイクルが完了するのを待つ従来の慣行よりもはるかに迅速な応答である。過渡期間中、および任意の過渡条件下において、小信号補償器のACMアーキテクチャはフェーズ間の電流共有を維持し、電流共有収束時間をゼロに低減し、システムが定常状態動作に戻るとき出力電流は完全に共有される。

【0033】

大信号補償方式

ハイブリッドコントローラキテクチャは、線形、小信号補償器の調節能力を超える極端な過渡イベントを抑制するための大信号回復パターンを容易にする。過渡指向コントローラの制限は、受動コンポーネントによって課されるスルーレートと、システムの遅延（検出、計算など）であるのが効果的である[48]、[59]～[62]。過渡リカバリの典型的な波形が図8（PSIMシミュレーションによって得られる）に示されており、負荷が $I_{low}$ と $I_{high}$ の値の間でそれぞれ変化する、ローディング過渡イベントとそれに続くアンローディング過渡イベントとを示している。本発明で使用されるような過渡および極値検出センサの詳細は図9に示されており、[43]に基づいている。

【0034】

第1過渡イベントの前において、出力電圧は $V_{th-H}$ および $V_{th-L}$ （図9A）によって定義される定常状態ウィンドウ内にあり、定常状態コントローラによって制御される。 $t_{load}$ の時点で、負荷は $I_{high}$ に増大し、出力電圧が低下し、CMP Lがトリガされる。この時点までに、定常コントローラの動作が停止し、大信号補償器がゲーティング出力の制御を引き継ぎ、利用可能なすべてのフェーズを強制的にオンにする。過渡開始とチャージバランスの時点との間の持続時間（ $T_0$ ）は、カウンタを用いて測定される。チャージバランス点は出力電圧において極値点として現れた。 $T_0$ がコントローラによって達成されると仮定すると、動作の残りは、[44]～[49]で実証されるように、単一のオン-オフスイッチングサイクルで完了して、その公称値へ完全に回復することができる。小さなインダクタが全システム電流スルーレートを大幅に増加させて、より速い過渡応答を生成し、実質的に出力において電圧降下を生じさせない、ローディング過渡の独

10

20

30

40

50

特なケースにおいては、全T O C動作の代わりに最小偏差アプローチを実装することができる。この点を超えると、制御は、動作を新しい定常状態条件に維持する定常状態コントローラへ戻される。

#### 【0035】

ローディング過渡イベントとは逆に、アンローディング過渡の場合は、過渡回復時間を延長する低い電流スルーレートに起因して、より困難なタスクとなる。電流スルーレート不整合の結果は図8に示されており、アンロード過渡 $v_{max}$ によって引き起こされる電圧オーバーシュートが電圧アンダーシュート $v_{min}$ よりもはるかに大きいので、出力電圧をその公称値に戻すためには、より長いオフタイムが必要とされる。場合によっては、インダクタ電流が負に転じて過渡緩和プロセスをさらに誘起することにつれて、出力コンデンサが多相VRMによって能動的に放電される。図8に示すコンデンサ電流 $i_{cap}$ は、2つの過渡の間の差を実証することもできる。ローディング過渡 $Q_{loss}$ 中のチャージ損失が、アンローディング過渡ケースにおける注入チャージ $Q_{inj}$ に比べて迅速に回復されるからである。

#### 【0036】

大信号補償における電流立ち上がり／下がりフェーズは、過渡時において異なるレベルのフェーズ同期で実現できる。図10は、フェーズ同期の有無それぞれについて、立ち上がり開始のための3つのオプションを示しており、それぞれがその長所と短所を有している。図10(a)の第1選択肢は、検出時に利用可能な最も近いフェーズを有する過渡現象にも対処しながらフェーズ同期を維持し、この場合、破線のフェーズは、過渡現象検出時に直ちにそのオン状態を継続する。図10(b)の第2選択肢は、各相がその次のサイクルの開始時にそれぞれターンオンされるとき、過渡の間、完全な相同期を維持することである。第3選択肢は、過渡イベントが検出されるとすぐに、すべての利用可能なフェーズをオンすることであり、その結果、この方法は最も悪いフェーズ同期となるが、それにもかかわらず、過渡性能は最初の2つの方法と比較して優れている。過渡時間中に電流共有属性を調べるとき、後者のオプションは良好な電流共有を維持し、一方で、最悪の電流不整合は電流リップルのサイズに依拠する。

#### 【0037】

図10(c)に記載された方法は、最速の過渡性能ならびに電流共有属性のために選択される。この手法のもう1つのメリットは、一時的な事象の間に、システムを1つの単相降圧として扱うことができ、効果的に帯域幅を増やし、効果的なインダクタンス $L_{eq}$ が得られることである。 $L_{eq} = L_{ind} / N$  ( $N$ は活性相の個数を表す)で与えられる。

#### 【0038】

多相コンバータを単相降圧として扱う場合、図11に示すように状態空間の軌跡を容易に抽出することができる。破線はOFF状態の軌跡をマークし、ON状態の軌跡は垂直の直線としてレンダリングされる。インダクタのサイズが小さく、出力コンデンサが大きいからである。 $I_{low}$ と $I_{high}$ の2つの定常電流の間のローディング過渡現象は図11において太い破線で示されており、ローディング過渡現象は単一のオンサイクルで完了することができ、その間、出力電圧は実質的に一定のままであり、したがって、完全なT O C動作は、復帰時間を延長することなく、最小限の逸脱手法に低減することができる。これとは異なり、 $I_{high}$ と $I_{low}$ との間のアンローディング過渡反応は、負のインダクタ電流で完了することができる長いオフ状態から始まり、短いオン状態になり、できるだけ短時間でシステムを $I_{low}$ に戻す、完全なT O C手法を含む。ローディング過渡およびアンローディング過渡の両方の動作は、後の説明で実験的に検証される。

#### 【0039】

#### 発展的管理機能と実装面

ハイブリッドアーキテクチャによって実行され、前のセクションで説明されたレギュレーション要件に加えて、A V P、フェーズシェディング／追加、および障害管理などの追加機能を有する高性能負荷に対応するために、最新の多相コントローラが必要とされる。本発明において、付加的な特徴は図12に示すシステムガバナユニットによって実施され

る。システムガバナは、入力電圧  $v_{in}[n]$ 、出力電圧  $v_{out}[n]$ 、温度  $temp[n]$ 、電圧ループ出力  $v_c[n]$  のシステム変数を収集する。

【0040】

#### AVP機能実装

線形AVP関数（先に示したもの）は比較的適度な設計努力をともなうアナログコントローラで実現され、区分線形または非線形関数のようなより複雑な関数の実装はコントローラ設計の複雑さを劇的に増大させる可能性がある。最先端のMPVRMコントローラで使用されるデジタル制御は図13に示すように、複雑なAVP機能を実装するために利用することができ、設計の複雑さを低減し、AVP機能のリアルタイム較正を提供する。本発明で実現されるデジタルAVP機能を図13に示す。低負荷状態においては、負荷電流がボトム閾値  $i_s$  を超えるまで出力電圧が一定に保たれ、この時点から  $i_f$  の負荷電流  $i$  までの間、出力電圧は一定の出力インピーダンス  $R_{AVP}$  に従う。 $i_f$  より大きい負荷電流から最大負荷電流  $I_{max}$  までは、出力電圧は一定のままであり、 $V_{min}$  である。

【0041】

アナログ実装AVPユニットに対する利点にもかかわらず、デジタルAVPユニットは、最小の出力電圧ステップが電圧ADCサンプリング分解能によって制限される分解能の問題に遭遇する場合がある。 $v_{ref}[n]$  の単位変化は  $v_{out}(t)$  の小さなステップに変換されるので、図13の平滑負荷線プロファイルは離散的に実現される。AVPプロファイル離散化を解くためにADC分解能を強化することは、リミットサイクル振動を防止するためにシステムPWM分解能によって制限される。AVP結果をフィルタリングすると、AVP関数の帯域幅への影響を最小限に抑えながら、ノイズ耐性とプロファイルの離散化が向上する。

【0042】

従来のAVP動作帯域幅は通常、電圧ループ補償器帯域幅に対して比較的低く、これは、ループ間の望ましくない電圧振動を防止し、定常状態動作中の厳しい電圧調整を保証するために実施される。しかしながら、現代のMPVRMにおいて、負荷は、非線形解が図13の負荷線プロファイルを常に維持するように保証することを必要とする、高速かつ大きな過渡が可能である。図14は、大きなアンローディング過渡イベント中のAVPユニットの非線形動作を示している。理想的には、最小限の逸脱過渡緩和が完了すると、出力電圧は、AVPユニットによって規定されるように、線形コントローラによってその所望の過渡後レベル ( $V_{post}$ ) に導かれる。過渡イベントは、高性能MPVRMで使用される小さなインダクタ値に起因して極めて短い可能性があるので、負荷電流ステップサイズは比較的遅い定常状態測定値から得ることが困難である可能性があり、したがって、非線形緩和動作  $T_0$  の時間を使用して、電流ステップを正確に推定し、それに応じて  $v_{ref}[n]$  を変更することができる。

【0043】

#### フェーズカウントオプティマイザ

本発明において、図1に示すように、外部電流ループの出力である内部電流ループリファレンス  $v_c[n]$  から、負荷電流を抽出する。 $v_c[n]$  の値はデジタルLPF（移動平均としてインプリメント）に対して供給され、シンギュラー計算またはサンプリング誤差がフェーズカウントオプティマイザ（PCO）をトリガしないようにする。効率向上のためのフェーズシェディングおよび加算手順は、比較的遅いプロセスであるので、フィルタリング段によって引き起こされる遅延は無視できる。フィルタリングされた結果はルックアップテーブル（LUT）へのインプットであり、与えられた  $v_c$  に対して最適なフェーズ数を決定する。このLUTはパワーステージの変更に対応するため、またはエージングと温度によるコンポーネント値のドリフトを考慮するために、再プログラムできる。

【0044】

負荷解放の場合には、PCOによって実施されるフェーズシェディング手順が開始され、コンバータ効率を最適化する。簡単にするために、この手順は2から1への遷移について説明されるが、任意の他のフェーズシェディング遷移に対して適用される。図15から

分かるように、アクティブ相の数が増える前に、ACM制御スキームによって電流バランシングが実施される。最初に、シェディングされたフェーズの内部電流ループへの基準は  $v_{shed}[n]$  に等しい値でバイパスされ、残りのフェーズは元の二重ループ構成で動作する。初期化時、 $v_{shed}[n]$  は  $v_c[n] - 1$  と等しく、 $N_{sh}$  切り替え周期ごとに徐々に減少する。シェディングされたフェーズの内部電流ループはアクティブのままであるので、そのインダクタ電流は、電流立ち下がりを見守ることを可能にする  $v_{shed}[n]$  に対して追従する。デュアルループ構成で動作する残りのフェーズは図15に示されるように、その電流を上昇させて、シェディングされたフェーズを補償する。これにより、電圧偏差または電流スパイクのない緩やかなフェーズシェディング方式が得られる。 $v_{shed}[n]$  がゼロに達すると、シェディングされたフェーズはコントローラによって完全にオフになる。各ステップの持続時間は変更することができるが、図15に示されるように、残りのフェーズがその電流を上昇させることができるように、十分に長くなければならない。負荷要求の増加のために、同様の手順が実施され、この手順においては、追加されたフェーズの内部ループ基準が  $N_{sh}$  スwitchングサイクル毎に徐々に上昇される。既存のフェーズはデュアルループ構成で動作するので、その電流は、負荷に対して供給される増大した電流を補償し、厳しい電圧調整を維持するように調整される。 $v_{shed}[n]$  が  $v_c[n]$  以上になると、フェーズ追加処理は完了する。これにより、両方のフェーズの電流が等しくなる。

【0045】

定常状態効率を最適化する以外に、PCOは、過渡イベント中にさらに機能する。過渡検出時に、線形コントローラはバイパスされ、電力スイッチへの駆動信号は非線形コントローラによって生成される。したがって、PCOは過渡検出時に最大フェーズ数を設定して、実効電流スルーレートを掛けることにより過渡持続時間を短縮する。この動作は次に、非線形TSUの最良の達成可能な過渡性能を保証する。過渡イベントの完了後、PCOは、負荷状態に応じて、定常状態動作、分岐、または追加フェーズに戻る。

【0046】

過渡後ハンドオフ手順

TOCまたは最小偏差制御を実行する非線形コントローラ動作から小信号ベースの線形コントローラへの遷移を、Hand-offと呼ぶ。これは、リファレンス制御信号に対しておよび異なるフェーズのデューティサイクルコマンドに対してTSUによって実行される一連の調整を含む。無損失コンバータにおける非線形制御動作からのハンドオフ手順は、過渡前制御値を割り当てることによって実行することができる。しかし実際には、過渡後制御信号（内部および外部の両方）を修正せずシステム内の損失を補償しない場合、付加的な整定過渡現象が発生することがある。本発明においては、定常状態動作のためにACM制御方式が実現されており（エラー！参照ソースが見つからない）、したがって、内部電流ループ  $v_c[n]$  への基準、ならびにすべてのデューティサイクルコマンドの両方が、過渡イベントの持続時間および極性に基いて修正される。ハンドオフ手順が開始されると、コントローラは閉ループ動作が再開される前に、変更されたデューティサイクルを有する単一のスイッチングサイクルの間、開ループで動作する。

【0047】

過渡検出において、先頭相のデューティサイクル  $D_0[n]$ 、電流ループリファレンス  $v_{co}[n]$  をサンプリングし、専用レジスタに格納する。ローディング過渡の場合、変更されたデューティサイクルである  $D_{tr}$  は、次のように計算される：

【0048】

【数1】

$$D_{tr} = D_0[n] + k \cdot T_0 \frac{V_{in} - V_{out}}{L} \quad (1)$$

【0049】

アンロード過渡の場合は、次のようにする：

【 0 0 5 0 】

【数 2】

$$D_{tr} = D_0[n] + k \cdot T_0 \frac{V_{out}}{L} \quad (2)$$

【 0 0 5 1 】

k は設計過程において導出された比例定数であり、 $T_0$  は T S U によって推定された過渡緩和期間の継続時間である。多相コンバータの電流掃引試験を実施することにより、全負荷範囲の動作が検証され、デューティサイクル値が広範囲の負荷条件に対してシステムに記憶される。これらの値を負荷電流の関数としてプロットし、外挿すると、傾きが k に等しい線形曲線になる。内部電流ループリファレンスも、(3) – (4) と同様に、サンプリングされた  $v_{co}$  と  $T_0$  として保存された負荷ステップ情報を考慮して更新される。閉ループ動作が再開されると、定常状態コントローラによってデューティサイクルコマンドに対して微調整が実行され、これにより正確な電流バランスを達成し、定常状態動作を維持する。

【 0 0 5 2 】

多相 D L – D P W M モジュール

多相システムの実際の実装は、現在の共有品質に影響を及ぼす異なる相間の不均衡の影響を受ける。多重 D L 実現に基づく D P W M モデル、特に F P G A カスタム設計モジュール上では、同じデューティコマンドの下で 2 つの異なるフェーズに対して非同相 P W M 信号を導入できる。図 1 6 に示すように、本発明で実現する信号 D L 多相 D P W M は、単一の D L リング発振器に基づいて、全てのフェーズに対して P W M 信号を生成する。デューティコマンド  $d[n]$  を指定すると、D L リングオシレータとデューティサイクルロジックを使用して  $c_n(t)$  シグナルが生成される。単一 D L 設計は、複数のモジュール間の合成およびシリコンレベル差の両方に対するシステム感度を打ち消す。多相システムにおいて、非常に小さなインダクタと非常に大きな出力容量が存在する場合、ソフトスタートユニットは、いかなる起動電流または電圧オーバーシュートも防止し、システムを定常状態閾値にするために不可欠である。ソフトスタートユニットは、D P W M モジュール（図 1 6）に組み込まれ、ソフトスタートプロセスが完了した後に電力が良好である旨の通知を提供する。

【 0 0 5 3 】

多相降圧型コンバータのシミュレーションと実験による検証

多相降圧型 V R M コントローラの動作は 1 2 V ~ 1 . x V 4 相多相降圧コンバータを使用して検証されている。すべてのアナログフロントエンド周辺機器を備えた実験プロトタイプを製作し試験した。変換器パラメータを表 I に示す。1 4 A までソースまたはシンクすることができる各 D D R 4 モジュールおよびゲーティング信号パターンは、コントローラ動作に対して非同相の信号発生器によって生成される。実験で使用した負荷スルーレートは 2 0 0 0 A /  $\mu s$  である。D L – A D C および単一遅延線多相 P W M のようなデジタルハイブリッドコントローラキテクチャ、システムガバナ、およびカスタムメイド周辺機器を、C y c l o n e V F P G A 上に完全に実装した。コンバータのパラメータを以下の表 I に示す。

【 0 0 5 4 】

10

20

30

40

50



【表 1】

表 1

| パラメータ                    | 値／タイプ       |
|--------------------------|-------------|
| 電源 $V_{in}$              | 12 V        |
| パワーステージ                  | SiC820、70 A |
| インダクタ                    | 120 nH      |
| アウトプットキャパシタンス、 $C_{out}$ | 5 mF        |
| 切り替え頻度、 $f_{sw}$         | 900 KHz     |

10

## 【0055】

図17は、16 A～88 Aの負荷過渡イベントの小信号補償器が扱う過渡応答を示す。 $i_{L1}$ および $i_{L2}$ はそれぞれフェーズ1およびフェーズ2のインダクタ電流を表し、負荷の変化に応じてそれぞれ4 Aの平均電流から22 Aへステップアップする。負荷点での電圧は $v_{out}$ で表され、350 mVの最大電圧偏位と220  $\mu$ s後の完全な回復周期を示した。小信号コントローラは、過渡緩和期間全体の間、フェーズ間の電流分担を維持する。

## 【0056】

図18において、16 Aから88 Aへの負荷過渡イベントを緩和するために、大信号補償方式が起動される。ここで、コントローラは30 mVの電圧 $v_{out}$ 偏差で最小偏差回復プロファイルを実現し、12  $\mu$ s以内の定常状態への回復を実現した。TSU動作は、過渡時および定常コントローラへの移行中に優れた電流共有を実証する。

20

## 【0057】

図19（小信号補償）および図20（TSU）に示すように、88 Aから24 Aの負荷ステップでアンローディング過渡ケースを実証する。線形補償方式で得られたオーバーシュートは360 mVで測定され、300  $\mu$ s以内に回復するが、過渡方向回復は回復時間7  $\mu$ sで43 mVとなった。

## 【0058】

図21は、定常状態動作中のコントローラのフェーズシェディング能力を示す。20 Aの一定負荷においては、コントローラはアクティブフェーズ数を4から1に調整し、それによりVRM効率を改善する。シェディングプロセスは、シェディングインジケータによって示されるように、2つのステップに分割される。第1のステップではコントローラがフェーズ2および4をシェディングし、第2のステップではフェーズ3も同様にドロップされる。出力電圧に対するシェディングプロセスの影響は、上述の制御されたシェディングプロセスに起因して無視することができ、その結果、最大の電圧偏差が20 mV未満と測定される。

30

## 【0059】

導入された全ての制御の完全な動作は図22に示され、DDRエミュレーションモジュールが5 Aから85 Aに切り換えられている。負荷過渡イベントの間、PCOの遷移は1から4フェーズの動作を形成し、AVPユニットは2 m $\Omega$ の負荷ライン機能に従って160 mVの出力電圧の低下を指示する。逆のアンローディング場合、AVPユニットは出力電圧を元の位置に戻す。過渡抑制が完了した後、定常状態のフェーズシェディングプロセスが実施され、フェーズ2、4、および3は、5 A負荷動作中にシェディングされる。

40

## 【0060】

アクティブ電流バランシングなしの電圧モード制御方式と、固有のフェーズごと電流バランシングを有するACM制御との間の熱性能比較を図23に示す。熱分布の違いを90 A定常運転で試験したところ、電圧モード制御（図23（a））により、2相と4相で2.5℃の差が生じた。ACM制御（図23（b））により、熱シェアリングが改善され、フェーズ2とフェーズ4の間で0.7℃の差が得られる。

## 【0061】

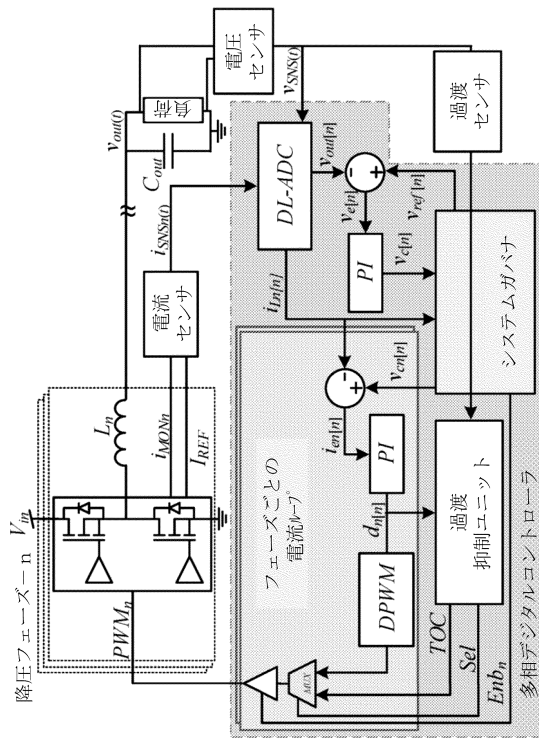
上記の実施例および説明はもちろん、例示の目的のためにのみ提供されており、いかな

50

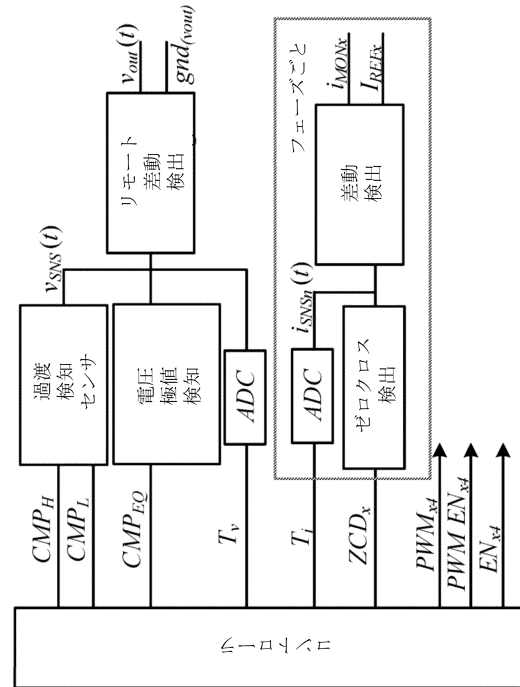
る方法においても本発明を限定することを意図していない。当業者には理解されるように、本発明は、全て本発明の範囲を超えることなく、上記の技術からの2つ以上の技術を用いて、多種多様な方法で実施することができる。

【図面】

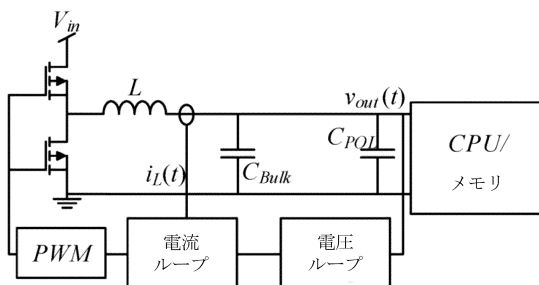
【図1】



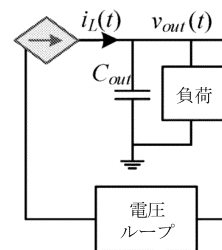
【図2】



【図3A】



【図3B】



10

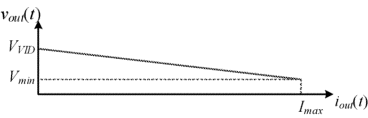
20

30

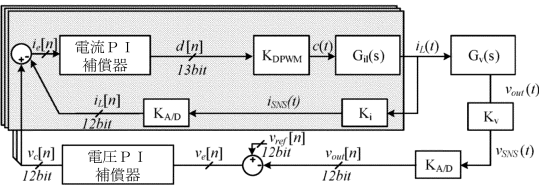
40

50

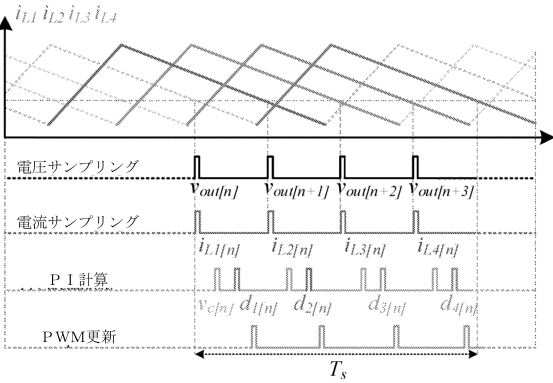
【図 4】



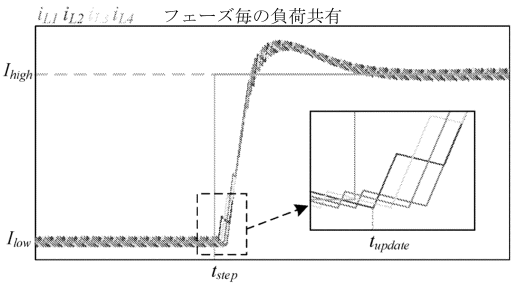
【図 5】



【図 6】



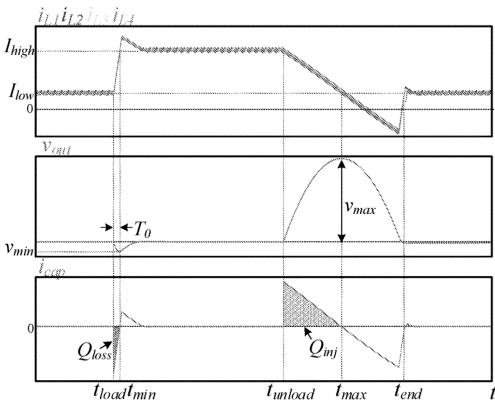
【図 7】



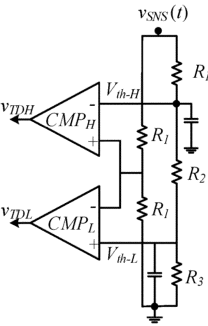
10

20

【図 8】



【図 9 A】

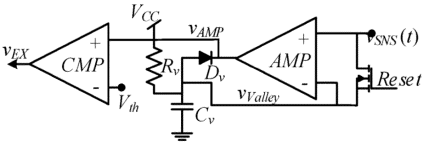


30

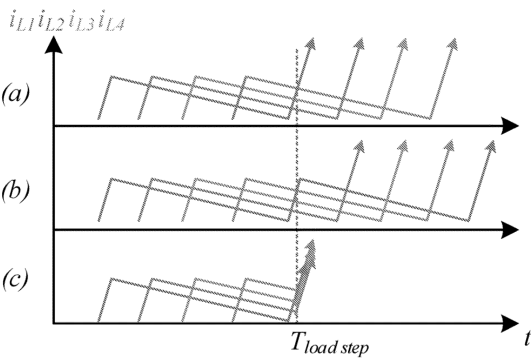
40

50

【図 9 B】

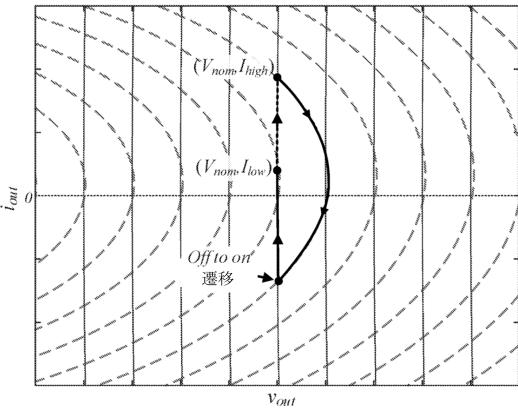


【図 1 0】

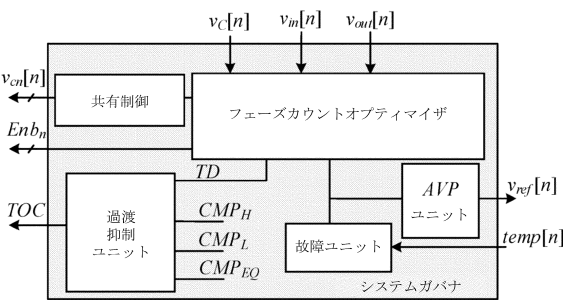


10

【図 1 1】



【図 1 2】



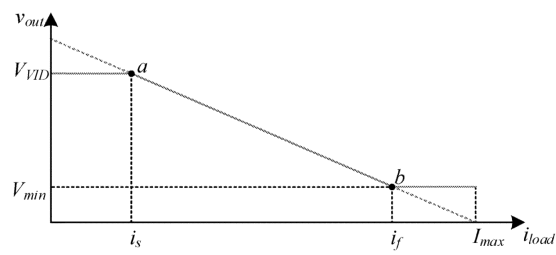
20

30

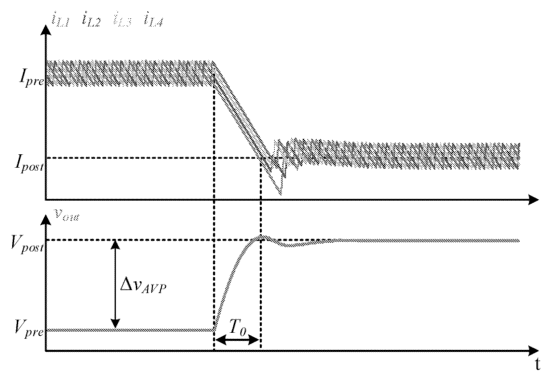
40

50

【図 1 3】

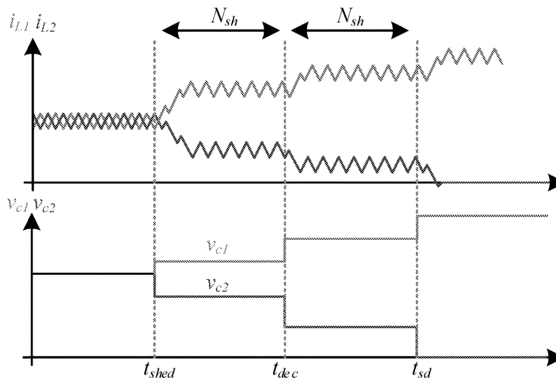


【図 1 4】

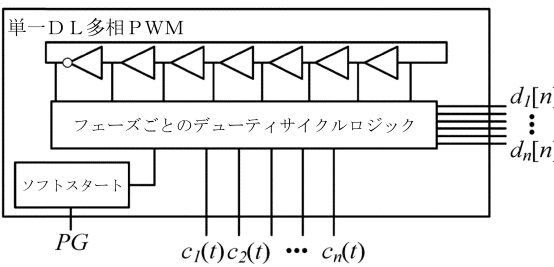


10

【図 1 5】

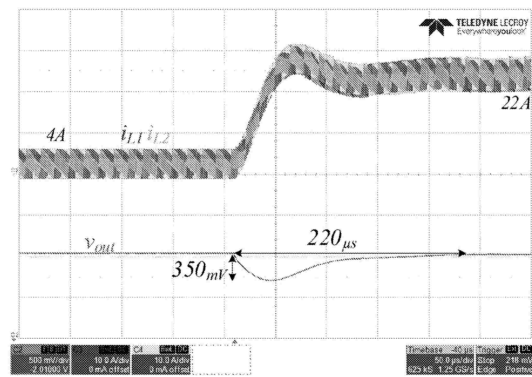


【図 1 6】

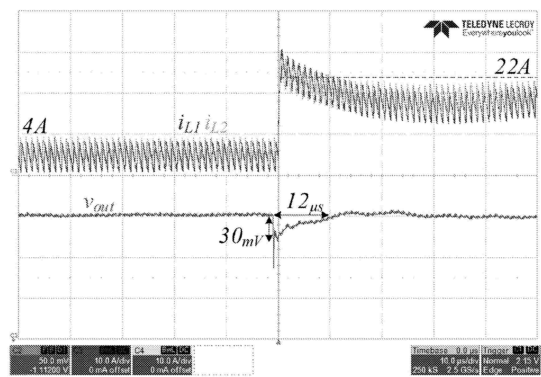


20

【図 1 7】



【図 1 8】

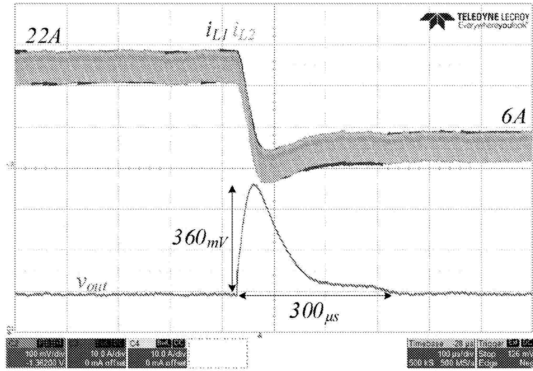


30

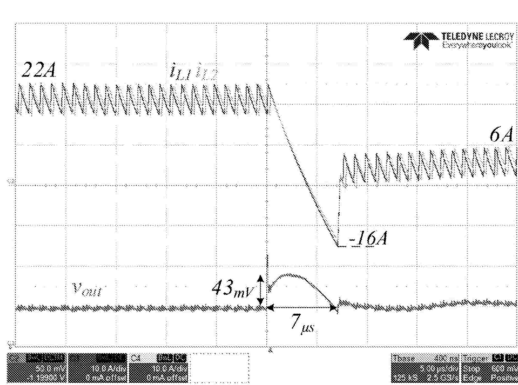
40

50

【図 19】

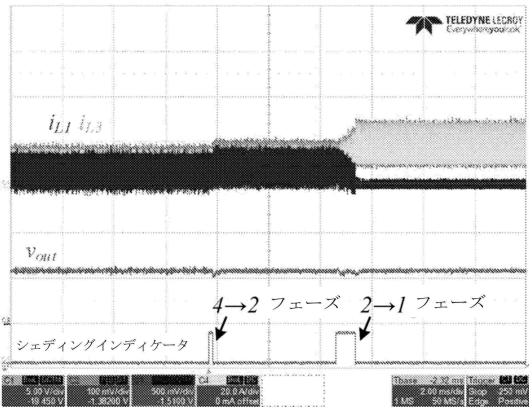


【図 20】

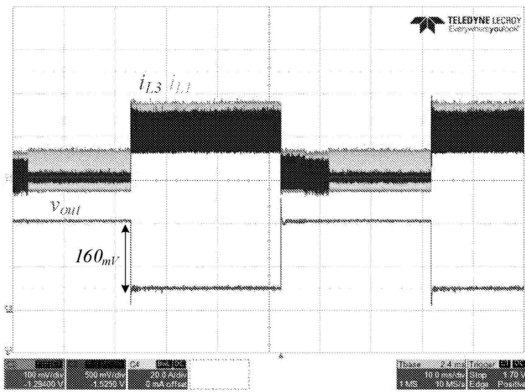


10

【図 21】



【図 22】



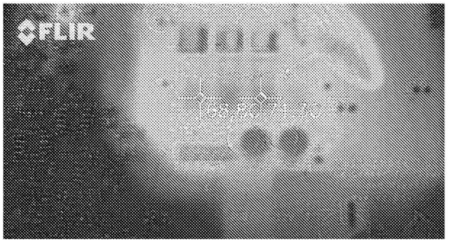
20

30

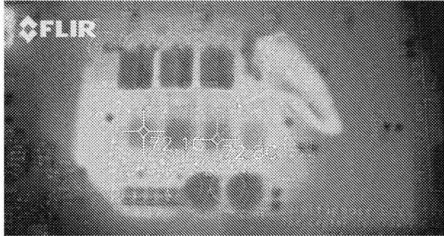
40

50

【図 23】



(a)



(b)

10

20

30

40

50

---

フロントページの続き

- (56)参考文献 国際公開第2018/060990 (WO, A1)  
米国特許出願公開第2009/0230930 (US, A1)  
米国特許出願公開第2014/0015500 (US, A1)  
国際公開第2017/094402 (WO, A1)  
特開2018-014855 (JP, A)  
特開2018-157450 (JP, A)  
国際公開第2015/133118 (WO, A1)  
特表2019-505161 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
H02M 3/155