

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利申请公布说明书

[21] 申请号 200810180956.9

H01L 21/00 (2006.01)

H01L 21/60 (2006.01)

H01L 21/78 (2006.01)

H01L 23/485 (2006.01)

H01L 23/544 (2006.01)

[43] 公开日 2009年5月27日

[11] 公开号 CN 101441992A

[22] 申请日 2008.11.20

[21] 申请号 200810180956.9

[30] 优先权

[32] 2007.11.20 [33] JP [31] 2007-300790

[71] 申请人 新光电气工业株式会社

地址 日本长野县

[72] 发明人 山野孝治 町田洋弘

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 顾红霞 彭会

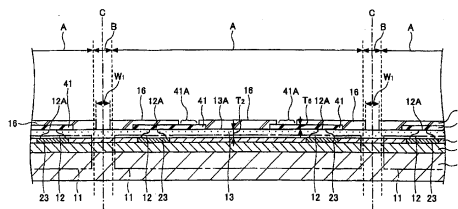
权利要求书 2 页 说明书 16 页 附图 28 页

## [54] 发明名称

半导体器件及其制造方法

## [57] 摘要

本发明公开一种半导体器件及其制造方法，该方法包括：制备步骤，制备半导体基板，所述半导体基板包括多个半导体芯片形成区域和设置在所述多个半导体芯片形成区域之间并包括基板切割位置的划线区域；半导体芯片形成步骤，在所述多个半导体芯片形成区域上形成具有电极焊盘的半导体芯片；第一绝缘层形成步骤，在半导体芯片和半导体基板的划线区域上形成第一绝缘层；第二绝缘层形成步骤，在所述第一绝缘层的除与所述基板切割位置相对应的区域以外的部分上形成第二绝缘层；以及切割步骤，在所述基板切割位置处切割所述半导体基板。



1. 一种制造半导体器件的方法，包括：  
制备步骤，制备半导体基板，所述半导体基板包括：  
    多个半导体芯片形成区域，和  
    划线区域，其设置在所述多个半导体芯片形成区域之间并包括基板切割位置；  
半导体芯片形成步骤，在所述多个半导体芯片形成区域上形成具有电极焊盘的半导体芯片；  
第一绝缘层形成步骤，在所述半导体芯片和所述半导体基板的所述划线区域上形成第一绝缘层；  
第二绝缘层形成步骤，在所述第一绝缘层的除与所述基板切割位置相对应的区域以外的部分上形成第二绝缘层；以及  
切割步骤，在所述基板切割位置处切割所述半导体基板。
2. 根据权利要求 1 所述的制造半导体器件的方法，还包括：  
内部连接端子形成步骤，在所述半导体芯片形成步骤之后，在所述电极焊盘上形成内部连接端子；  
金属层形成步骤，在所述第一绝缘层形成步骤之后，在所述第一绝缘层上形成与所述内部连接端子电连接的金属层；  
配线图案形成步骤，对所述金属层进行蚀刻，并形成配线图案；以及  
外部连接端子形成步骤，在所述配线图案的预定区域中形成与所述配线图案电连接的外部连接端子。
3. 根据权利要求 1 或 2 所述的制造半导体器件的方法，  
其中，所述第一绝缘层没有使所述半导体芯片的与所述划线区域相对应的部分露出。
4. 根据权利要求 1 至 3 中任一项所述的制造半导体器件的方法，

其中，所述第一绝缘层由非光敏绝缘材料制成。

5. 根据权利要求 1 至 4 中任一项所述的制造半导体器件的方法，其中，所述第二绝缘层通过包括蚀刻处理步骤在内的光刻法形成。

6. 一种半导体器件，包括：

半导体基板，所述半导体基板包括：

多个半导体芯片形成区域，和

划线区域，其设置在所述多个半导体芯片形成区域之间并包括基板切割位置；

半导体芯片，其设置在所述半导体芯片形成区域上并包括电极焊盘；

第一绝缘层，其设置在所述半导体基板上；以及

第二绝缘层，其设置在所述第一绝缘层上并具有开口，

其中，通过所述第二绝缘层的所述开口使所述第一绝缘层的与所述半导体基板的所述基板切割位置相对应的部分露出。

7. 根据权利要求 6 所述的半导体器件，还包括：

内部连接端子，其设置在所述电极焊盘上；

配线图案，其设置在所述第一绝缘层上并包括与所述内部连接端子电连接的金属层；以及

外部连接端子，其与所述配线图案电连接。

8. 根据权利要求 6 或 7 所述的半导体器件，

其中，所述第一绝缘层没有使所述半导体芯片的与所述划线区域相对应的部分露出。

9. 根据权利要求 6 至 8 中任一项所述的半导体器件，

其中，所述第一绝缘层由非光敏绝缘材料制成。

## 半导体器件及其制造方法

### 技术领域

本发明涉及半导体器件及其制造方法。更具体地说，本发明涉及以下半导体器件以及该半导体器件的制造方法，即：在平面结构中，该半导体器件的尺寸大致与半导体芯片相等，并且在该半导体器件中，半导体芯片与配线图案倒装芯片连接（flip-chip connect）。

### 背景技术

最近几年，应用半导体的产品（例如数码相机和手机等各种移动设备）已经在减小尺寸、减少厚度和降低重量方面取得了迅速的进展。因此，半导体器件也需要减小尺寸并增加密度。因此，研发出了称为芯片级封装（CSP）的半导体器件（例如，见图1），其中在平面结构中，该半导体器件的构造成尺寸大致与其半导体芯片相等，并且还提出了各种制造方法。

下面将阐述作为这种所谓芯片级封装的常规半导体器件100。图1是常规半导体器件100的剖视图。

半导体器件100包括半导体芯片101、内部连接端子102、树脂层103、配线图案104、阻焊层106和外部连接端子107。

半导体芯片101具有半导体基板109、半导体集成电路111、电极焊盘112和保护膜113。例如，半导体基板109为变薄且切割的Si晶片。

半导体集成电路111设置在图2所示半导体基板109的一个表面上。电极焊盘112设置在半导体集成电路111上并与设置在半导体集成电路111上的导线电连接。保护膜113设置在半导体集成电路111上并保护半导体集成电路111。

树脂层103设置成覆盖布置在半导体集成电路111上的保护膜113。

配线图案 104 形成在树脂层 103 上并具有外部连接端子设置区域 104A, 在该外部连接端子设置区域上设置有外部连接端子 107。

内部连接端子 102 穿透树脂层 103, 并且将设置在半导体集成电路 111 上的电极焊盘 112 与设置在树脂层 103 上的配线图案 104 电连接。

阻焊层 106 设置成覆盖配线图案 104 的除外部连接端子设置区域 104A 以外的区域。外部连接端子 107 设置在配线图案 104 的外部连接端子设置区域 104A 上。

通过下面的步骤 (a) 至 (g) 制造半导体器件 100。

(a) 在一块半导体基板 110 上形成多个半导体集成电路 111、电极焊盘 112 和保护膜 113。

(b) 在半导体基板 110 的除电极焊盘 112 以外的基本上整个表面上形成树脂层 103。

(c) 在电极焊盘 112 上形成内部连接端子 102。

(d) 在树脂层 103 和电极焊盘 112 上形成配线图案 104。

(e) 在树脂层 103 的基本上整个表面上形成阻焊层 106, 以便覆盖配线图案 104 的除与外部连接端子 107 连接的区域以外的区域。

(f) 在配线图案 104 的从阻焊层 106 露出来的区域上形成外部连接端子 107。

(g) 切割经过步骤 (a) 至 (f) 的半导体基板 110, 并将其分成各半导体芯片 101。例如, 如图 2 所示, 通过沿着划线 C 移动切块刀来切割划线区域 B, 以将半导体基板 110 分成各半导体芯片 101。

当使用通过上述方法获得的半导体器件 100 时, 在使用时对半导体器件 100 进行加热, 并且在使用之后使其逐渐冷却。根据这种加热/冷却的循环, 半导体器件 100 热膨胀或者热收缩。通常, 由于半导体芯片 101 由硅制成, 树脂层 103 由诸如聚酰亚胺树脂和热固性环氧树脂等树脂制成, 阻焊层 106 由诸如环氧树脂和环氧丙烯酸树脂等树脂制成, 所以当半导体器件 100 被加热或冷却时, 各层 101、103 和 106 会根据各自实际固有的热膨胀系数膨胀或者收缩。

此外, 由于硅与树脂之间存在很大的热膨胀系数差异, 所以根

据加热和冷却,由硅制成的半导体芯片 101 的尺寸变化与由树脂制成的树脂层 103 和阻焊层 106 的尺寸变化不同。

这种尺寸变化会产生导致树脂层 103 从半导体芯片 101 上剥离的应力。因此,因使用半导体器件 100 而产生的这种重复性应力会导致树脂层 103 从半导体芯片 101 上剥离。

通常,由于树脂层 103 与半导体芯片 101 之间的结合力在角落部分变得最弱,并且因尺寸变化引起的应力在同一角落部分变得最大,所以树脂层 103 的剥离从半导体芯片 101 的角落部分开始。

因此,存在的问题是,由于树脂层 103 从角落部分剥离而使半导体器件 100 的可靠性降低。

应当注意,在制造半导体器件 100 时,如果使用热固性树脂作为阻焊层,那么随着阻焊层硬化,在制造半导体器件 100 的过程中会引起收缩,并且还会产生尺寸变化。因此,即使在制造半导体器件 100 时也会产生抗蚀膜 103 的剥离。

## 发明内容

鉴于上述情况做出了本发明,并且本发明的目的是提供一种可靠性增强的半导体器件以及该半导体器件的制造方法。

为了达到上述目的,根据本发明的第一方面,提供一种制造半导体器件的方法,包括:

制备步骤,制备半导体基板,所述半导体基板包括:

多个半导体芯片形成区域,和

划线区域,其设置在所述多个半导体芯片形成区域之间并包括基板切割位置;

半导体芯片形成步骤,在所述多个半导体芯片形成区域上形成具有电极焊盘的半导体芯片;

第一绝缘层形成步骤,在半导体芯片和半导体基板的划线区域上形成第一绝缘层;

第二绝缘层形成步骤,在所述第一绝缘层的除与所述基板切割

位置相对应的区域以外的部分上形成第二绝缘层；以及  
切割步骤，在所述基板切割位置处切割所述半导体基板。

根据如本发明第一方面所述的本发明的第二方面，所述方法还包括：

内部连接端子形成步骤，在所述半导体芯片形成步骤之后，在所述电极焊盘上形成内部连接端子；

金属层形成步骤，在所述第一绝缘层形成步骤之后，在所述第一绝缘层上形成与所述内部连接端子电连接的金属层；

配线图案形成步骤，对所述金属层进行蚀刻，并形成配线图案；  
以及

外部连接端子形成步骤，在所述配线图案的预定区域中形成与所述配线图案电连接的外部连接端子。

根据如本发明第一或第二方面所述的本发明的第三方面，所述第一绝缘层没有使所述半导体芯片的与划线区域相对应的部分露出。

根据如本发明第一至第三方面中的任一方面所述的本发明的第四方面，所述第一绝缘层由非光敏绝缘材料制成。

根据如本发明第一至第四方面中的任一方面所述的本发明的第五方面，所述第二绝缘层通过包括蚀刻处理步骤在内的光刻法形成。

根据本发明第六方面，提供了一种半导体器件，包括：

半导体基板，所述半导体基板包括：

多个半导体芯片形成区域，和

划线区域，其设置在所述多个半导体芯片形成区域之间并包括基板切割位置；

半导体芯片，其设置在所述半导体芯片形成区域上并包括电极焊盘；

第一绝缘层，其设置在所述半导体基板上；以及  
第二绝缘层，其设置在所述第一绝缘层上并具有开口，  
其中，通过所述第二绝缘层的开口使所述第一绝缘层的与所述  
半导体基板的基板切割位置相对应的部分露出。

根据如本发明第六方面所述的本发明的第七方面，所述半导体  
器件还包括：

内部连接端子，其设置在所述电极焊盘上；

配线图案，其设置在所述第一绝缘层上并包括与所述内部连接  
端子电连接的金属层；以及

外部连接端子，其与所述配线图案电连接。

根据如本发明第六或第七方面所述的本发明的第八方面，所述  
第一绝缘层没有使所述半导体芯片的与划线区域相对应的部分露出。

根据如本发明第六至第八方面中任一方面所述的本发明的第九  
方面，所述第一绝缘层由非光敏绝缘材料制成。

根据本发明，可以提供一种半导体器件及其制造方法，其中该  
半导体器件及其制造方法能够降低半导体器件的制造成本，并且能够  
提高半导体器件的成品率和可靠性。

## 附图说明

图 1 是常规半导体器件的剖视图；

图 2 是常规半导体器件的平面图；

图 3 是本发明第一实施例的半导体器件的剖视图；

图 4 是半导体基板的平面图；

图 5 是示出本发明第一实施例的半导体器件的制造步骤的视图  
(第一步)；

图 6 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第二步)；

图 7 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第三步)；

图 8 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第四步)；

图 9 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第五步)；

图 10 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第六步)；

图 11 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第七步)；

图 12 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第八步)；

图 13 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第九步)；

图 14 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第十步)；

图 15 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第十一步)；

图 16 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第十二步)；

图 17 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第十三步)；

图 18 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第十四步)；

图 19 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第十五步)；

图 20 是示出本发明第一实施例的半导体器件的制造步骤的视图

(第十六步)；

图 21 是本发明第二实施例的半导体器件的剖视图；

图 22 是示出本发明第二实施例的半导体器件的制造步骤的视图（第一步）；

图 23 是示出本发明第二实施例的半导体器件的制造步骤的视图（第二步）；

图 24 是示出本发明第二实施例的半导体器件的制造步骤的视图（第三步）；

图 25 是示出本发明第二实施例的半导体器件的制造步骤的视图（第四步）；

图 26 是示出本发明第二实施例的半导体器件的制造步骤的视图（第五步）；

图 27 是示出本发明第二实施例的半导体器件的制造步骤的视图（第六步）；以及

图 28 是示出本发明第二实施例的半导体器件的制造步骤的视图（第七步）。

## 具体实施方式

下面，将参考附图对本发明的示例性实施例进行描述。

### （第一实施例）

图 3 是本发明第一实施例的半导体器件的剖视图。如图 3 所示，第一实施例的半导体器件 10 具有半导体芯片 11、内部连接端子 12、绝缘层 13（第一绝缘层）、包括金属层 26 和第二金属层 27 的配线图案 14、阻焊层 16（第二绝缘层）以及外部连接端子 17。这里，D 部位表示在常规半导体器件中不利地产生剥离的部分。即保护膜 24 与第一绝缘层 13 之间的边界，并且该边界与下文所述的划线区域 B 相邻。

图 4 是半导体基板的平面图，本发明第一实施例的半导体器件形成在该半导体基板上。在图 4 中，31 表示半导体基板，C 表示通过切块设备对半导体基板 31 进行切割的位置（以下称为“基板切割位置 C”）。半导体基板 31 具有多个半导体器件形成区域 A 和划线区域 B，划线区域 B 包括基板切割位置 C，用于使多个半导体器件形

成区域 A 彼此分开。多个半导体器件形成区域 A 为形成半导体器件 10 的区域。半导体基板 31 为变薄的基板，并且在基板切割位置 C 进行切割从而形成图 3 所示的半导体基板 21。

在图 3 中，半导体芯片 11 具有半导体基板 21、半导体集成电路 22、多个电极焊盘 23 以及保护膜 24。半导体基板 21 为用于形成半导体集成电路 22 的基板。半导体基板 21 已经变薄。半导体基板 21 的厚度  $T_1$  可以设为例如  $100\mu\text{m}$ - $300\mu\text{m}$ 。半导体基板 21 为例如通过切割变薄的 Si 晶片获得的各个单独的小片。

半导体集成电路 22 设置在半导体基板 21 的前表面一侧。半导体集成电路 22 包括形成在半导体基板 21 中的扩散层（未示出）、堆叠在半导体基板 21 上的绝缘层（未示出）、设置在堆叠的绝缘层中的导通部（未示出）以及配线等（未示出）。

多个电极焊盘 23 设置在半导体集成电路 22 上。这些电极焊盘 23 与设置在半导体集成电路 22 上的配线（未示出）电连接。可以使用例如 Al 作为电极焊盘 23 的材料。

保护膜 24 设置在半导体集成电路 22 上。保护膜 24 保护半导体集成电路 22。可以使用例如 SiN 膜、PSG（磷硅玻璃）膜作为保护膜 24。作为另外一种选择，还可以将包括聚酰亚胺或类似物的层另外堆叠在包括 SiN 膜、PSG 膜的层上。

在每个电极焊盘 23 上都设置有一个内部连接端子 12。内部连接端子 12 用于使半导体集成电路 22 与配线图案 14 电连接。内部连接端子 12 的高度  $H_1$  可以设为例如  $10\mu\text{m}$ - $60\mu\text{m}$ 。可以使用例如 Au 凸点、镀 Au 膜或者包括通过无电解电镀法形成的 Ni 膜和覆盖在 Ni 膜上的 Au 膜的金属膜作为内部连接端子 12 的材料。可以通过例如结合法或者电镀法形成 Au 凸点。

绝缘层 13（第一绝缘层）设置成覆盖内部连接端子 12 的除内部连接端子 12 的上表面 12A 以外的部分以及半导体芯片 11。内部连接端子 12 的上表面 12A 从绝缘层 13 露出。绝缘层 13 的上表面 13A 设为与内部连接端子 12 的上表面 12A 基本上齐平。可以使用例如具有粘性的片状绝缘层（例如，非导电膜（NCF, Non Conductive Film））

或者糊状绝缘层（例如，非导电糊（NCP, Non Conductive Paste））作为绝缘层 13。绝缘层 13 的厚度  $T_2$  可以设为例如  $10\mu\text{m}$ - $60\mu\text{m}$ 。

配线图案 14 包括金属层 26 和第二金属层 27，并且设置在绝缘层 13 的上表面 13A 上，以便与内部连接端子 12 的上表面 12A 接触。配线图案 14 通过内部连接端子 12 与半导体集成电路 22 电连接。配线图案 14 具有外部连接端子设置区域 14A，外部连接端子 17 设置在该外部连接端子设置区域 14A 中。可以使用例如 Cu 作为配线图案 14 的材料。配线图案 14 的厚度可以设为例如  $12\mu\text{m}$ 。

阻焊层 16（第二绝缘层）设置成在外部连接端子设置区域 14A 处以及在全部分或划线区域 B 处是敞开的，并且覆盖配线图案 14。需要指出的是，阻焊层 16 的与基板切割位置 C 相对应的部分必须是敞开的。外部连接端子 17 设置在配线图案 14 的外部连接端子设置区域 14A 中。外部连接端子 17 是要与设置在例如母板等安装基板（未示出）上的焊盘电连接的端子。可以使用例如焊料凸点作为外部连接端子 17。

这里，在半导体器件 10 的全部或部分划线区域 B 上不形成阻焊层 16。阻焊层 16 的与基板切割位置 C 相对应的部分必须是敞开的。因此，当在基板切割位置 C 切割半导体器件 31 时，半导体芯片 11 和绝缘层 13 被切割，而阻焊层 16 不被切割。因此，绝缘层 13 在半导体器件 10 的外周处露出（半导体芯片 11 的主表面未露出）。在绝缘层 13 的切割平面与阻焊层 16 的端面之间具有一定距离  $L_1$ 。

如上文所述，在全部分或划线区域上不形成阻焊层 16，并且阻焊层 16 的与基板切割位置 C 相对应的部分必须是敞开的。因此，在绝缘层 13 的切割表面与阻焊层 16 的端面之间具有一定距离  $L_1$ ，这能够减小阻焊层 16 施加在 D 部位上的拉伸应力和硬化收缩力作用（释放施加在 D 部位上的应力）。这可以防止绝缘层 13 从半导体芯片 11 上剥离。

图 5 至图 20 是示出根据本发明第一实施例的半导体器件的制造步骤的视图。在图 5 至图 20 中，与第一实施例的半导体器件 10 相同的组成部件用相同的附图标记和符号表示。在图 5 至图 20 中，C 表

示通过切块设备对半导体基板 31 进行切割的位置（以下称为“基板切割位置 C”）；A 表示多个半导体器件形成区域（以下称为“半导体器件形成区域 A”）；B 表示包括基板切割位置 C 的划线区域，用于使多个半导体器件形成区域 A 分开（以下称为“划线区域 B”）。

首先，在图 5 所示的步骤中，制备具有多个半导体器件形成区域 A 和划线区域 B 的半导体基板 31（见图 4），其中划线区域 B 包括基板切割位置 C，用于使多个半导体器件形成区域 A 分开。半导体基板 31 是变薄的基板，并且在基板切割位置 C 处被切割，从而形成前述半导体基板 21（见图 3）。可以使用例如 Si 晶片作为半导体基板 31。半导体基板 31 的厚度  $T_3$  可以设为例如  $500\mu\text{m}$ - $775\mu\text{m}$ 。

然后，在图 6 所示的步骤中，在半导体基板 31 的与半导体器件形成区域 A 相对应的前表面一侧，通过已知方法形成具有半导体集成电路 22、电极焊盘 23 和保护膜 24 的半导体芯片 11（半导体芯片形成步骤）。可以使用例如 Al 作为电极焊盘 23 的材料。可以使用例如 SiN 膜或 PSG 膜作为保护膜 24。作为另外一种选择，还可以将含有聚酰亚胺或类似物的层另外堆叠在包括 SiN 膜、PSG 膜等膜的层上。

然后，在图 7 所示的步骤中，在设置于多个半导体器件形成区域 A 中的多个电极焊盘 23 上分别形成内部连接端子 12（内部连接端子形成步骤）。可以使用例如 Au 凸点、镀 Au 膜或者包括通过无电解电镀法形成的 Ni 膜和堆叠在 Ni 膜上的 Au 膜的金属膜作为各个内部连接端子 12。可以通过例如结合法形成 Au 凸点。需要指出的是，在图 7 所示步骤中形成的多个内部连接端子 12 的高度是不同的。

然后，在图 8 所示的步骤中，形成绝缘层 13（第一绝缘层），以便覆盖多个半导体芯片 11 的设置于内部连接端子 12 的一侧（多个半导体芯片 11 的前表面一侧）和内部连接端子 12（第一绝缘层形成步骤）。这里，绝缘层 13 覆盖包括半导体器件形成区域 A、划线区域 B 和基板切割区域 C 在内的半导体基板的整个表面。可以使用例如具有粘性的片状绝缘树脂（例如，非导电膜（NCF, Non Conductive Film））或者糊状绝缘树脂（例如，非导电糊（NCP, Non Conductive

Paste) ) 作为绝缘层 13。

当使用具有粘性的片状绝缘树脂时, 将该片状绝缘树脂结合在图 7 所示结构的上表面一侧, 从而形成绝缘层 13。作为另外一种选择, 当使用糊状绝缘树脂作为绝缘层 13 时, 通过印刷法将该糊状绝缘树脂形成在图 7 所示结构的上表面一侧, 然后预烘烤该绝缘树脂并使其半硬化。半硬化的绝缘树脂具有粘性。绝缘层 13 的厚度  $T_4$  可以设为例如  $20\mu\text{m}$ - $100\mu\text{m}$ 。

然后, 在图 9 所示的步骤中, 在绝缘层 13 的上表面 13A 上形成金属箔 25。具体地说, 制备 Cu 箔作为金属箔 25, 并且将 Cu 箔结合在绝缘层 13 的上表面 13A 上。金属箔 25 的厚度  $T_5$  可以设为例如  $10\mu\text{m}$ 。

然后, 在图 10 所示的步骤中, 在加热图 9 所示结构的同时, 从金属箔 25 的上表面 25A 一侧按压金属箔 25。结果, 金属箔 25 的下表面 25B 与多个内部连接端子 12 的上表面 12A 相互接触, 从而使金属箔 25 与内部连接端子 12 压力结合(压力结合步骤)。此外, 通过加热图 9 所示的结构, 使绝缘层 13 硬化。绝缘层 13 在压力结合之后的厚度  $T_2$  可以设为例如  $10\mu\text{m}$ - $60\mu\text{m}$ 。然后, 在图 11 所示的步骤中, 通过蚀刻法将金属箔 25 全部去除。经过图 9 至图 11 所示的步骤, 可以在下文所述的图 12 的步骤中增强金属层 26 与内部连接端子 12 之间的附着。

然后, 在图 12 所示的步骤中, 通过例如溅射法形成金属层 26, 以便覆盖图 11 所示结构的上表面(绝缘层 13 的上表面 13A)(金属层形成步骤)。金属层 26 与内部连接端子 12 电连接。可以使用例如 Cu 层、包括 Cu 层和 Cr 层的叠层制品或包括 Cu 层和 Ti 层的叠层制品作为金属层 26。作为另外一种选择, 金属层 26 可以为无电解镀 Cu 层, 通过气相沉积法、涂布法、化学气相沉积(CVD)法等形成的金属薄膜层。还可以选择的是, 可以结合前述金属层的形成方法。金属层 26 的厚度  $T_6$  可以设为例如  $10\mu\text{m}$ 。

然后, 在图 13 所示的步骤中, 例如通过将金属层 26 作为馈电层的电解电镀法等方法形成第二金属层 27, 以便覆盖图 12 所示结构

的上表面（金属层 26 的上表面 26A）（金属层形成步骤）。具体地说，可以使用 Cu 等作为第二金属层 27。第二金属层 27 的厚度  $T_7$  可以设为例如  $10\mu\text{m}$ 。然后，在图 14 所示的步骤中，在第二金属层 27 的上表面 27A 上涂布抗蚀剂，并且使该抗蚀剂曝光并显影，从而在第二金属层 27 的上表面 27A 的与配线图案 14 的形成区域相对应的位置上形成抗蚀膜 28。

然后，在图 15 所示的步骤中，通过使用抗蚀膜 28 作为掩模对金属层 26 和第二金属层 27 进行蚀刻，从而去除金属层 26 和第二金属层 27 的未形成有抗蚀膜 28 的部分。结果，形成了配线图案 14（配线图案形成步骤）。

然后，在图 16 所示的步骤中，将图 15 所示的抗蚀膜 28 去除。之后，对配线图案 14 进行粗糙化处理。可以通过黑化处理或者粗糙化蚀刻处理中的任一种方法进行配线图案 14 的粗糙化处理。粗糙化处理是为了提高配线图案 14 与设置在配线图案 14 的上表面和侧表面上的阻焊层 16 之间的附着。

然后，在图 17 所示的步骤中，涂布抗蚀剂以便覆盖配线图案 14 的顶部和绝缘层 13 的顶部。然后，通过光刻法使抗蚀剂曝光并显影。通过蚀刻法去除抗蚀剂的与外部连接端子设置区域 14A 和全部或部分划线区域 B 相对应的部分。结果，形成阻焊层 16（第二绝缘层），其中该阻焊层具有用于使外部连接端子设置区域 14A 和全部或部分划线区域 B 露出的开口（第二绝缘层形成步骤）。

也就是说，阻焊层 16（第二绝缘层）形成于绝缘层 13（第一绝缘层）的除与基板切割位置 C 相对应的区域以外的部分上。换句话说，通过阻焊层 16（第二绝缘层）的开口使绝缘层 13（第一绝缘层）的与半导体基板 31 的基板切割位置 C 相对应的部分露出。

应当注意，必须形成用于露出全部或部分划线区域 B 的开口，以便露出基板切割位置 C。阻焊层 16 的厚度可以设为例如  $25\mu\text{m}$ 。划线区域 B 的宽度可以设为例如  $200\mu\text{m}$ 。此外，考虑到阻焊层 16 与图 16 所示结构之间的对准偏差等因素，阻焊层 16 的与划线区域 B 相对应的开口部分的宽度  $W_1$  可以设为例如  $150\mu\text{m}$ 。

然后，在图 18 所示的步骤中，从半导体基板 31 的背面一侧对半导体基板 31 进行抛光或研磨，以便使半导体基板 31 变薄。为使半导体基板 31 变薄，例如，可以使用背面研磨机。半导体基板 31 在变薄之后的厚度  $T_1$  可以设为例如  $100\mu\text{m}$ - $300\mu\text{m}$ 。

然后，在图 19 所示的步骤中，在配线图案 14 的外部连接端子设置区域 14A 中形成外部连接端子 17（外部连接端子形成步骤）。结果，在多个半导体器件形成区域 A 中形成与半导体器件 10 相对应的结构。然后，在图 20 所示的步骤中，沿着基板切割位置 C 对与划线区域 B 相对应的半导体基板 31 进行切割（切割步骤）。结果，制成了多个半导体器件 10。通过例如切块法进行半导体基板 31 的切割。

需要指出的是，在半导体器件 10 的全部或部分划线区域 B 上不形成阻焊层 16。阻焊层 16 的与基板切割位置 C 相对应的部分必定是敞开的。因此，当在基板切割位置 C 处对半导体基板 31 进行切割时，半导体芯片 11 和绝缘层 13 被切割，而阻焊层 16 不被切割。因此，绝缘层 13 在半导体器件 10 的外周边处露出（半导体芯片 11 的主表面未露出）。在绝缘膜 13 与阻焊层 16 之间的边界部分处产生高度差异。

根据本发明第一实施例的半导体器件及其制造方法，在半导体器件 10 的全部或部分划线区域 B 上不形成阻焊层 16（第二绝缘层），并且阻焊层 16（第二绝缘层）的与基板切割位置 C 相对应的部分必定是敞开的。因此，在绝缘层 13（第一绝缘层）的切割表面与阻焊层 16（第二绝缘层）的端面之间具有一定距离  $L_1$ ，这能够减小阻焊层 16（第二绝缘层）施加在 D 部位上的拉伸应力和硬化收缩力作用（释放施加在 D 部位上的应力）。这可以防止绝缘层 13（第一绝缘层）从半导体芯片 11 上剥离，从而可以提高半导体器件 10 的成品率。

此外，整个半导体芯片 11 覆盖有绝缘层 13（第一绝缘层），并且半导体芯片 11 的主表面未露出。因此，可以提高半导体器件 10 的可靠性。

（第二实施例）

图 21 是根据本发明第二实施例的半导体器件的剖视图。在图 21

中，与第一实施例的半导体器件 10 相同的组成部件用相同的附图标记和符号表示。参见图 21，除了用包括金属层 26 的配线图案 41 代替设置在第一实施例的半导体器件 10 中的包括金属层 26 和第二金属层 27 的配线图案 14 以外，按照与半导体器件 10 相同的方式构造第二实施例的半导体器件 40。

图 22 至图 28 是示出根据本发明第二实施例的半导体器件的制造步骤的视图。在图 22 至图 28 中，与第二实施例的半导体器件 40 相同的组成部件用相同的附图标记和符号表示。参考图 22 至图 28，将对第二实施例的半导体器件 40 的制造方法进行描述。首先，通过进行与在本发明第一实施例中描述并在图 5 至图 12 中示出的步骤中的处理相同的处理，形成图 12 所示的结构。然后，在图 22 所示的步骤中，将抗蚀剂涂布在图 12 所示结构的上表面（金属层 26 的上表面 26A）上。然后，使抗蚀剂曝光并显影，从而在金属层 26 的与配线图案 41 的形成区域相对应的部分上形成抗蚀膜 28。

然后，在图 23 所示的步骤中，通过使用抗蚀膜 28 作为掩模对金属层 26 进行蚀刻，从而去除金属层 26 的没有形成抗蚀膜 28 的部分。结果，形成了配线图案 41（配线图案形成步骤）。

然后，在图 24 所示的步骤中，将图 23 所示的抗蚀膜 28 去除。之后，对配线图案 41 进行粗糙化处理。可以通过黑化处理或者粗糙化蚀刻处理中的任一种方法进行配线图案 41 的粗糙化处理。粗糙化处理是为了提高配线图案 41 与形成在配线图案 41 的上表面和侧表面上的阻焊层 16 之间的附着。

然后，在图 25 所示的步骤中，涂布抗蚀剂以便覆盖配线图案 41 的顶部和绝缘层 13 的顶部。然后，通过光刻法使抗蚀剂曝光并显影。通过蚀刻法去除抗蚀剂的与外部连接端子设置区域 41A 和全部或部分划线区域 B 相对应的部分。结果，形成阻焊层 16（第二绝缘层），其中该阻焊层具有用于使外部连接端子设置区域 41A 和全部或部分划线区域 B 露出的开口（第二绝缘层形成步骤）。

需要指出的是，必须形成用于露出全部或部分划线区域 B 的开口，以便露出基板切割位置 C。阻焊层 16 的厚度可以设为例如 25 $\mu\text{m}$ 。

划线区域 B 的宽度可以设为例如  $200\mu\text{m}$ 。此外，考虑到阻焊层 16 与图 24 所示结构之间的对准偏差等因素，阻焊层 16 的与划线区域 B 相对应的开口部分的宽度  $W_1$  可以设为例如  $150\mu\text{m}$ 。

然后，在图 26 所示的步骤中，从半导体基板 31 的背面一侧对半导体基板 31 进行抛光或研磨，以使半导体基板 31 变薄。为使半导体基板 31 变薄，例如，可以使用背面研磨机。半导体基板 31 在变薄之后的厚度  $T_1$  可以设为例如  $100\mu\text{m}$ - $300\mu\text{m}$ 。

然后，在图 27 所示的步骤中，在配线图案 41 的外部连接端子设置区域 41A 中形成外部连接端子 17（外部连接端子形成步骤）。结果，在多个半导体器件形成区域 A 中形成与半导体器件 40 相对应的结构。然后，在图 28 所示的步骤中，沿着基板切割位置 C 对与划线区域 B 相对应的半导体基板 31 进行切割（切割步骤）。结果，制成了多个半导体器件 40。通过例如切块法进行半导体基板 31 的切割。

这里，在半导体器件 40 的全部或部分划线区域 B 上不形成阻焊层 16。阻焊层 16 的与基板切割位置 C 相对应的部分必定是敞开的。因此，当沿着基板切割位置 C 切割半导体器件 31 时，半导体芯片 11 和绝缘层 13 被切割，而阻焊层 16 不被切割。因此，绝缘层 13 在半导体器件 40 的外周边处露出（半导体芯片 11 的主表面未露出）。因此，在绝缘层 13 的切割表面与阻焊层 16 的端面之间具有一定距离  $L_1$ 。

与本发明第一实施例的半导体器件以及制造方法一样，根据本发明第二实施例的半导体器件以及制造方法，在半导体器件 40 的全部或部分划线区域 B 上不形成阻焊层 16（第二绝缘层），并且阻焊层 16（第二绝缘层）的与基板切割位置 C 相对应的部分必定是敞开的。因此，在绝缘层 13（第一绝缘层）的切割表面与阻焊层 16（第二绝缘层）的端面之间具有一定距离  $L_1$ ，这能够减小阻焊层 16（第二绝缘层）施加在 D 部位上的拉伸应力和硬化收缩力作用（释放施加在 D 部位上的应力）。这可以防止绝缘层 13（第一绝缘层）从半导体芯片 11 上剥离，从而可以提高半导体器件 40 的成品率。

此外，由于整个半导体芯片 11 都覆盖有绝缘层 13（第一绝缘

层)，并且半导体芯片 11 的主表面未露出，所以可以提高半导体器件 40 的可靠性。

至此，已经详细地描述了本发明的优选实施例。然而，本发明不限于前述实施例。在不脱离本发明范围的情况下，可以对前述实施例进行各种修改和替换。

例如，在本发明的第一和第二实施例中，描述了在第一绝缘层上形成配线图案（再配线）的实例。然而，本发明在以下情况中也是有效的，即：在半导体芯片上按照顺序堆叠第一绝缘层和第二绝缘层，并且第二绝缘层在第一绝缘层上施加应力，使得半导体芯片与第一绝缘层相互剥离。因此，本发明同样可以应用于其中没有形成再配线的任何半导体器件，只要该半导体器件为具有在半导体芯片上按顺序堆叠第一绝缘层和第二绝缘层的结构的半导体器件即可。

此外，形成配线图案（再配线）的方法不限于本发明第一实施例和第二实施例所述的方法。例如，也可以采用下面的（半加成）法。在绝缘层上形成金属层。然后，在金属层的上表面上涂布抗蚀剂，并且使该抗蚀剂曝光并显影。结果，形成了具有用于露出配线形成区域的开口的抗蚀膜。然后，通过使用金属层作为馈电层的电解电镀法或类似方法在该开口上形成金属膜。然后，将抗蚀膜去除。然后，通过蚀刻法去除金属层的未形成金属膜的区域。结果，形成了包括金属层和金属膜的配线图案。

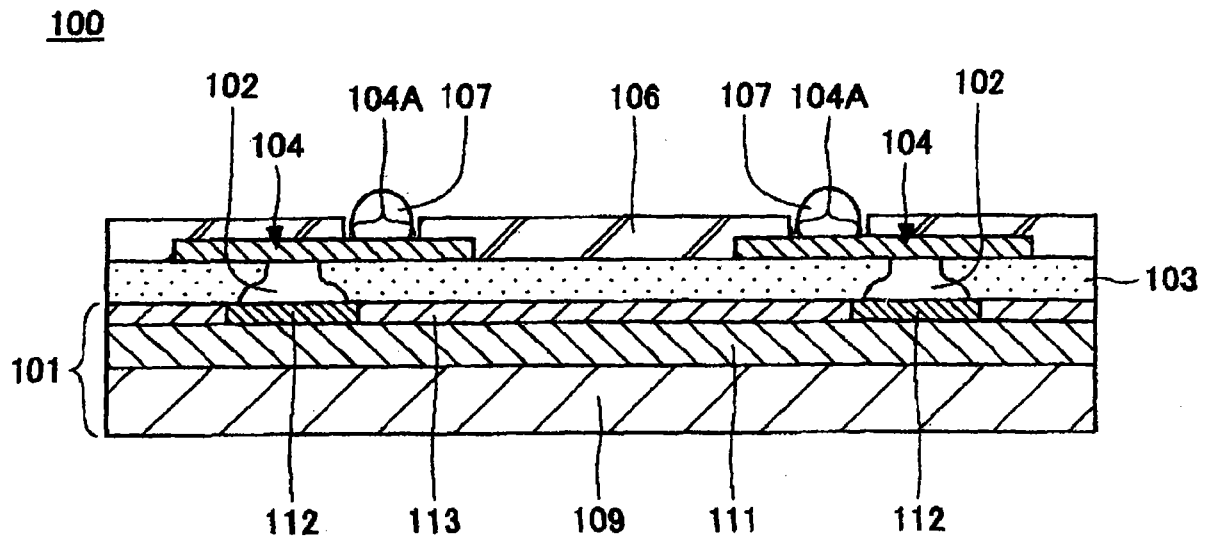


图 1

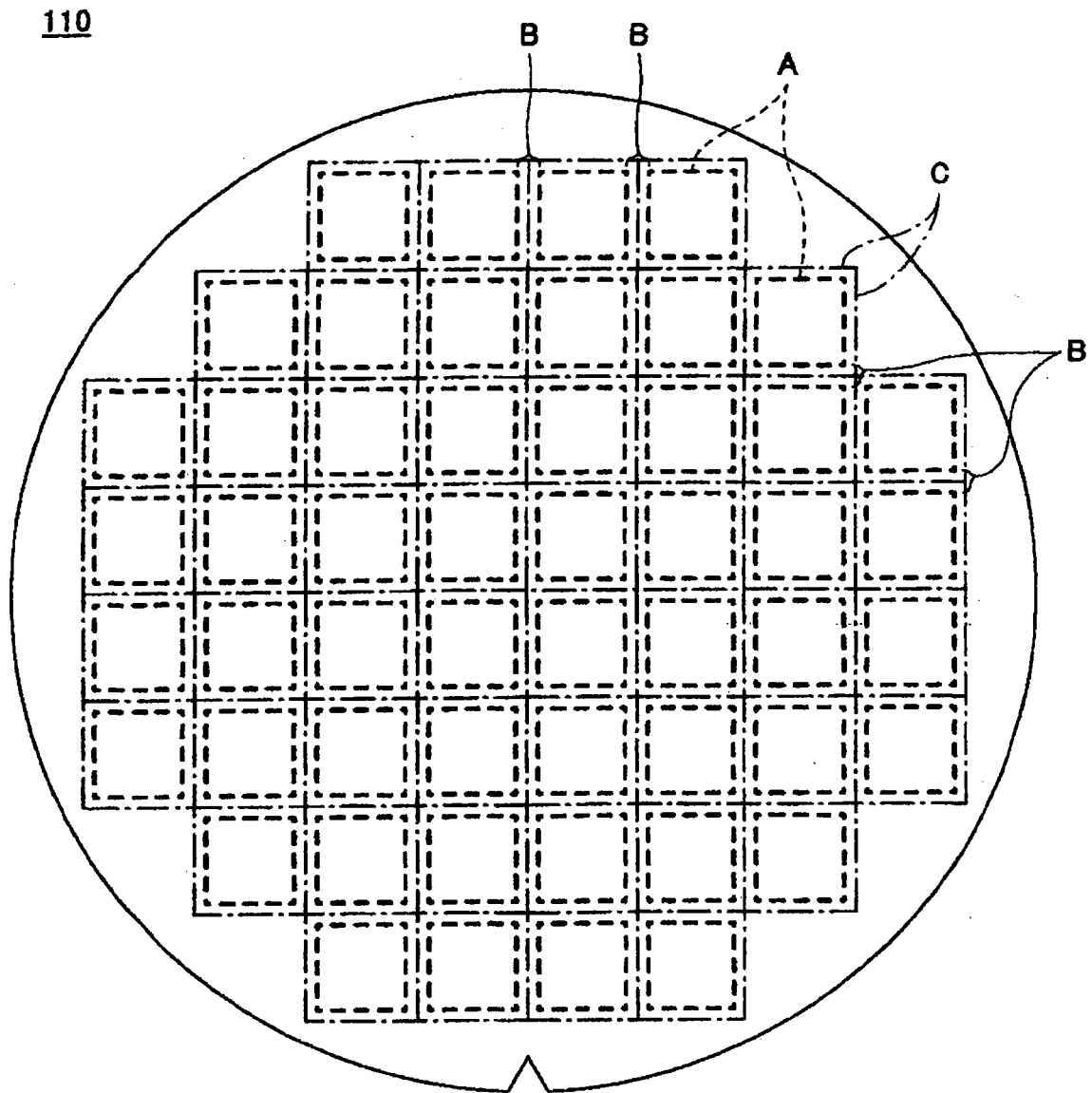


图 2

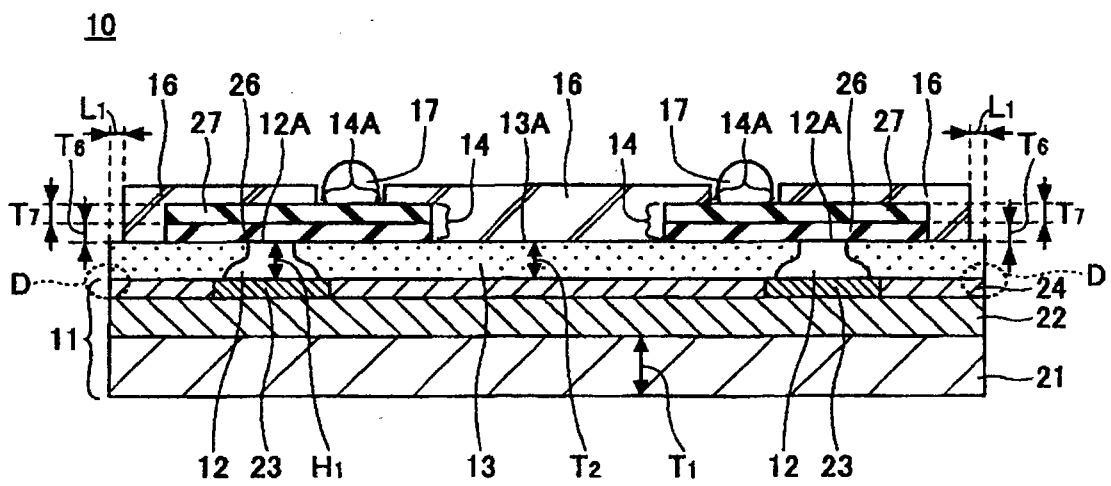


图 3

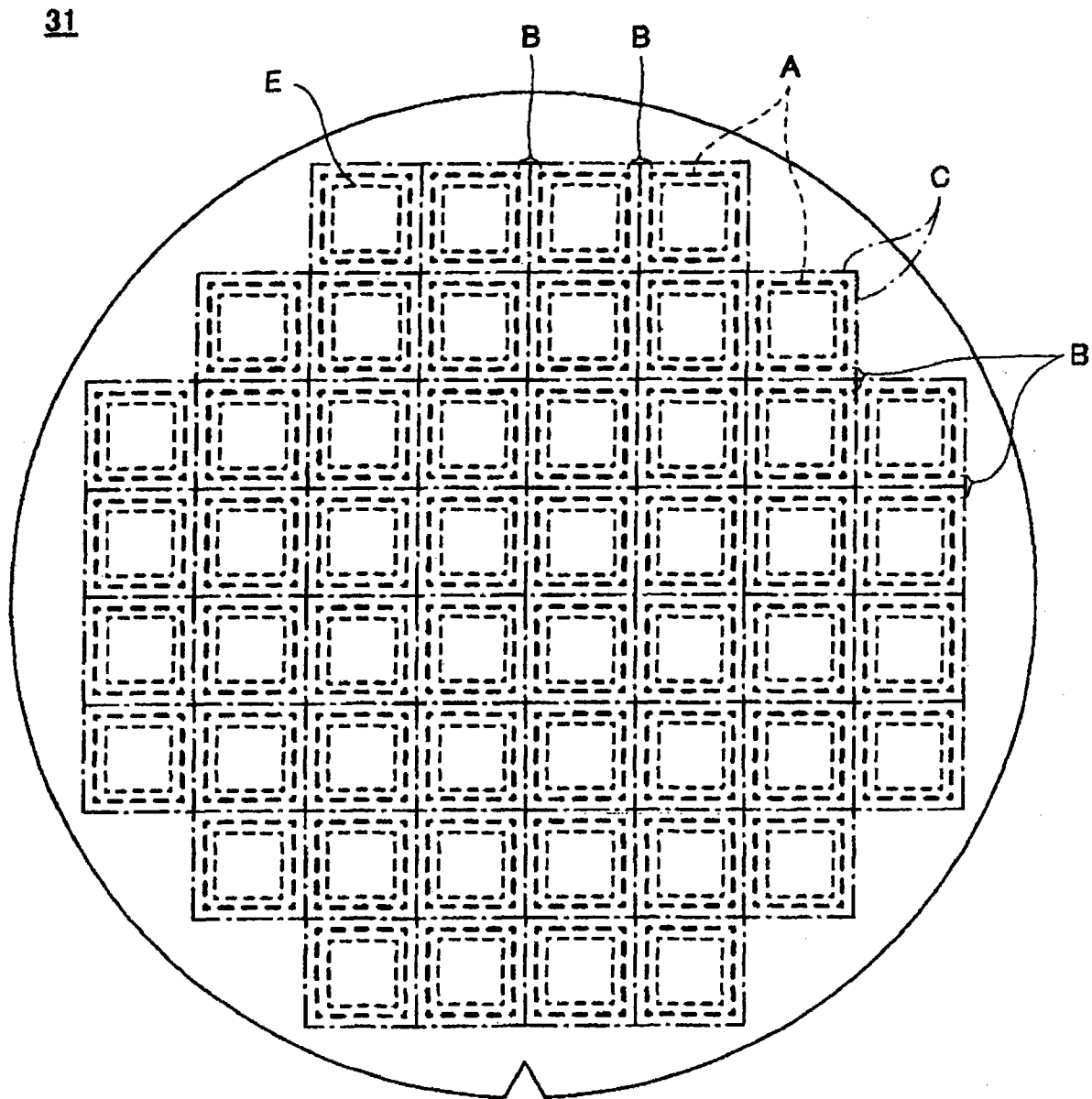


图 4

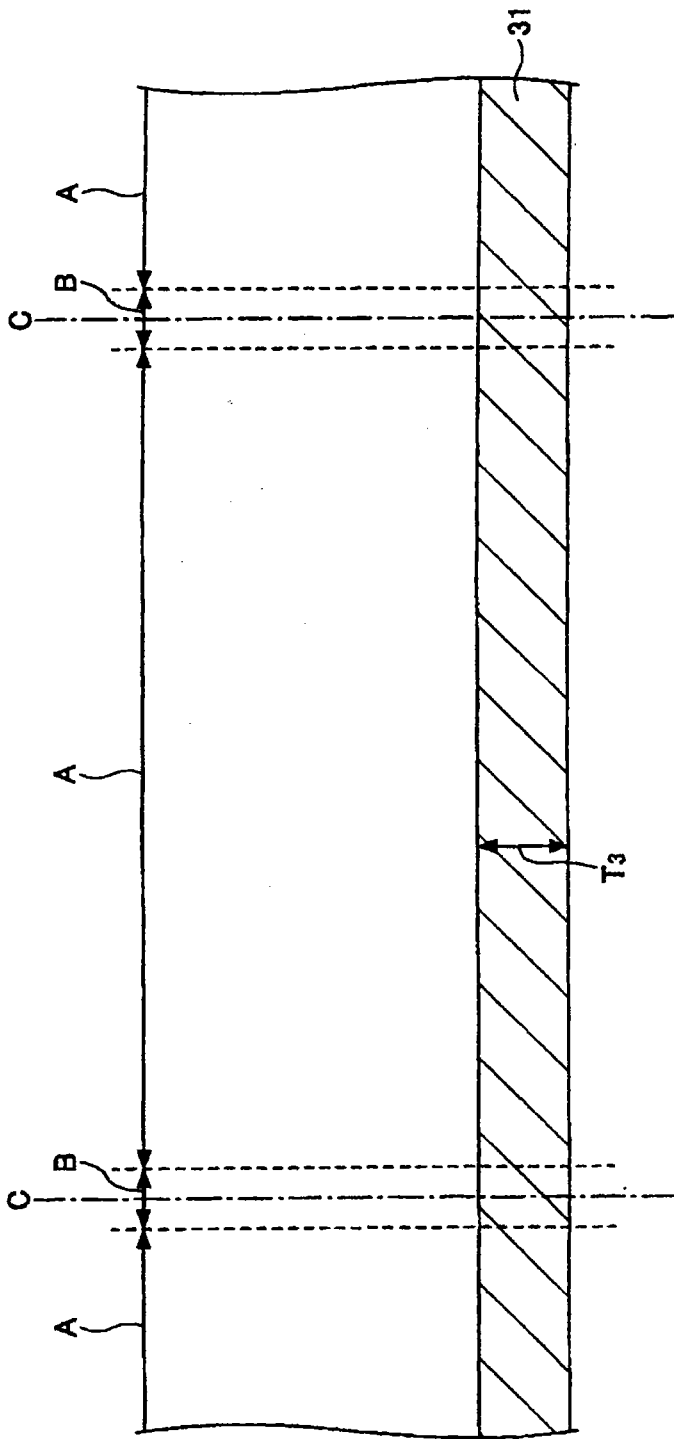


图 5

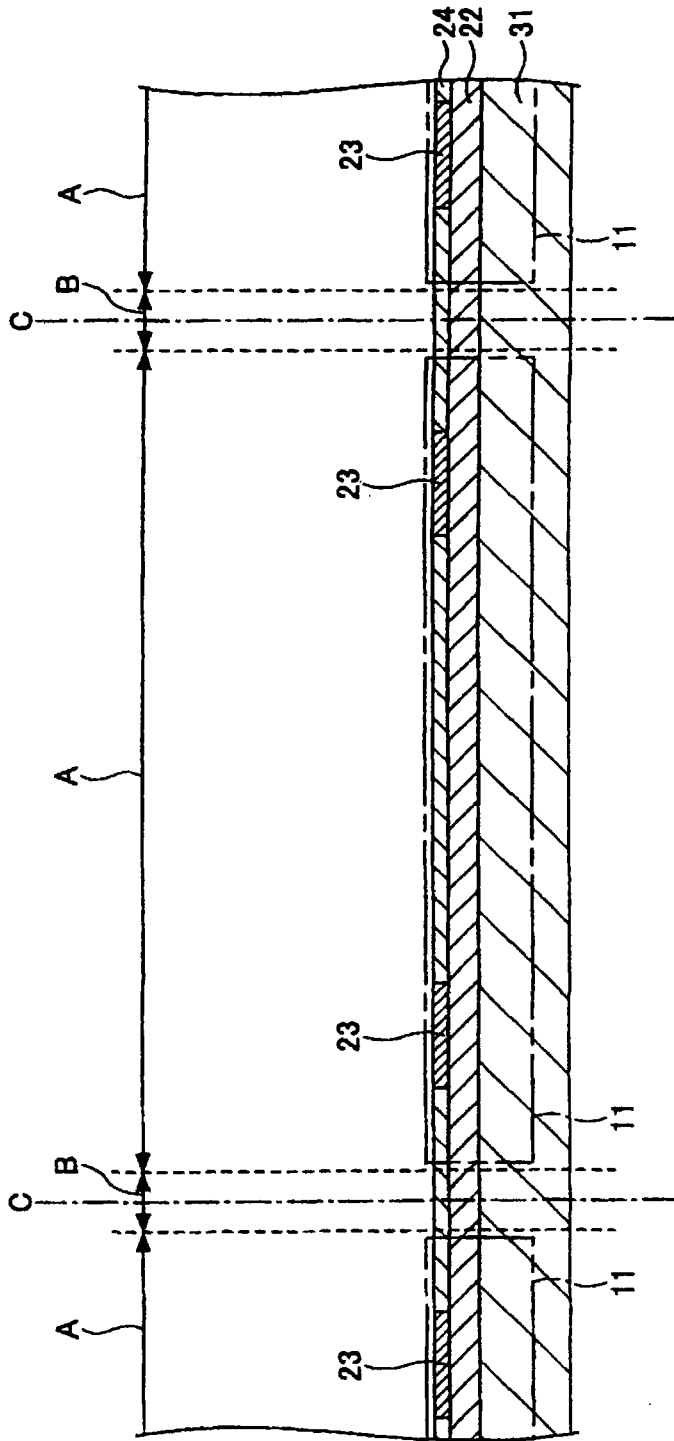


图6

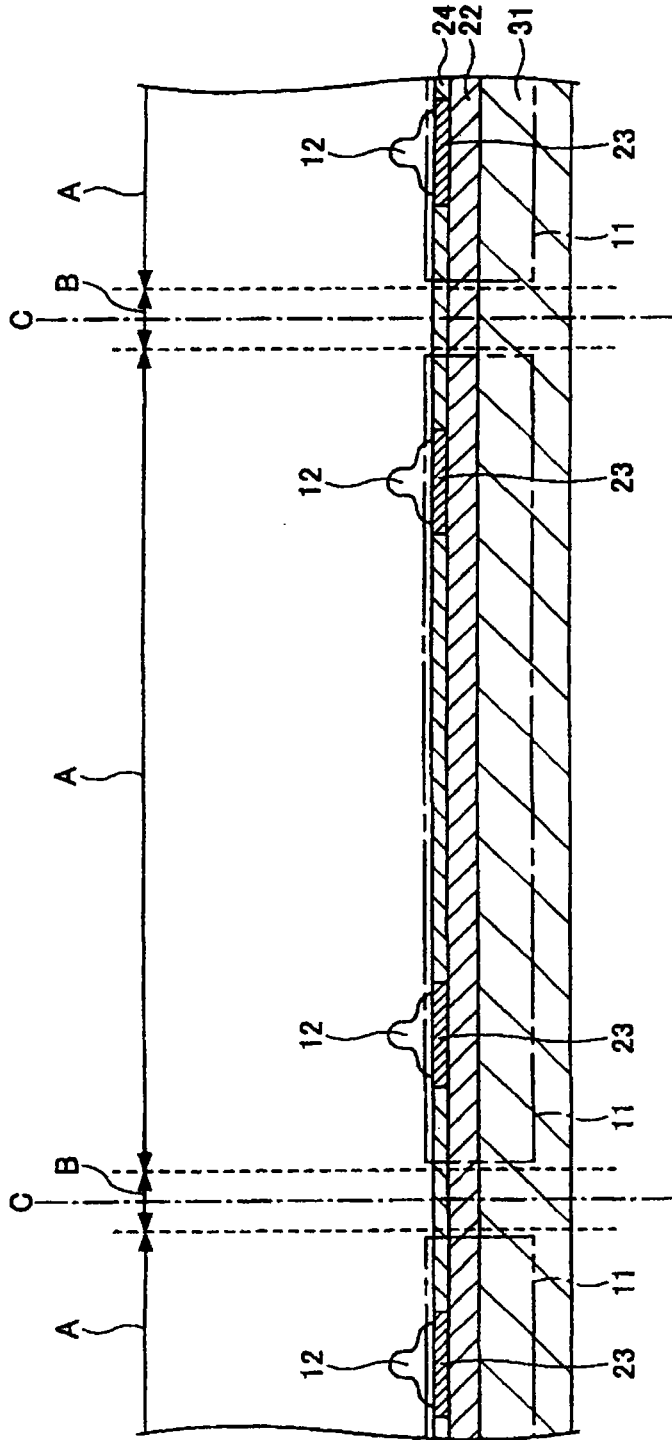


图 7

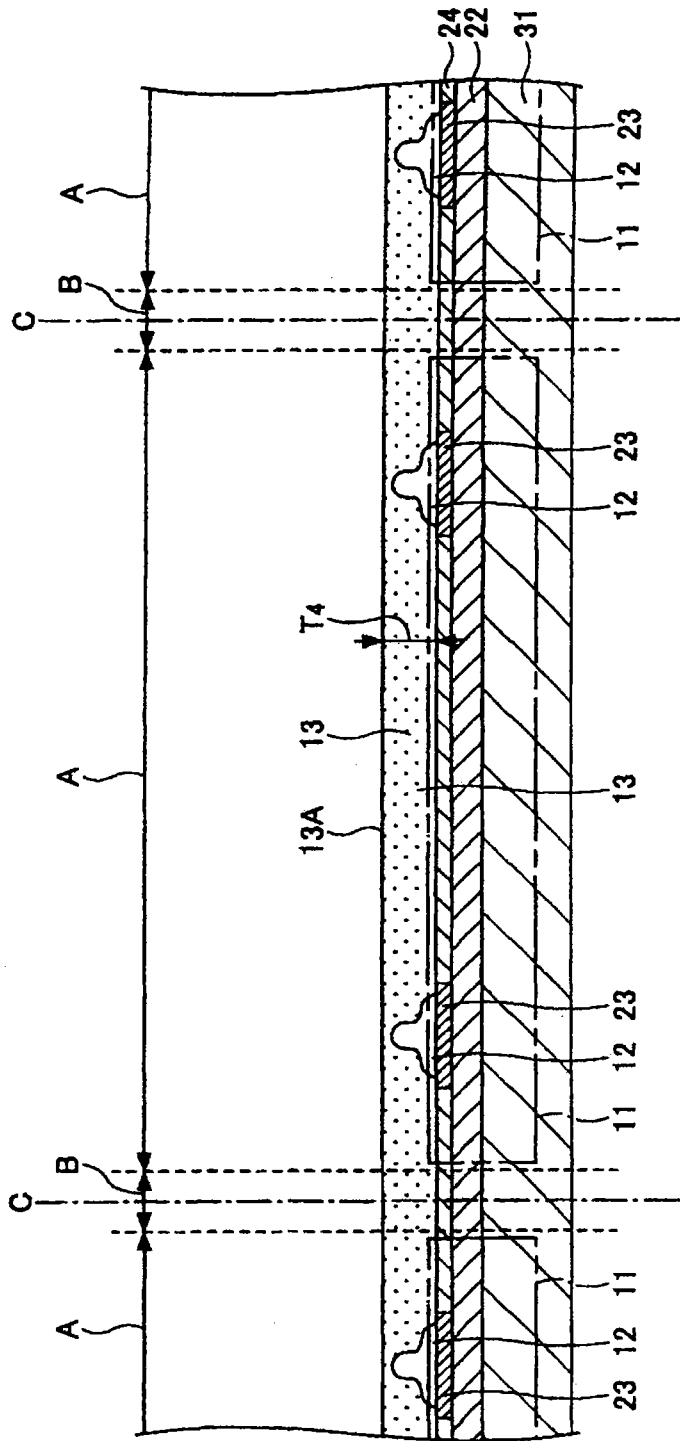


图 8



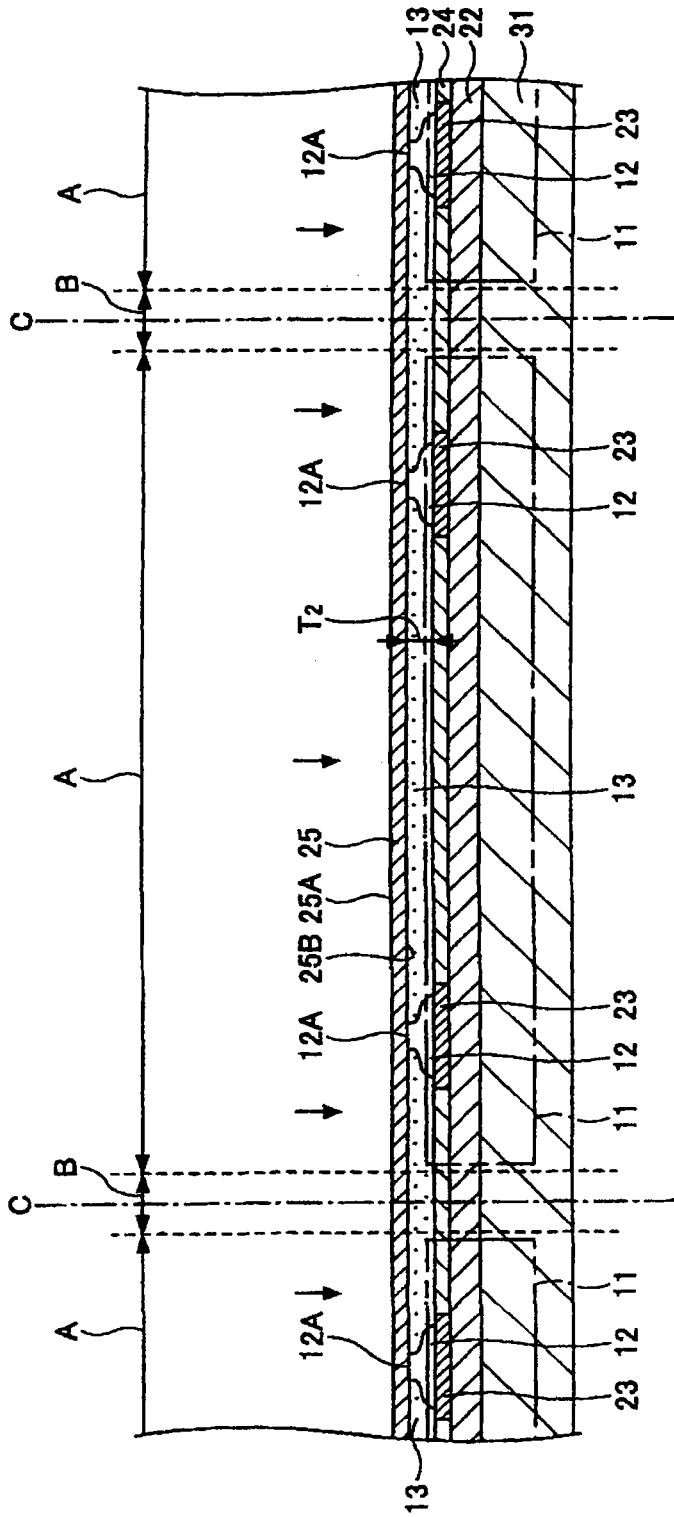


图 10

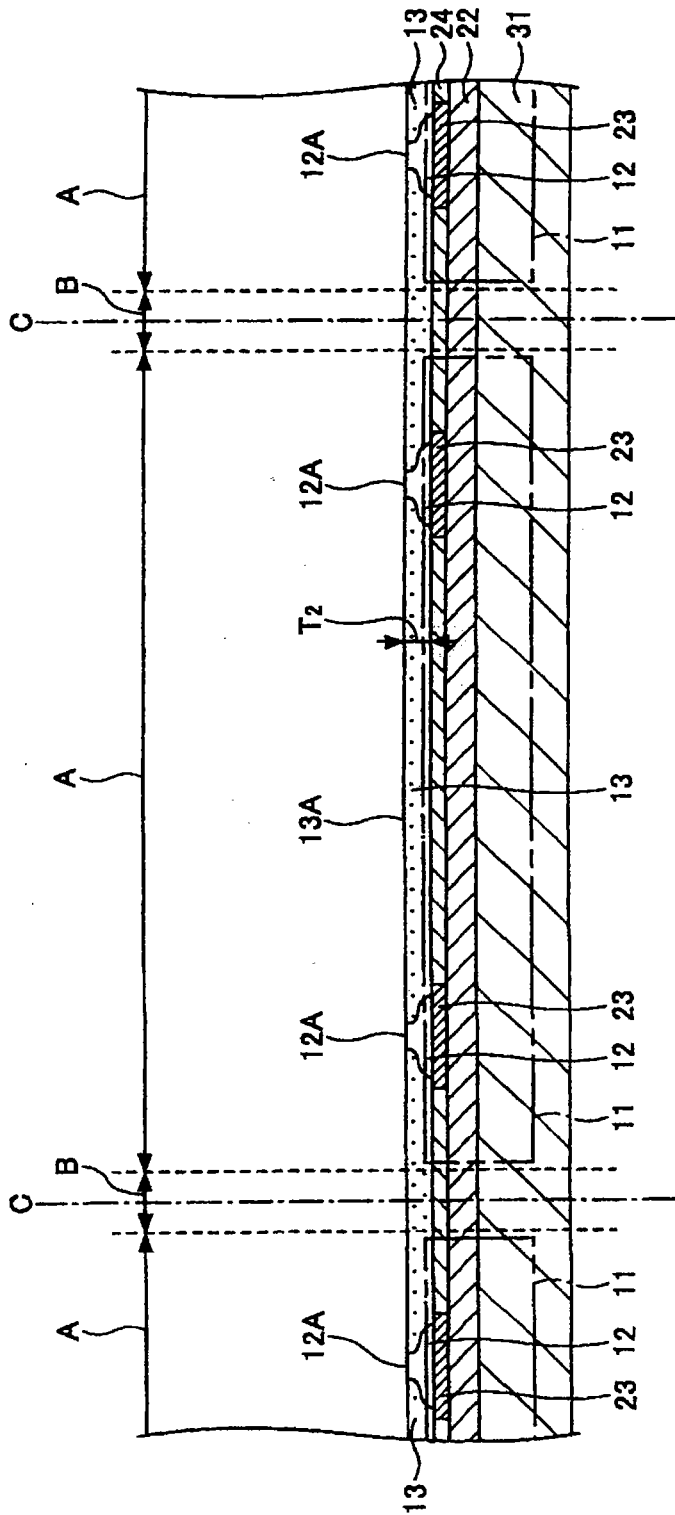


图 11

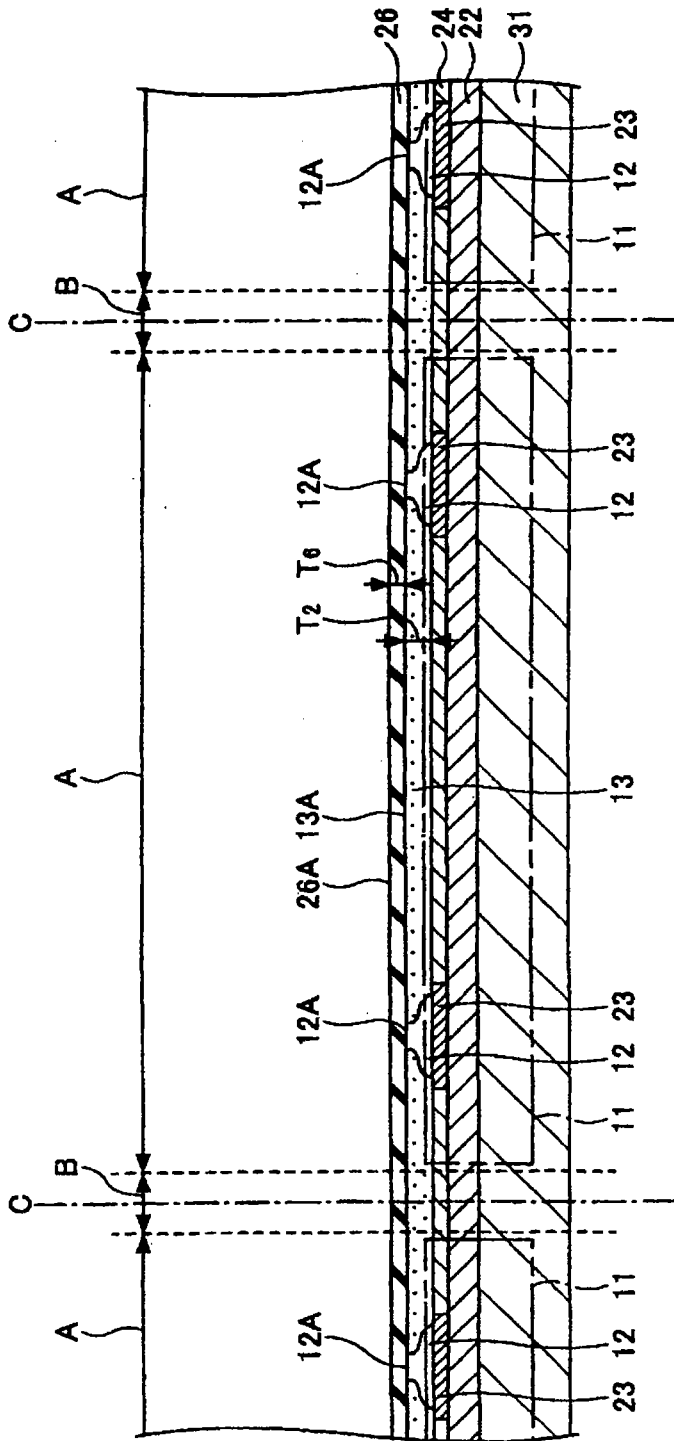


图 12



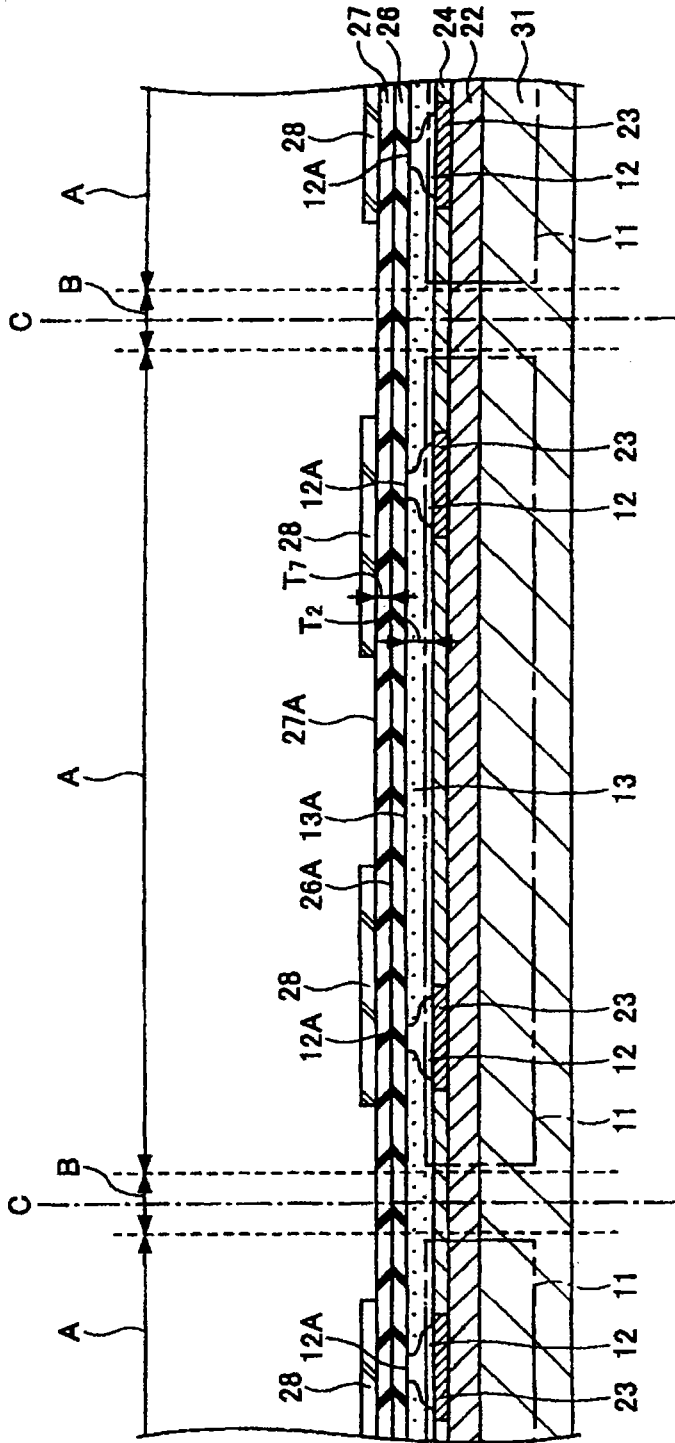


图 14

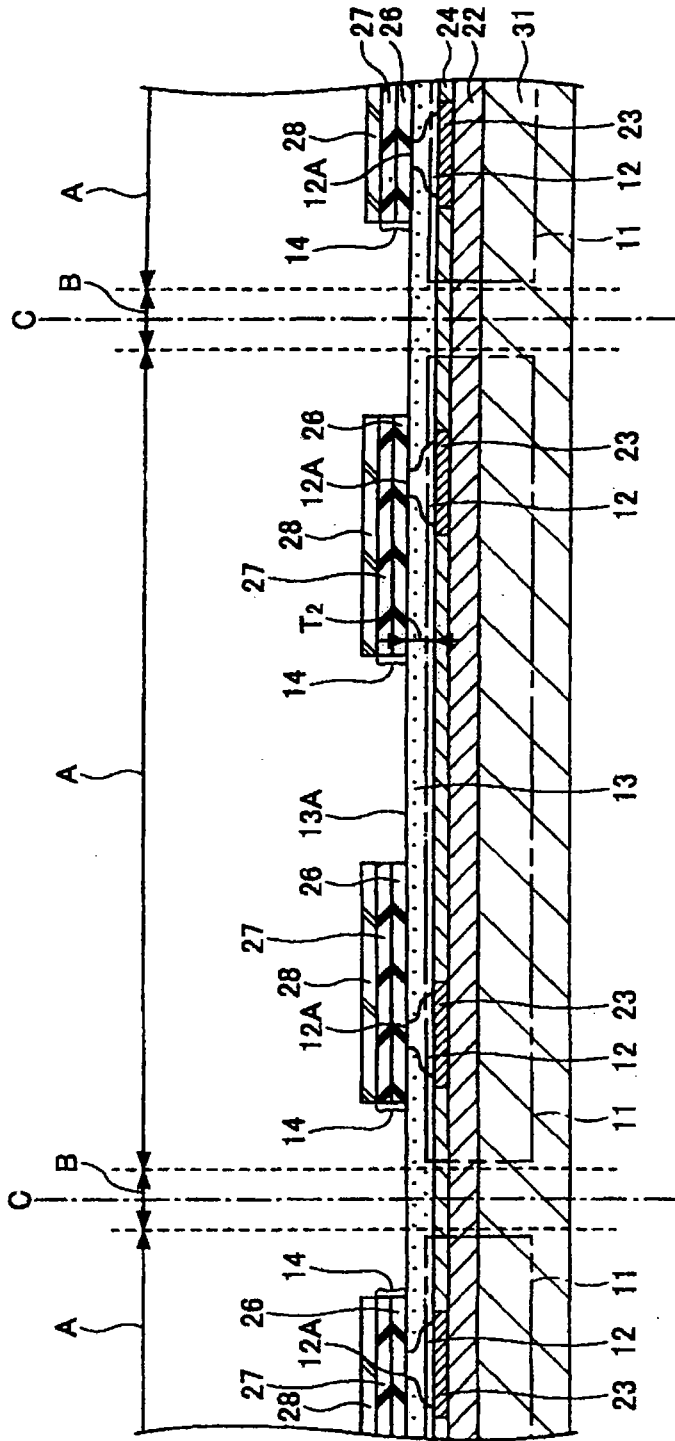


图 15

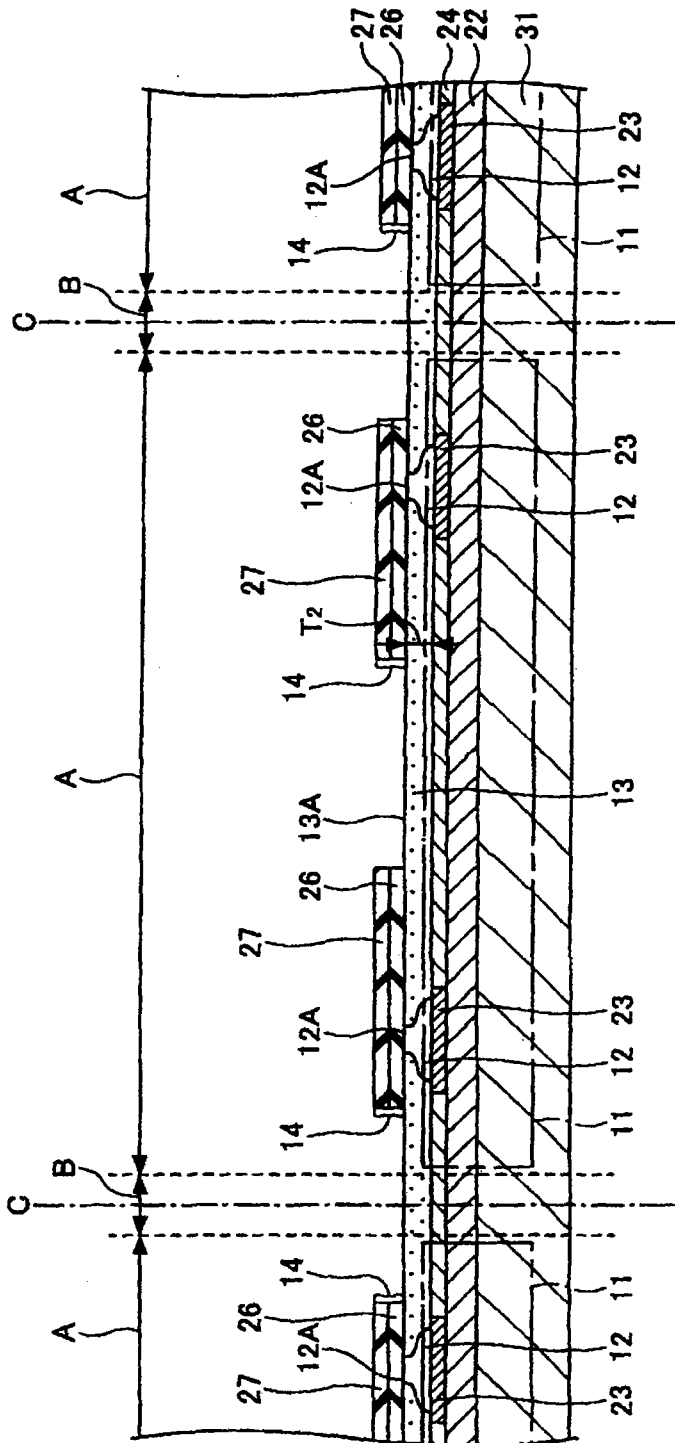


图 16

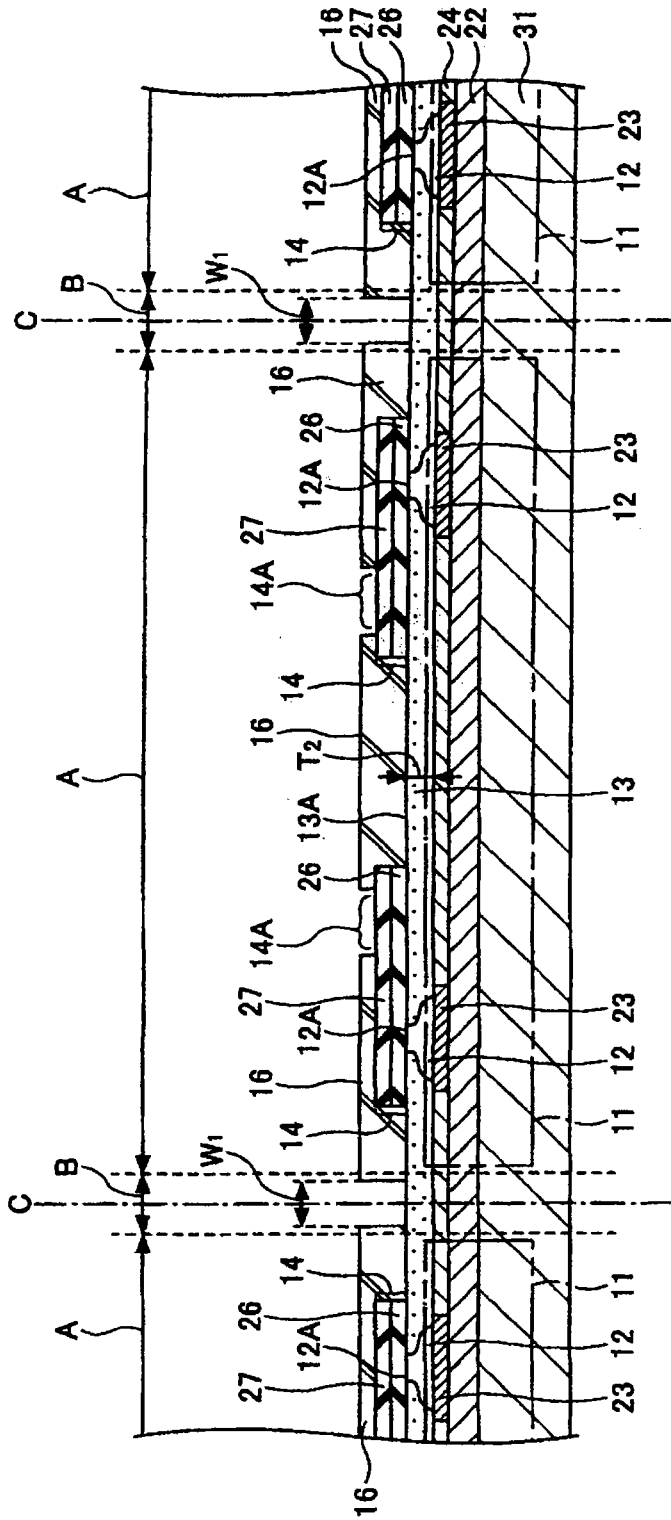


图 17



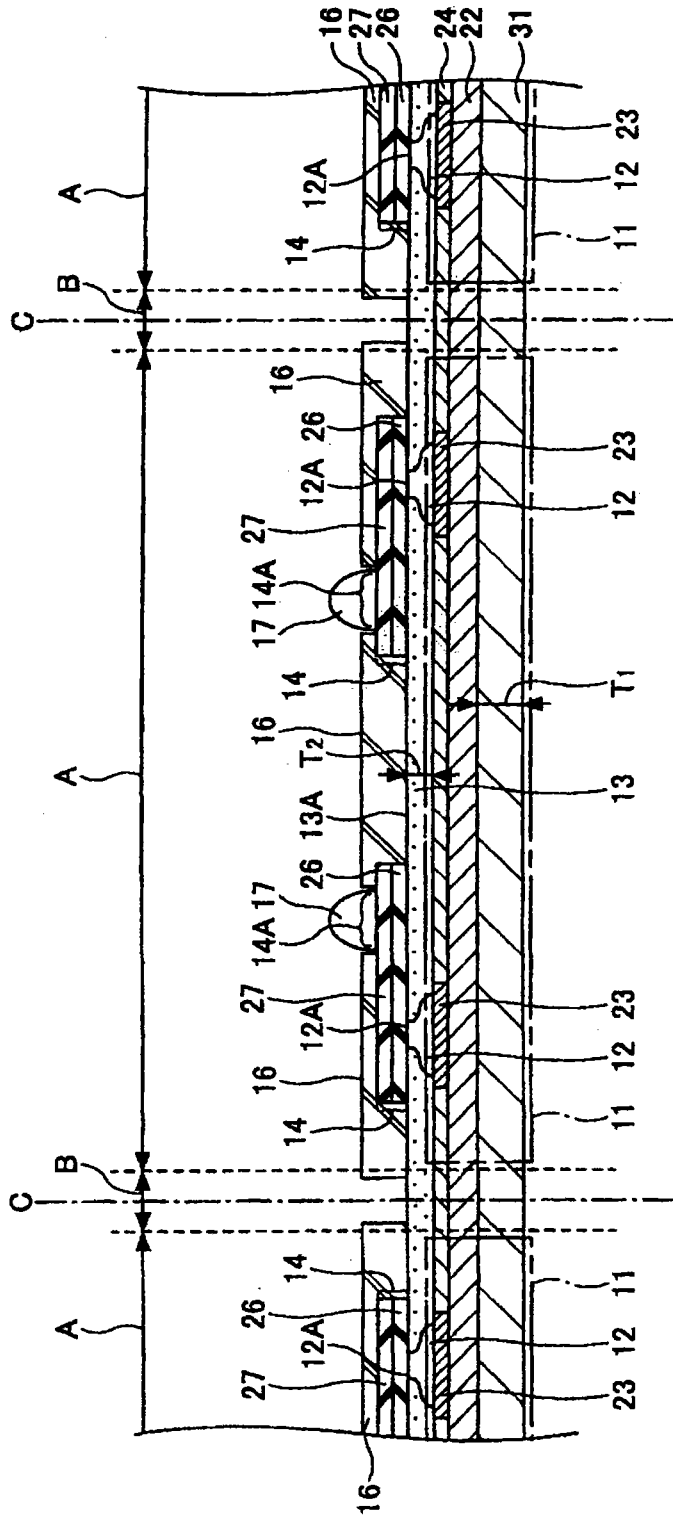


图 19

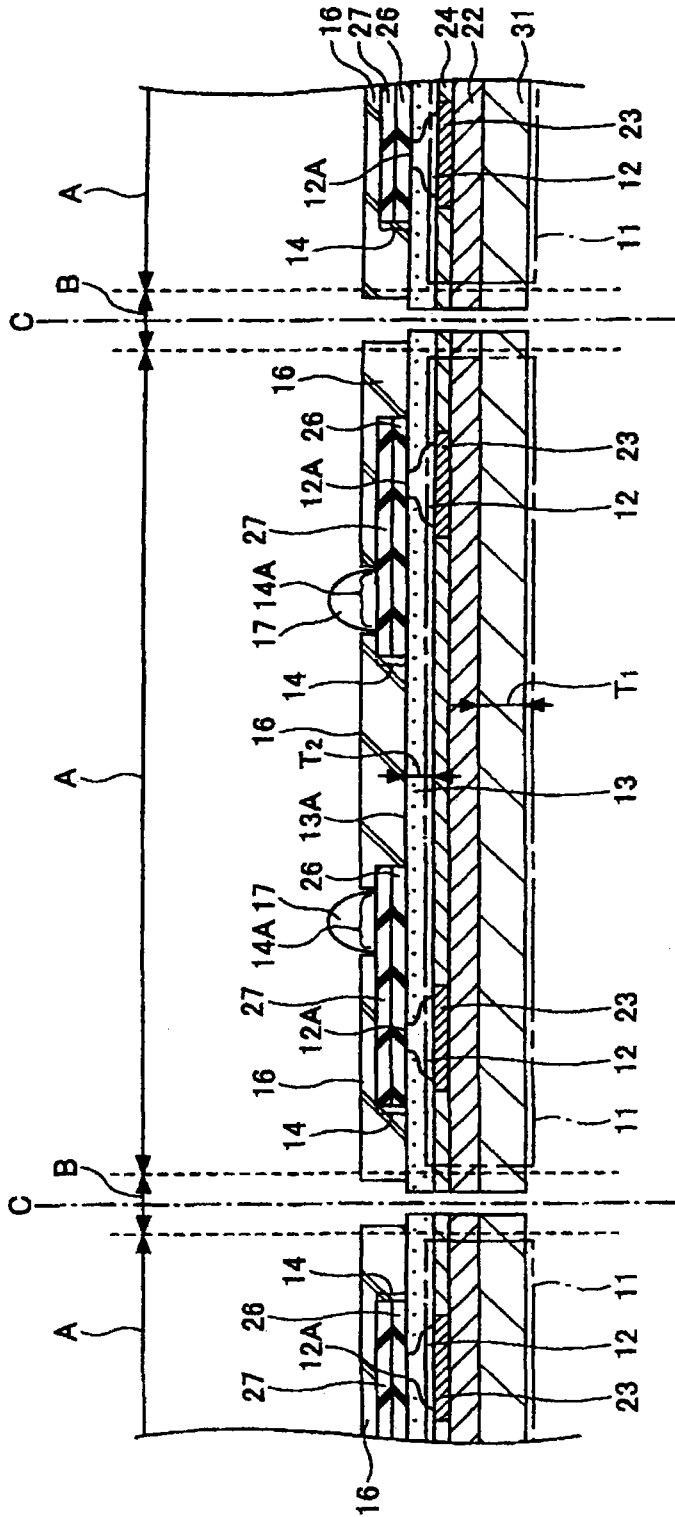


图 20

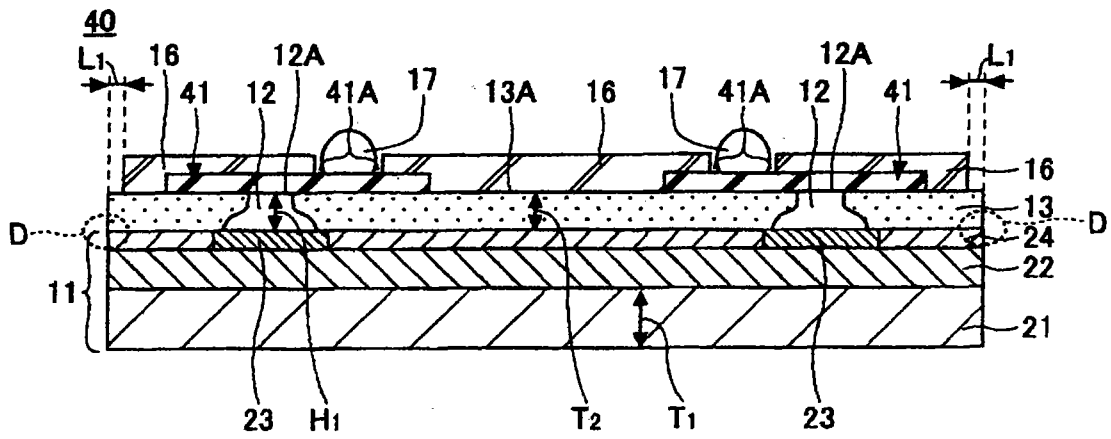


图 21



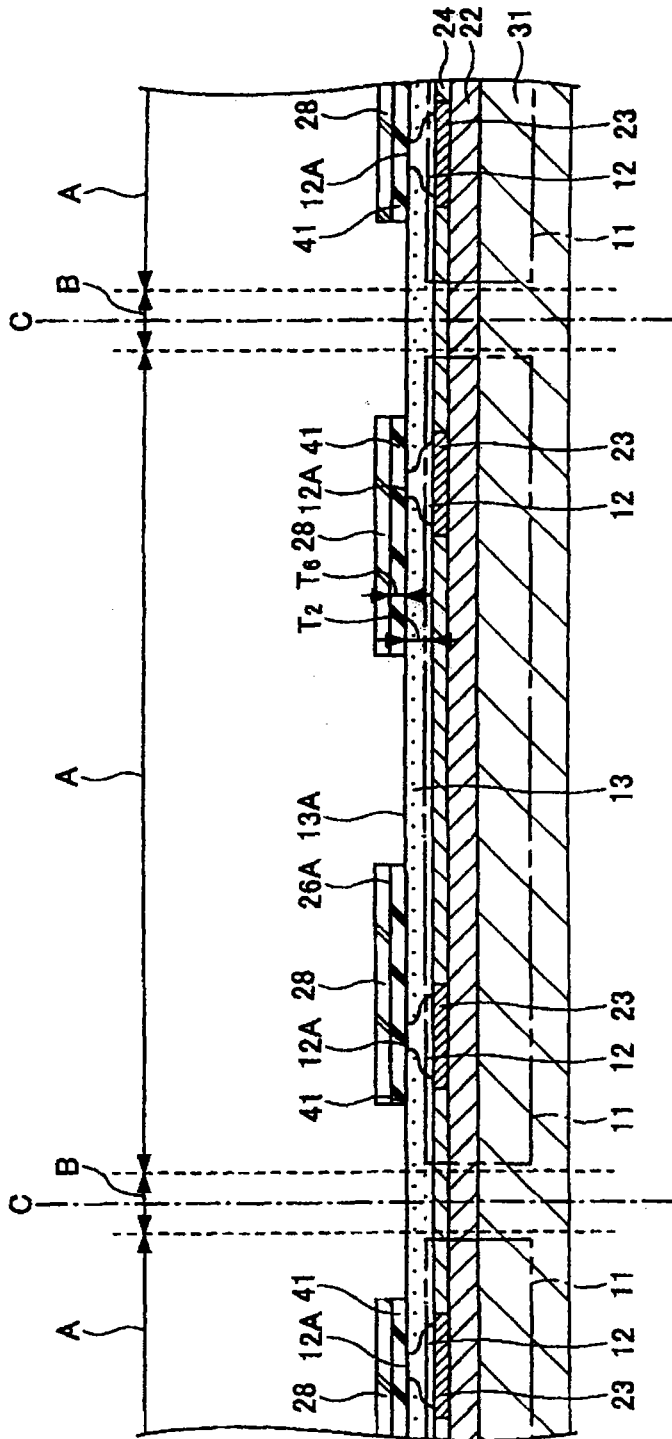


图 23

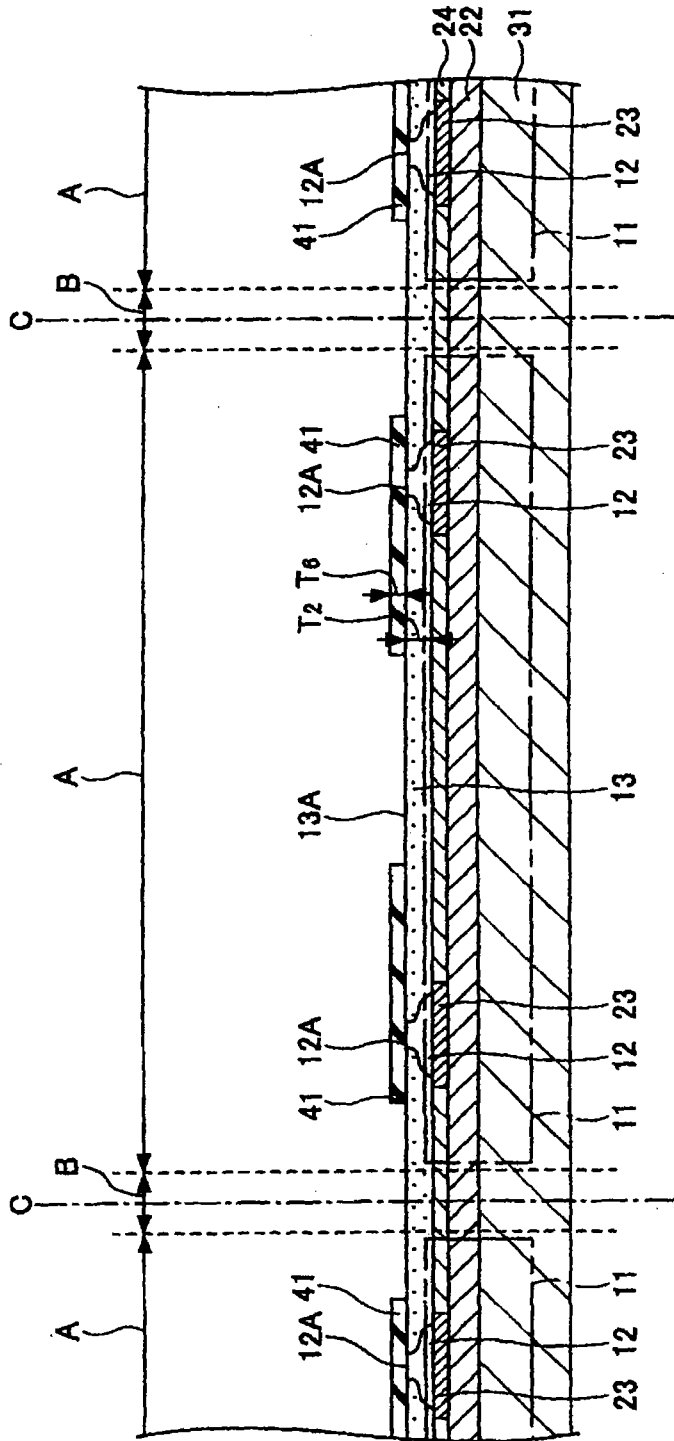


图 24

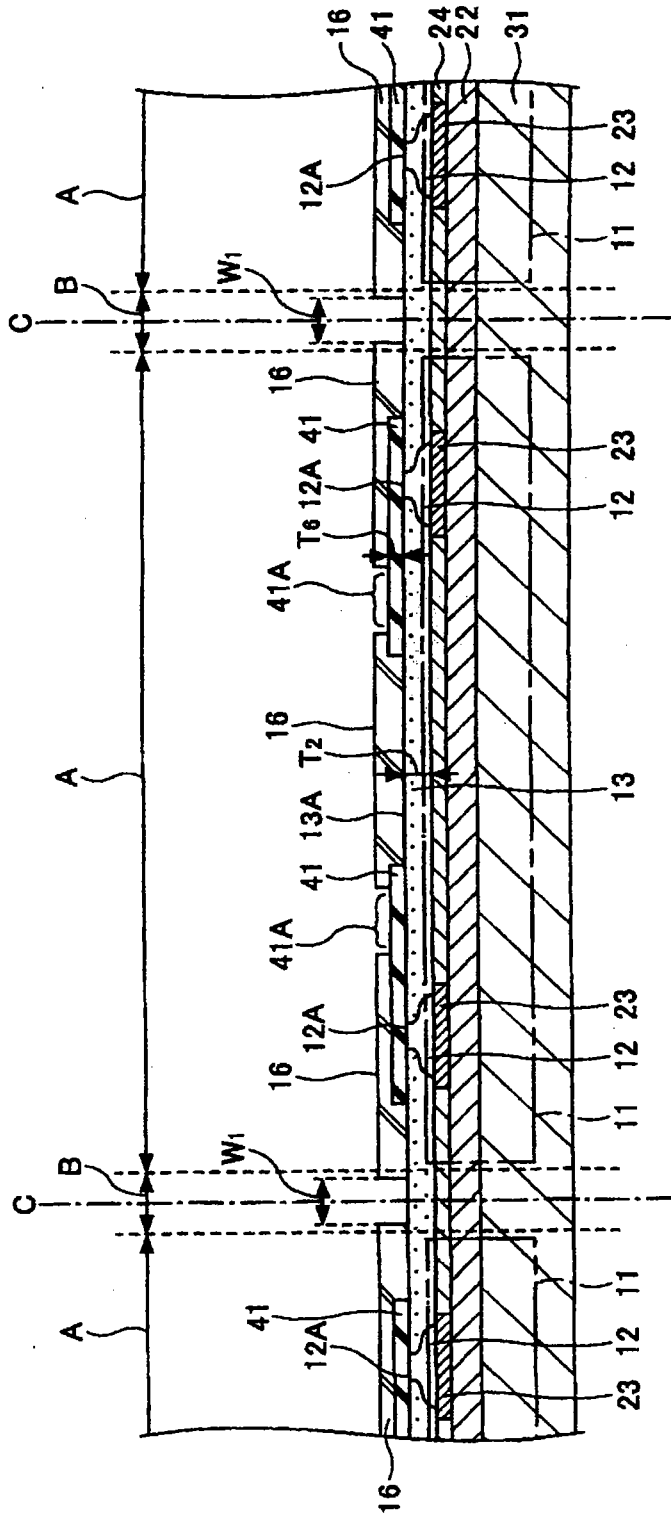


图 25

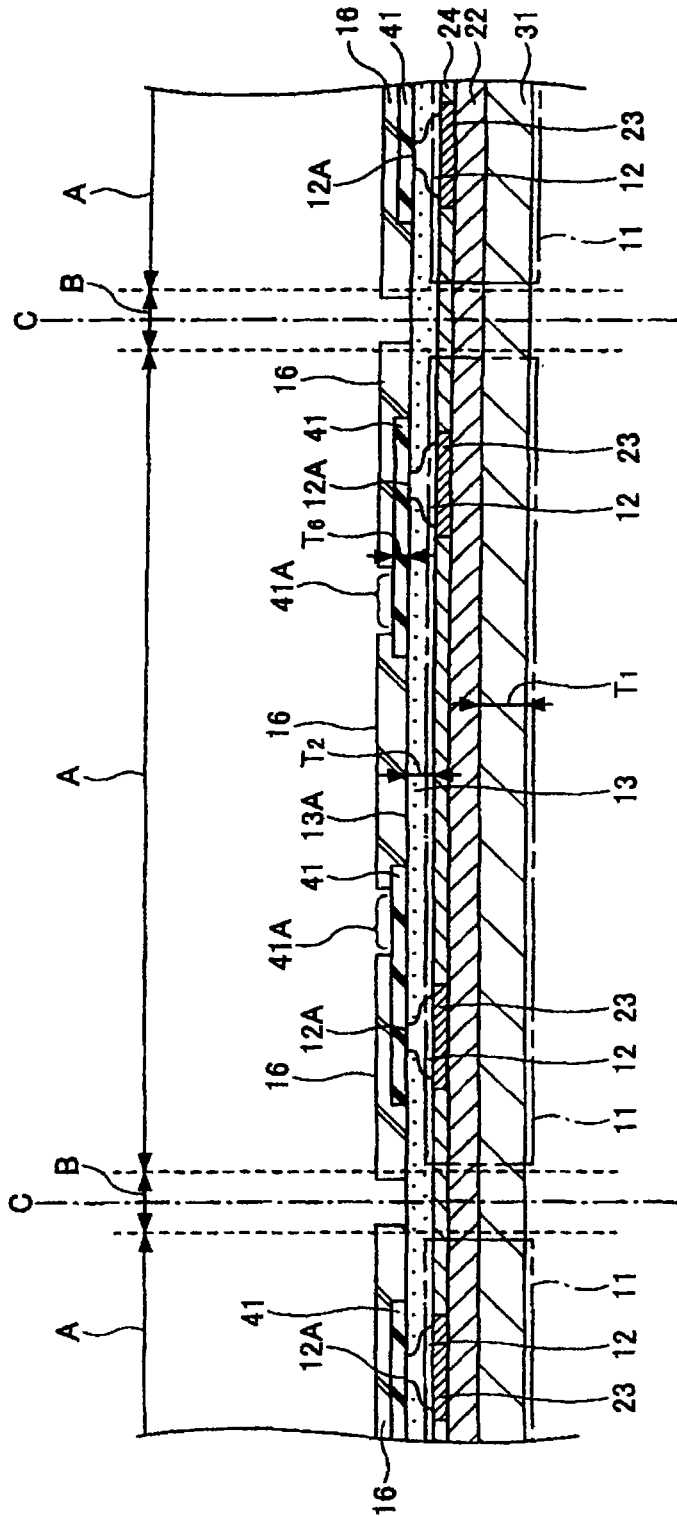


图 26

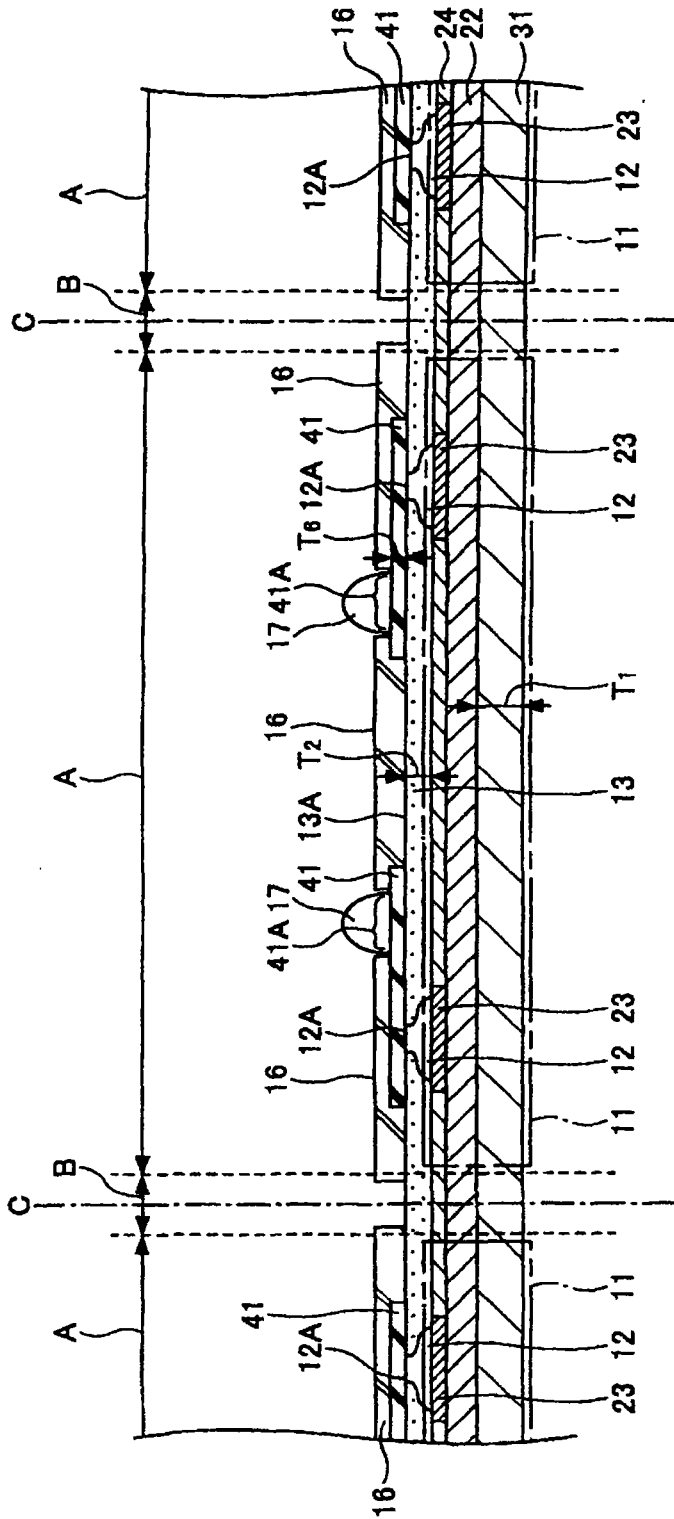


图 27

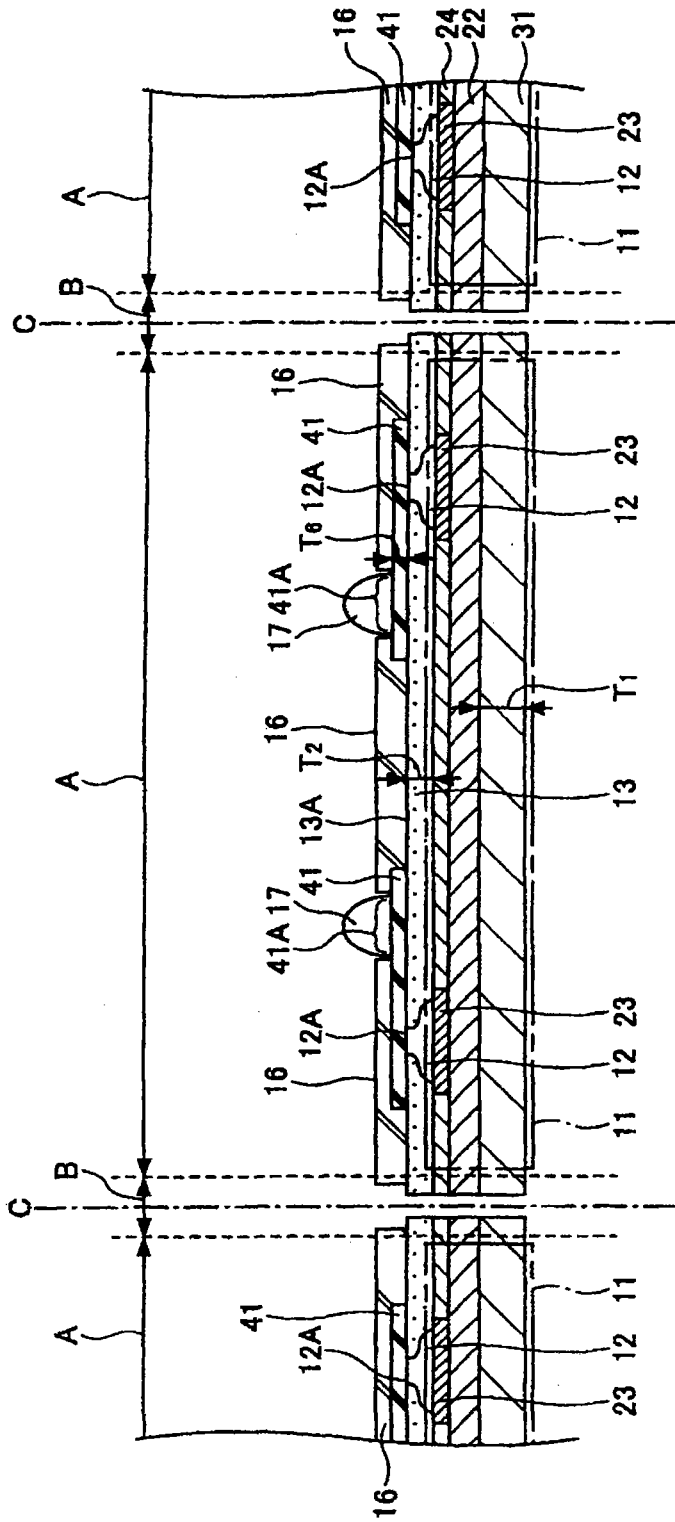


图 28