

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(Tr3) for anode voltage setting that is connected between the anode and a power source (Vss) and determines the voltage to be applied to the anode; and a holding capacitor (Cs2) and a third transistor (Tr5) that are connected to the anode and are for holding anode voltage during periods of light emission.

(57) 要約：本願発明は、電気光学装置において、発光素子を駆動する電圧を保持するために、常にトランジスタをオンさせることを不要とでき、消費電力を少なくすることを目的とする。映像信号階調に応じた電圧を発光素子（15）に対して印加するアクティブマトリクス型駆動回路を備える電気光学装置において、ソースが発光素子のアノード（V anode）に接続されたドライブ用の第1のトランジスタ（Dr v Tr）と、アノードと電源（V s s）の間に接続され、アノードに印加する電圧を決定するアノード電圧設定用の第2のトランジスタ（T r 3）と、発光期間中にアノード電圧を保持するために、アノードに接続された保持容量（C s 2）及び第3のトランジスタ（T r 5）とを備える電気光学装置である。

明 細 書

発明の名称：電気光学装置及び電子機器

技術分野

[0001] 本技術は、電気光学装置及び電子機器に関する。

背景技術

[0002] 発光素子として有機発光ダイオード（以下、OLED（Organic Light Emitting Diode）という）素子などを用いた電気光学装置が知られている。電気光学装置では、走査線とデータ線との交差箇所に対して、発光素子やトランジスタなどを含む画素回路が画素に対応して設けられる。画素回路に対して、画素の階調レベルに応じた電位のデータ信号が当該トランジスタのゲートに印加されると、当該トランジスタは、ゲート・ソース間の電圧に応じた電流を発光素子に対して供給し、発光素子が階調レベルに応じた輝度で発光する。

[0003] アクティブ方式のOLED駆動回路として特許文献1に記載のものが提案されている。この駆動回路は、電流駆動と電圧駆動の二つのモードで動作可能な画素回路を備えるものである。

先行技術文献

特許文献

[0004] 特許文献1：米国公開 US 2011/0074758

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1の構成では、電圧駆動の場合に、OLEDのアノード電圧を保持するために、画面の表示状態にかかわらず、常にトランジスタに電流を流し続ける必要があった。例えば前面黒表示時のような場合でも、常に電力を消費してしまう問題があった。

[0006] 本技術の目的は、かかる問題点を解決することができる電気光学装置及び電子機器を提供することにある。

課題を解決するための手段

- [0007] 本技術は、映像信号階調に応じた電圧を発光素子に対して印加するアクティブマトリクス型駆動回路を備える電気光学装置において、
- ソースが発光素子のアノードに接続されたドライブ用の第1のトランジスタと、
- アノードと電源の間に接続され、アノードに印加する電圧を決定するアノード電圧設定用の第2のトランジスタと、
- 発光期間中にアノード電圧を保持するために、アノードに接続された保持容量及び第3のトランジスタと
- を備える電気光学装置である。
- また、本技術は、かかる電気光学装置を備える電子機器である。

発明の効果

- [0008] 少なくとも一つの実施形態によれば、発光素子を駆動する電圧を保持するために、常にトランジスタをオンさせることを不要とでき、消費電力を少なくすることができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本技術中に記載されたいずれかの効果又はそれらと異質な効果であっても良い。また、以下の説明における例示された効果により本技術の内容が限定して解釈されるものではない。

図面の簡単な説明

- [0009] [図1]図1は、本技術を適用することができるアクティブマトリクス型駆動回路を備える有機EL表示装置のブロック図である。
- [図2]図2は、有機EL表示装置の画素部の構成を示すブロック図である。
- [図3]図3は、従来の画素回路の構成を示す接続図である。
- [図4]図4は、従来の画素回路の動作を説明するためのタイミングチャートである。
- [図5]図5は、本技術の第1の実施形態の接続図である。
- [図6]図6は、第1の実施形態の動作を説明するためのタイミングチャートである。

[図7]図7は、第1の実施形態の変形例の接続図である。

[図8]図8は、第1の実施形態の変形例の動作を説明するためのタイミングチャートである。

[図9]図9は、本技術の第2の実施形態の接続図である。

[図10]図10は、第2の実施形態の動作を説明するためのタイミングチャートである。

[図11]図11は、第2の実施形態の変形例の接続図である。

[図12]図12は、第2の実施形態の変形例の動作を説明するためのタイミングチャートである。

発明を実施するための形態

[0010] 以下に説明する実施形態は、本技術の好適な具体例であり、技術的に好ましい種々の限定が付されている。しかしながら、本技術の範囲は、以下の説明において、特に本技術を限定する旨の記載がない限り、これらの実施形態に限定されないものとする。

[0011] 本技術の説明に先立って特許文献1に記載されている従来の表示装置（電気光学装置）の構成について説明する。図1に示すように、アクティブマトリクス型駆動回路を備える有機EL表示装置10は、半導体基板例えばシリコン基板上に走査線駆動回路11、直流（DC）電圧供給部12、データ線（信号線）駆動回路13及び画素部14を形成している。画素部14に対して走査線駆動回路11からの複数の走査線が水平方向に延長され、データ線駆動回路13からの複数のデータ線が垂直方向に延長されている。

[0012] 図2に部分的に示すように、画素部のトランジスタTr1を駆動する走査線駆動回路11a及びトランジスタTr2を駆動する走査線駆動回路11bが設けられている。垂直方向に延びるデータ線と水平方向に延びる走査線に接続される画素回路がマトリクス状に配置されている。画素回路は、R（赤）、G（緑）、青（B）で示すように、三原色の画素に対応する画素回路が設けられている。これら3画素がカラー画像の1ドットを表現する。

[0013] 図3は、1画素の画素回路14mを示す。画素回路14mは、走査線駆動

回路 1 1 a からの走査線 $X_m 1$ 及び走査線駆動回路 1 1 b からの走査線 $X_m 2$ とデータ線駆動回路 1 3 からのデータ線 Y_m に接続されている。O L E D 1 5 のアノードがトランジスタ $T_r 4$ のソース及びドレインを通じてドライブトランジスタ $D_r v T_r$ のソースに接続され、ドライブトランジスタ $D_r v T_r$ のドレインが直流電圧 V_{CCP} に供給されている給電線に接続される。トランジスタ $T_r 4$ のゲートに対して直流電圧供給部 1 2 b からの直流電圧が供給される。ドライブトランジスタ $D_r v T_r$ のソースをアノードノード V_{anode} と表記する。O L E D 1 5 は、アノードノード V_{anode} の電圧（映像信号の階調）によって駆動される。

[0014] データ線 $X_m 1$ に対して P チャンネル型トランジスタ $T_r 1$ のゲートが接続され、データ線 $X_m 2$ に N チャンネル型トランジスタ $T_r 2$ のゲートが接続される。トランジスタ $T_r 1$ 及び $T_r 2$ の互いのソース同士及びドレイン D 同士が接続されている。ドレイン共通接続点に対してデータ線 Y_m を通じて信号電圧 V_{sig} が供給される。

[0015] トランジスタ $T_r 1$ 及び $T_r 2$ のソース共通接続点がドライブトランジスタ $D_r v T_r$ のゲートに接続される。これらのソース共通接続点とドライブトランジスタ $D_r v T_r$ のゲートの接続線と直流電圧 V_{SS} が供給されている給電線の間には保持容量としてのコンデンサ C_s が挿入されている。

[0016] 直流電圧 V_{SS} が供給されている給電線がトランジスタ $T_r 3$ のドレインに接続され、トランジスタ $T_r 3$ のソースがドライブトランジスタ $D_r v T_r$ のソースに接続される。トランジスタ $T_r 3$ のゲートに対して直流電圧供給部 1 2 a からの直流電圧が供給される。トランジスタ $T_r 3$ は、アノードに印加する電圧を決定するアノード電圧設定用のトランジスタである。コンデンサ C_s は、ドライブトランジスタ $D_r v T_r$ のゲートと V_{SS} が供給されている給電線の間で信号電圧 V_{sig} 成分を保持する。

[0017] 図 4 は、従来の画素回路 1 4 m の電圧駆動時のタイミングチャートを示す。本回路は電圧駆動回路であり、信号電圧 V_{sig} に応じてアノードノード V_{anode} への印加電圧を可変し、階調ごとに O L E D 1 5 の発光輝度を制御する

方式である。アノードノードV_{anode}への印加電圧を決定する方法を以下に記す。

[0018] トランジスタT_{r3}がオンする直流電圧を印加した状態で、信号書き込み時にトランジスタT_{r1}及びT_{r2}がオンし、信号電圧V_{sig}を書き込む。この時トランジスタT_{r3}のゲート電圧は、パネル面内の最も高い閾値電圧に設定されることが望ましい。

[0019] トランジスタT_{r3}は、定電流を流し続けるが、ドライブトランジスタDrvT_rにも同等の電流が流れ、ドライブトランジスタDrvT_rのゲート・ソース間電圧V_{gs_Drv}はその電流に相応の電圧となる。ゲートに信号電圧V_{sig}が書き込まれると、ソース電圧、すなわち、アノードノードV_{anode}は、次のように決定される。V_{gs_Drv}は、ドライブトランジスタはDrvT_rのゲート・ソース間電圧である。

$$V_{sig} = V_{gs\_Drv}$$

[0020] トランジスタT_{r4}に対しても、トランジスタT_{r3}と同様に直流電圧が印加されているため、アノードノードV_{anode}は、上式の電圧に保持されることになる。アノードノードV_{anode}の電圧に対応する電流がOLED15を流れ、OLEDが信号電圧に対応する輝度で発光する。

[0021] Nチャンネル型トランジスタT_{r3}は、直流電圧によって常時オンするようになされる。これは、OLED15の発光輝度を決定するV_{anode}を保持するために必要とされる。しかしながら、従来の画素回路では、トランジスタT_{r3}を常時オンとするために、画面の表示状態によらず、例えば全面黒表示時においても、常に電力を消費してしまう問題があった。

[0022] 次に、図5を参照して本技術の第1の実施形態について説明する。第1の実施形態による画素部を141で表し、画素回路を141mで表す。画素回路141mは、上述した従来の図3に示す構成に対して第2の保持容量C_{s2}及びスイッチングトランジスタT_{r5}を追加した構成を有する。第1のトランジスタとしてのドライブトランジスタDrvT_rのゲート及び第3のトランジスタとしてのスイッチングトランジスタT_{r5}のドレイン間に保持容量

Cs2が接続され、スイッチングトランジスタTr5のソースがドライブトランジスタDrvTrのソースに接続される。なお、図5の構成と異なり、ドライブトランジスタDrvTrのゲート側にスイッチングトランジスタTr5を接続し、そのソース側に保持容量Cs2を接続してもよい。

[0023] さらに、アノードノードVanodeと電源の間に接続され、アノードに印加する電圧を決定するアノード電圧設定用の第2のトランジスタとしてのトランジスタTr3のゲートに対してスキャン回路21からのパルス信号が供給され、トランジスタTr4のゲートに対して直流電圧供給部22からの直流電圧が供給される。追加されたスイッチングトランジスタTr5のゲートに対してスキャン回路23からのパルス信号が供給される。トランジスタTr3及びTr5は、同一の導電型（Nチャンネル）である。

[0024] 図6は、本技術の第1の実施形態による画素回路141mの電圧駆動時のタイミングチャートを示す。トランジスタTr4は、直流電圧供給部22からの直流電圧によって常時オンしている。信号書き込み時にトランジスタTr1及びTr2がオンする。

[0025] また、トランジスタTr3に対しては、スキャン回路21からのパルス信号によって信号書き込み時及びその前の発光期間の終端付近からオンとされる。信号書き込み終了後にトランジスタTr3がオフになると同時にトランジスタTr5がオンとされる。アノードノードVanodeの電圧が保持容量Cs2によって保持される。すなわち、トランジスタTr3に対しては、信号書き込み時にオンするパルス信号を供給することによって、トランジスタTr3に流れる電流は、信号書き込みを行う行の画素のみに流れる。従来のように、トランジスタTr3に直流電圧を印加する構成と比較して電力を削減することができる。

[0026] さらに、トランジスタTr3とTr5を駆動するパルスが逆相になり、各トランジスタからアノードノードVanodeに対するチャージインジェクションの影響をキャンセルすることができる。したがって、アノードノードVanodeを正確な($V_{sig} - V_{gs\_Drv}$)に保持することができる。

- [0027] 図7は、第1の実施形態の変形例の構成を示す。スイッチングトランジスタTr5をPチャンネル型のスイッチングトランジスタTr6に変更したものである。図8は、変形例の電圧駆動時のタイミングチャートを示す。
- [0028] トランジスタTr3とスイッチングトランジスタTr6が異なる導電型（Nチャンネル型とPチャンネル型）であるため、同一の極性のパルス信号によって、トランジスタTr3をオフからオンとし、スイッチングトランジスタTr6をオンからオフとすることができる。したがって、トランジスタTr3及びスイッチングトランジスタTr6に対して共通のスキャン回路24を設ければよいので、スキャン回路を一つ減らすことができる。
- [0029] 図9を参照して本技術の第2の実施形態について説明する。第2の実施形態による画素部を142で表し、画素回路を142mで表す。画素回路142mは、上述した従来の図3に示す構成に対して第2の保持容量Cs2及びスイッチングトランジスタTr5を追加した構成を有する。スイッチングトランジスタTr5のソースがドライブトランジスタDrvTrのソースに接続され、スイッチングトランジスタTr5のドレイン及び固定電源例えば直流電圧VSSが供給されている給電線の間に第2の保持容量Cs2が接続される。なお、図9の構成と異なり、スイッチングトランジスタTr5と保持容量Cs2の接続の順序を入れ換えてもよい。
- [0030] 図10は、本技術の第2の実施形態による画素回路142mの電圧駆動時のタイミングチャートを示す。第1の実施形態の動作を示すタイミングチャートと同様のものである。すなわち、トランジスタTr4は、直流電圧供給部22からの直流電圧によって常時オンしている。信号書き込み時にトランジスタTr1及びTr2がオンする。また、トランジスタTr3及びスイッチングトランジスタTr5に対しては、スキャン回路21及び23から逆相のパルス信号が供給される。
- [0031] かかる第2の実施形態も第1の実施形態と同様に、トランジスタTr3に流れる電流は、信号書き込みを行う行の画素のみに流れる。従来のように、トランジスタTr3に直流電圧を印加する構成と比較して電力を削減するこ

とができる。さらに、トランジスタTr3とTr5を駆動するパルスが逆相になり、各トランジスタからアノードノードV_{anode}に対するチャージインジェクションの影響をキャンセルすることができる。

[0032] 図11は、第2の実施形態の変形例の構成を示す。スイッチングトランジスタTr5をトランジスタTr3と異なる導電型（Pチャンネル型）のスイッチングトランジスタTr6に変更したものである。図12は、電圧駆動時のタイミングチャートを示す。

[0033] トランジスタTr3とスイッチングトランジスタTr6がNチャンネル型とPチャンネル型であるため、同一の極性のパルス信号によって、トランジスタTr3をオフからオンとし、スイッチングトランジスタTr6をオンからオフとすることができる。したがって、トランジスタTr3及びスイッチングトランジスタTr6に対して共通のスキャン回路24を設ければよいので、スキャン回路を一つ減らすことができる。

[0034] 以上、本技術の実施形態について具体的に説明したが、上述の各実施形態に限定されるものではなく、本技術の技術的思想に基づく各種の変形が可能である。例えば次に述べるような各種の変形が可能である。また、次に述べる変形の態様は、任意に選択された一または複数を、適宜に組み合わせることもできる。また、上述の実施形態の構成、方法、工程、形状、材料および数値などは、本技術の主旨を逸脱しない限り、互いに組み合わせることが可能である。

[0035] 例えば信号電圧をドライブトランジスタDrvTrのゲートに印加するために、トランジスタTr1及びTr2を設けているが、一方のトランジスタのみ設けるようにしてもよい。また、上述した実施形態では、電気光学素子として発光素子であるOLEDを例示したが、例えば無機発光ダイオードやLED（Light Emitting Diode）など、電流に応じた輝度で発光するものであれば良い。

[0036] 次に、実施形態等や応用例に係る電気光学装置を適用した電子機器について説明する。電気光学装置は、画素が小サイズで高精細な表示な用途に向い

ている。そこで、電子機器として、ヘッドマウント・ディスプレイ、スマートメガネ、スマートフォン、デジタルカメラの電子式ビューファインダー等の表示装置に適用することができる。

[0037] なお、本技術は、以下のような構成も取ることができる。

(1)

映像信号階調に応じた電圧を発光素子に対して印加するアクティブマトリクス型駆動回路を備える電気光学装置において、

ソースが前記発光素子のアノードに接続されたドライブ用の第1のトランジスタと、

前記アノードと電源の間に接続され、前記アノードに印加する電圧を決定するアノード電圧設定用の第2のトランジスタと、

発光期間中にアノード電圧を保持するために、前記アノードに接続された保持容量及び第3のトランジスタと

を備える電気光学装置。

(2)

前記第2のトランジスタは、信号書き込み期間でオンし、その後前記第3のトランジスタをオンして前記アノード電圧をホールドするようにした(1)に記載の電気光学装置。

(3)

前記保持容量及び前記第3のトランジスタが前記ドライブ用の第1のトランジスタのゲート及びソース間に接続された(1)又は(2)に記載の電気光学装置。

(4)

前記保持容量及び前記第3のトランジスタが前記ドライブ用の第1のトランジスタのソース及び直流電位の供給箇所に接続された(1)から(3)のいずれかに記載の電気光学装置。

(5)

前記第2のトランジスタ及び前記第3のトランジスタが異なる導電型とさ

れた（１）から（４）のいずれかに記載の電気光学装置。

（６）

前記第２のトランジスタ及び前記第３のトランジスタが同じ導電型とされた（１）から（４）のいずれかに記載の電気光学装置。

（７）

（１）に記載の電気光学装置を備える、
電子機器。

（８）

前記電気光学装置において、

前記第２のトランジスタは、信号書き込み期間でオンし、その後前記第３のトランジスタをオンして前記アノード電位をホールドするようにした（７）に記載の電子機器。

符号の説明

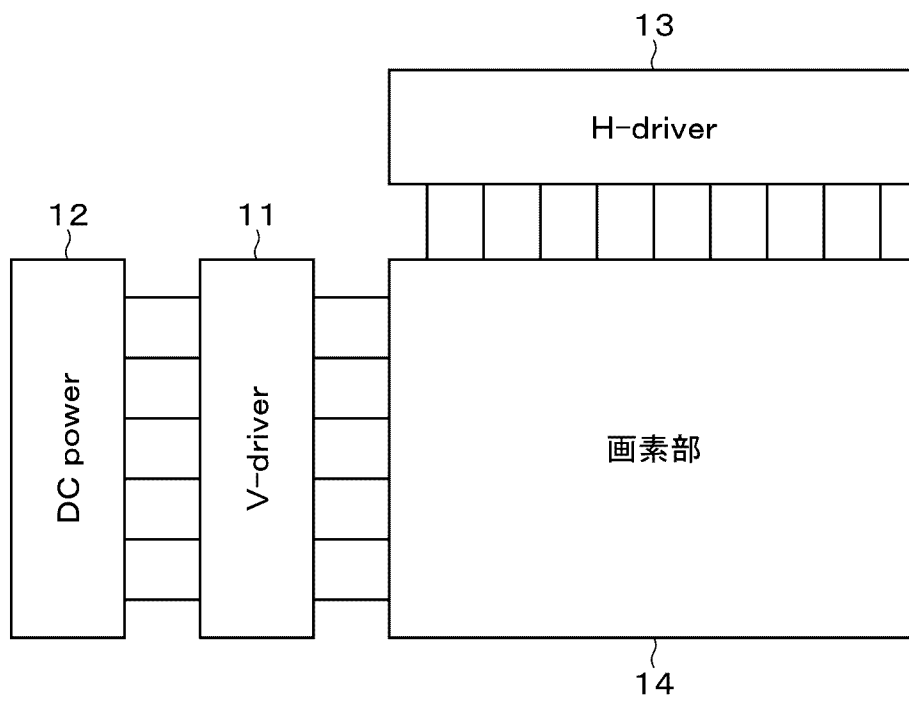
[0038] １１ａ，１１ｂ・・・走査線駆動回路、１３・・・データ線（信号線）駆動回路、
１５・・・OLED、２１，２３・・・スキャン回路、２２・・・直流電圧供給部、
DrvTr・・・ドライブトランジスタ

請求の範囲

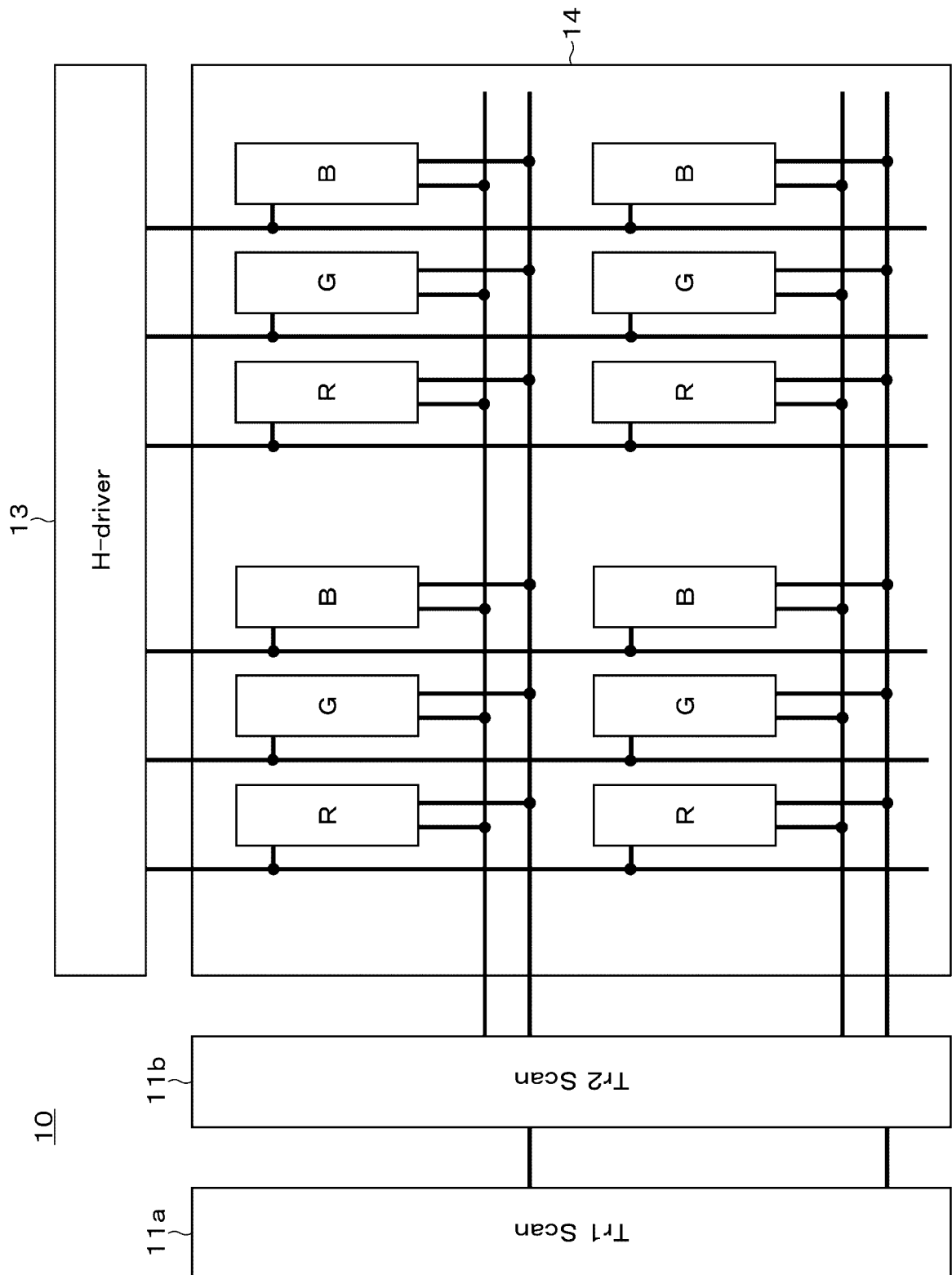
- [請求項1] 映像信号階調に応じた電圧を発光素子に対して印加するアクティブマトリクス型駆動回路を備える電気光学装置において、
- ソースが前記発光素子のアノードに接続されたドライブ用の第1のトランジスタと、
- 前記アノードと電源の間に接続され、前記アノードに印加する電圧を決定するアノード電圧設定用の第2のトランジスタと、
- 発光期間中にアノード電圧を保持するために、前記アノードに接続された保持容量及び第3のトランジスタと
- を備える電気光学装置。
- [請求項2] 前記第2のトランジスタは、信号書き込み期間でオンし、その後前記第3のトランジスタをオンして前記アノード電圧をホールドするようにした請求項1に記載の電気光学装置。
- [請求項3] 前記保持容量及び前記第3のトランジスタが前記ドライブ用の第1のトランジスタのゲート及びソース間に接続された請求項1に記載の電気光学装置。
- [請求項4] 前記保持容量及び前記第3のトランジスタが前記ドライブ用の第1のトランジスタのソース及び直流電位の供給箇所に接続された請求項1に記載の電気光学装置。
- [請求項5] 前記第2のトランジスタ及び前記第3のトランジスタが異なる導電型とされた請求項1に記載の電気光学装置。
- [請求項6] 前記第2のトランジスタ及び前記第3のトランジスタが同じ導電型とされた請求項1に記載の電気光学装置。
- [請求項7] 請求項1に記載の電気光学装置を備える、
- 電子機器。
- [請求項8] 前記電気光学装置において、
- 前記第2のトランジスタは、信号書き込み期間でオンし、その後前記第3のトランジスタをオンして前記アノード電位をホールドするよ

うにした請求項 7 に記載の電子機器。

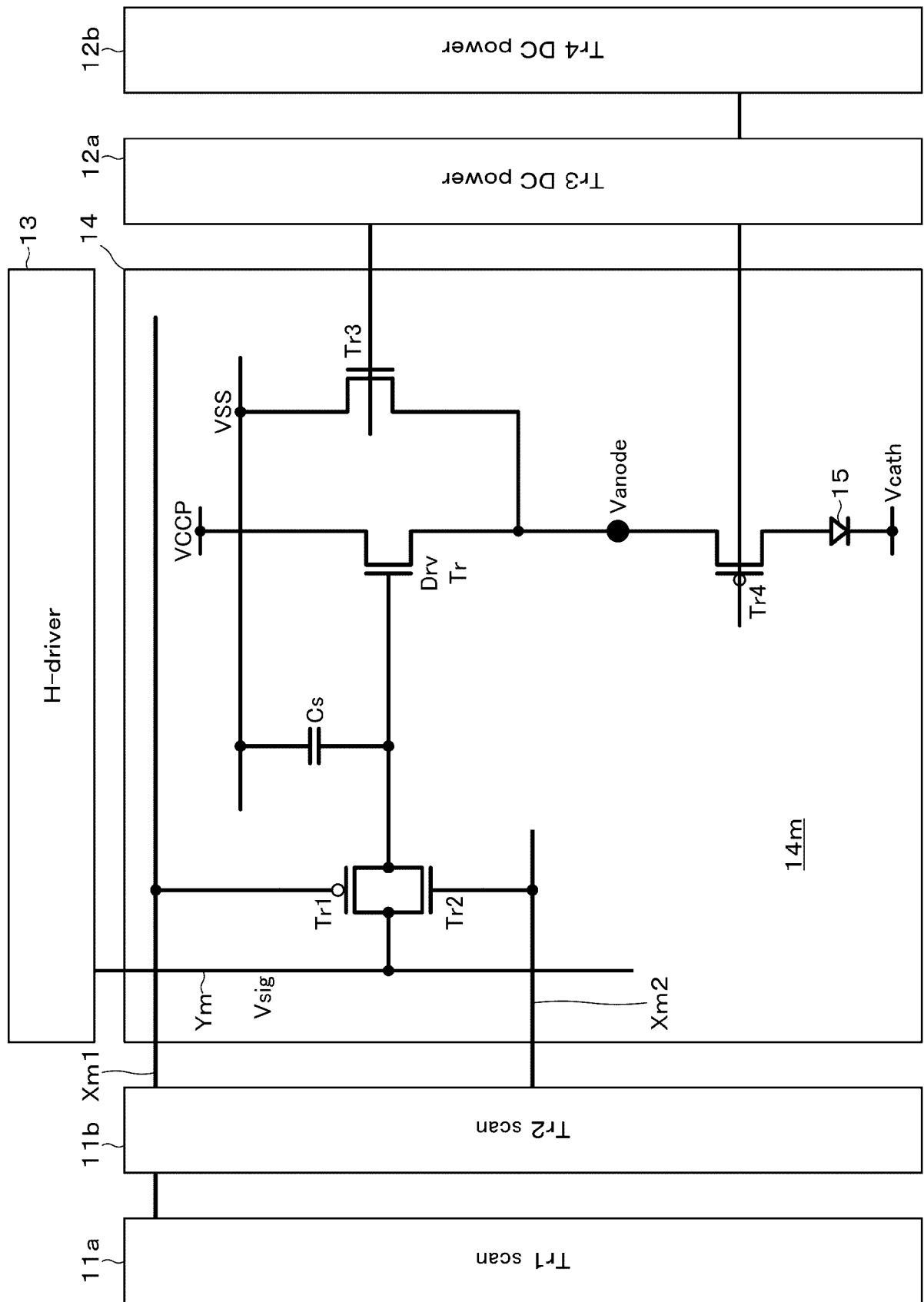
[図1]

10

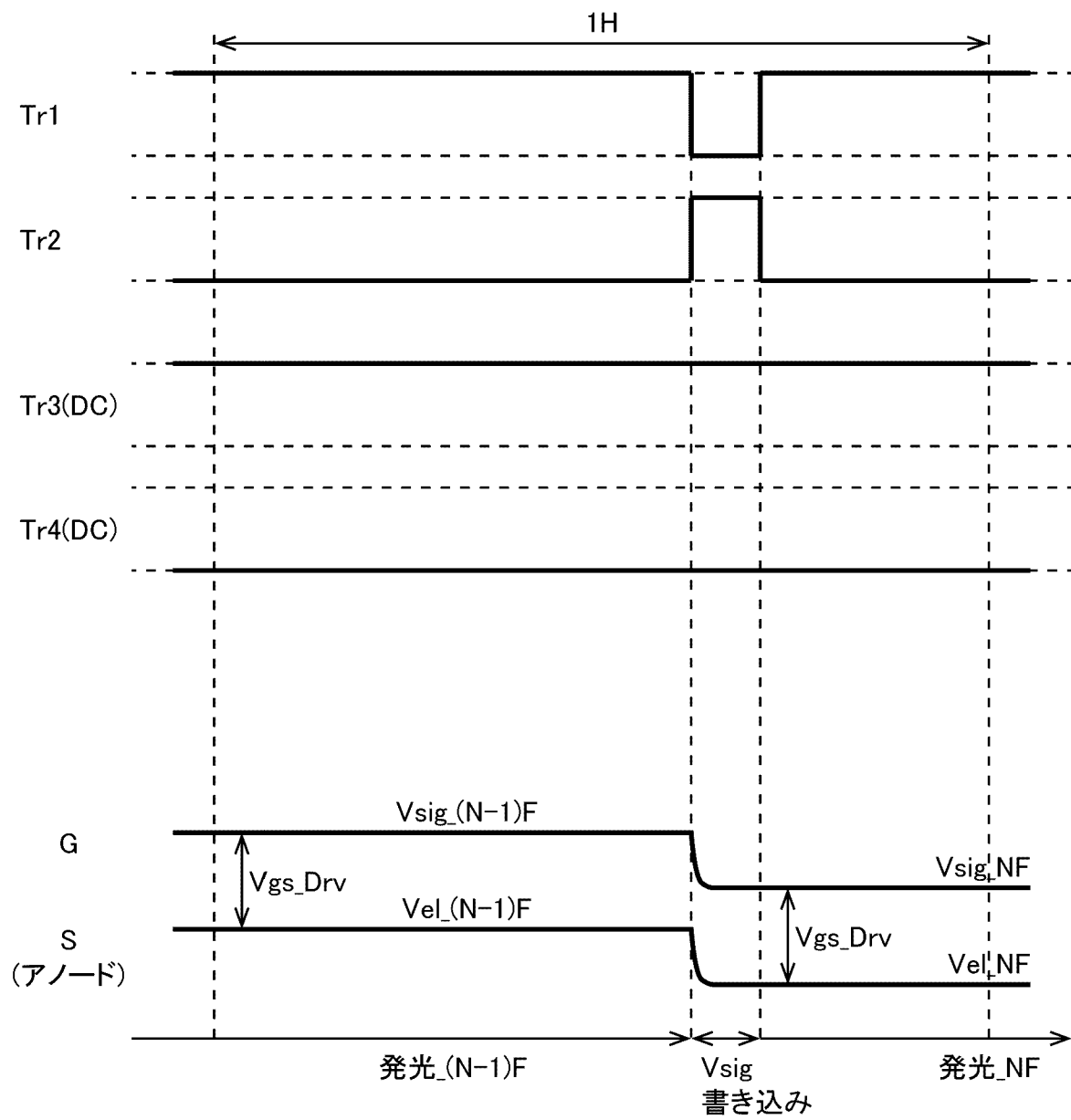
[図2]



[図3]



[図4]



Tr1 scan

Tr2 scan

13.

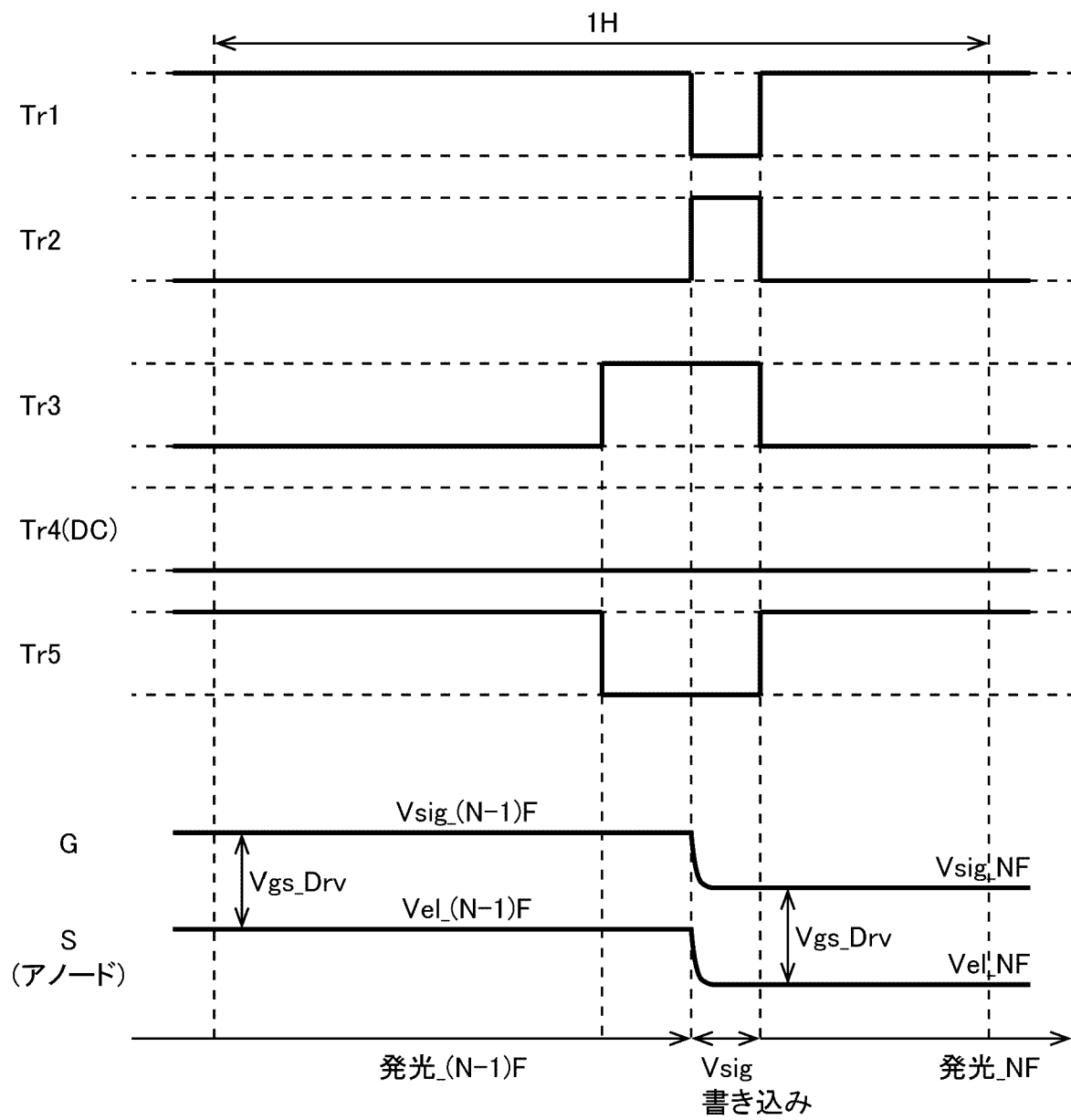
-13

Tr3 scan

Tr4 DC power

Tr5 scan

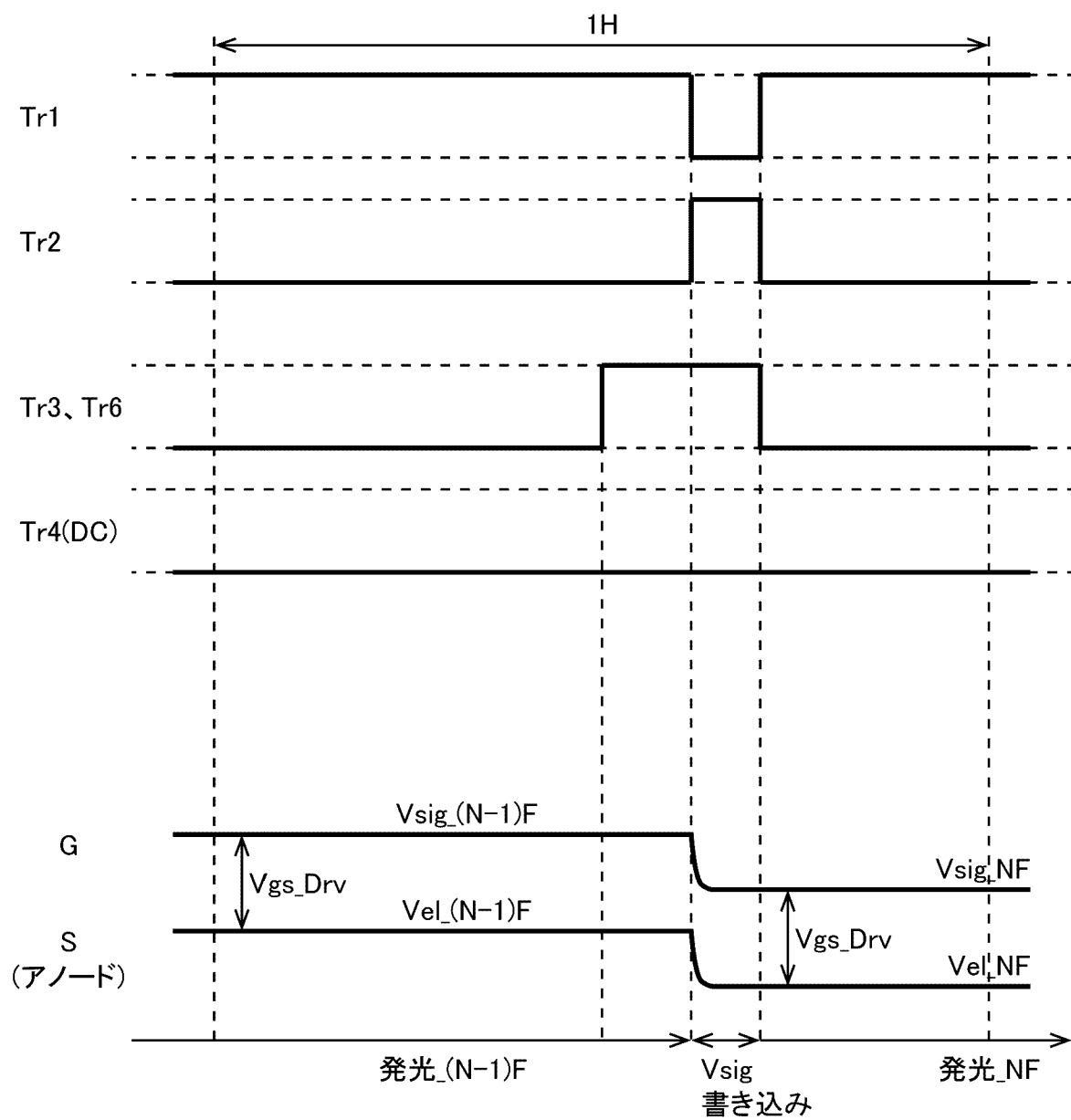
[図6]



The diagram illustrates an H-driver circuit for a display panel, organized into several functional blocks and sections:

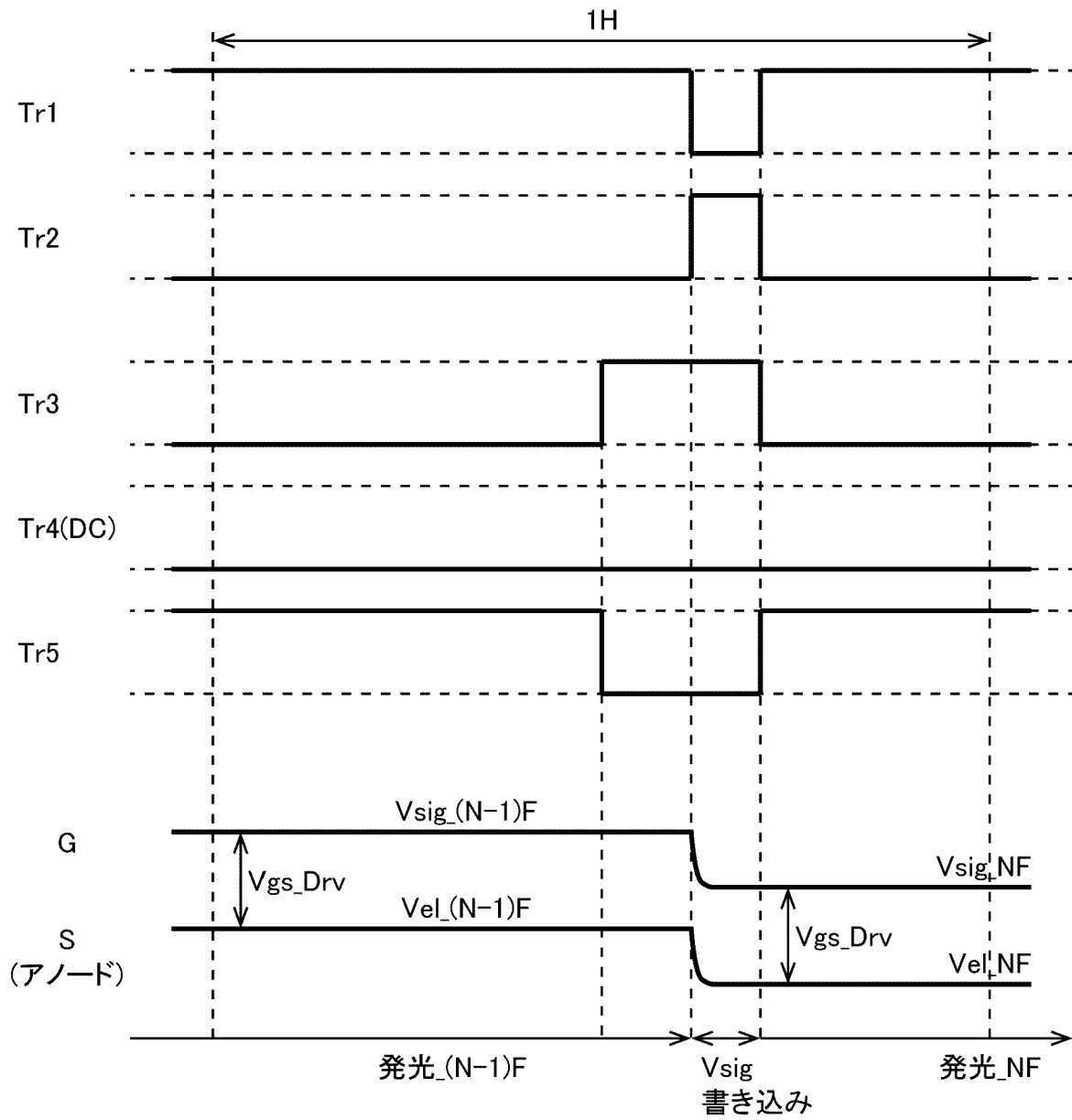
- Section 11a:** Contains the **Tr1 scan** input.
- Section 11b:** Contains the **Tr2 scan** input.
- Section 13:** The **H-driver** block, which includes:
 - Tr1** and **Tr2**: A PMOS and NMOS transistor pair forming a differential pair, with gates connected to **Tr1 scan** and **Tr2 scan**.
 - Tr3**: A PMOS transistor with gate connected to **VCCP** and source connected to **VSS**.
 - Tr4**: A PMOS transistor with gate connected to **VSS** and source connected to **Vcath**.
 - Tr6**: An NMOS transistor with gate connected to **Vcath** and source connected to **VSS**.
 - Tr7**: An NMOS transistor with gate connected to **Vcath** and source connected to **VSS**.
 - Capacitors:** **Cs** (coupling capacitor), **Cs2** (bypass capacitor), and **Cs3** (bypass capacitor).
 - Diode D1:** A diode connected between the output node and **Vcath**.
- Section 141:** The main output node, labeled **141m**.
- Section 22:** The **Tr4 DC power** input.
- Section 24:** The **Tr3, Tr6 scan** input.

[図8]



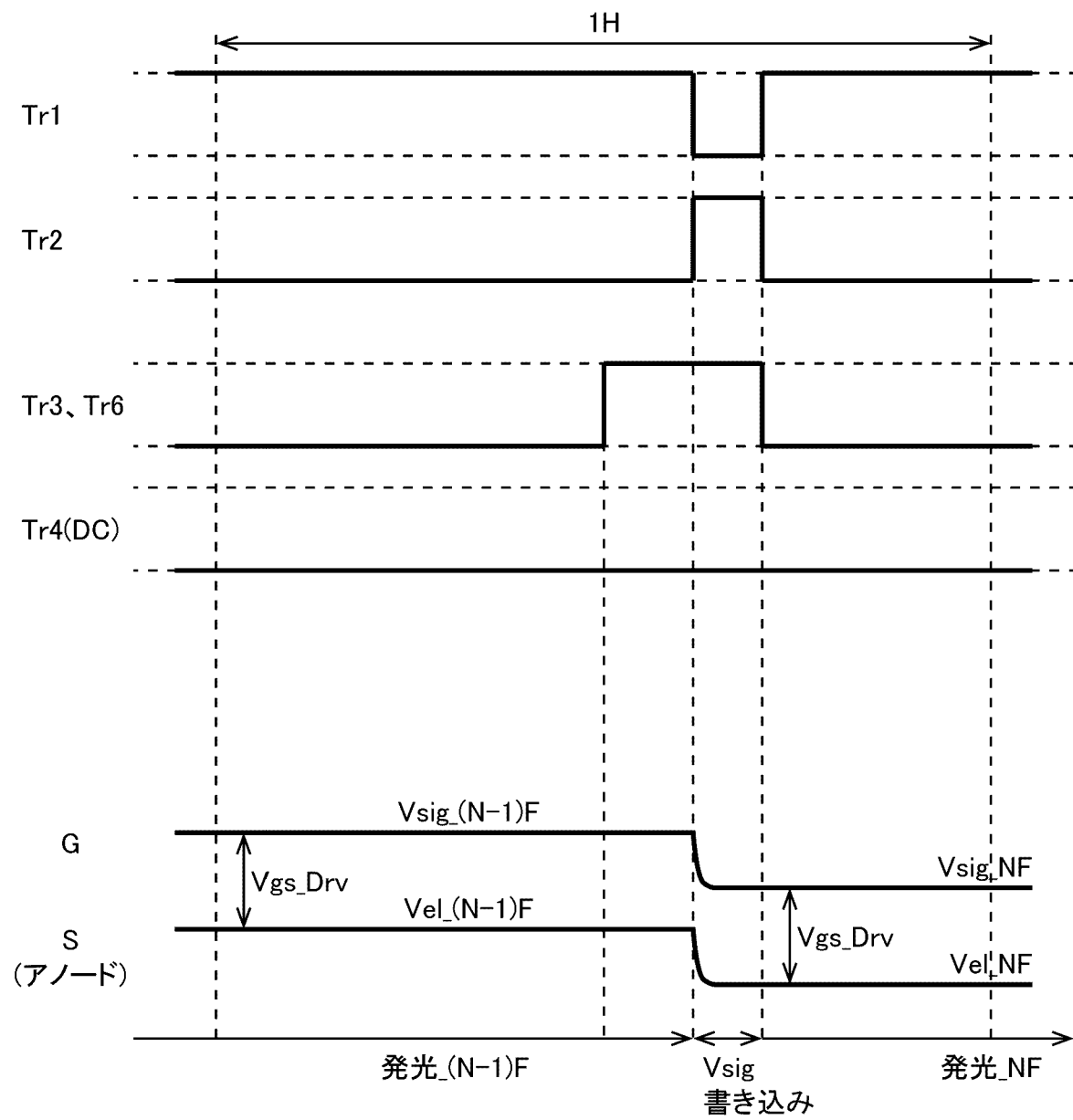
[illegible]

[図10]



[illegible]

[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040812

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i, H01L51/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/3233, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2015-188059 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 October 2015, paragraphs [0208]-[0223], fig. 14(B), 15(B) & US 2015/0187818 A1, paragraphs [0248]-[0263], fig. 14B, 15B & WO 2015/097595 A1 & KR 10-2016-0103017 A & CN 105849796 A	1-3, 5-8 4
X A	US 2017/0278457 A1 (SHANGHAI TIANMA AM-OLED CO., LTD.) 28 September 2017, paragraphs [0044]-[0055], fig. 2A, 2B & DE 102017116906 A1 & CN 106710528 A	1-2, 4-8 3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11.12.2019

Date of mailing of the international search report
24.12.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040812

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-534990 A (KONINKLIJKE PHILIPS ELECTRONICS N. V.) 17 November 2005, entire text, all drawings & US 2006/0113919 A1, entire text, all drawings & WO 2004/015667 A1 & KR 10-2005-0035253 A & CN 1675669 A	1-8
A	WO 2015/196730 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 30 December 2015, entire text, all drawings & CN 104167168 A	1-8
A	JP 2008-191450 A (SEIKO EPSON CORPORATION) 21 August 2008, entire text, all drawings (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/3233, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2015-188059 A（株式会社半導体エネルギー研究所）2015.10.29, 段落 [0208] - [0223], [図14] (B), [図15] (B) & US 2015/0187818 A1 [0248]-[0263], 図14B, 図15B & WO 2015/097595 A1 & KR 10-2016-0103017 A & CN 105849796 A	1-3, 5-8 4
X A	US 2017/0278457 A1 (SHANGHAI TIANMA AM-OLED CO., LTD.) 2017.09.28, 段落 [0044] - [0055], 図2A-図2B & DE 102017116906 A1 & CN 106710528 A	1-2, 4-8 3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.12.2019

国際調査報告の発送日

24.12.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

21

9308

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-534990 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2005.11.17, 全文, 全図 & US 2006/0113919 A1, 全文, 全図 & WO 2004/015667 A1 & KR 10-2005-0035253 A & CN 1675669 A	1-8
A	WO 2015/196730 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 2015.12.30, 全文, 全図 & CN 104167168 A	1-8
A	JP 2008-191450 A (セイコーエプソン株式会社) 2008.08.21, 全文, 全図 (ファミリーなし)	1-8