

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-503850

(P2015-503850A)

(43) 公表日 平成27年2月2日(2015.2.2)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 25/065 (2006.01)</b>	H O 1 L 25/08 Y	5 F 0 4 4
<b>H O 1 L 25/07 (2006.01)</b>	H O 1 L 23/12 5 O 1 S	5 F 1 3 6
<b>H O 1 L 25/18 (2006.01)</b>	H O 1 L 23/12 5 O 1 V	
<b>H O 1 L 23/12 (2006.01)</b>	H O 1 L 21/60 3 O 1 D	
<b>H O 1 L 21/60 (2006.01)</b>	H O 1 L 23/40 F	
審査請求 未請求 予備審査請求 未請求 (全 36 頁) 最終頁に続く		

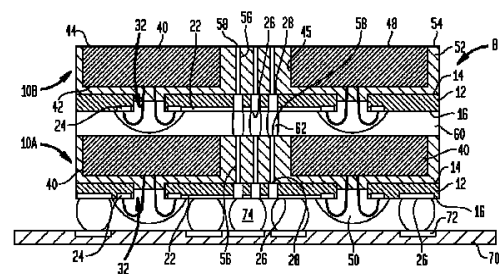
(21) 出願番号	特願2014-551265 (P2014-551265)	(71) 出願人	309034272
(86) (22) 出願日	平成24年12月19日 (2012.12.19)		インヴェンサス・コーポレイション
(85) 翻訳文提出日	平成26年9月1日 (2014.9.1)		アメリカ合衆国 カリフォルニア州 95
(86) 国際出願番号	PCT/US2012/070477		134、サン・ホセ、オーチャード・パー
(87) 国際公開番号	W02013/106173		クウェイ 3025
(87) 国際公開日	平成25年7月18日 (2013.7.18)	(74) 代理人	100099623
(31) 優先権主張番号	13/346,167		弁理士 奥山 尚一
(32) 優先日	平成24年1月9日 (2012.1.9)	(74) 代理人	100096769
(33) 優先権主張国	米国 (US)		弁理士 有原 幸一
		(74) 代理人	100107319
			弁理士 松島 鉄男
		(74) 代理人	100114591
			弁理士 河村 英文
		(74) 代理人	100125380
			弁理士 中村 綾子
		最終頁に続く	

(54) 【発明の名称】 スタック可能超小型電子パッケージ構造

## (57) 【要約】

超小型電子アセンブリ 8 は、第 1 の表面 1 4 及び第 2 の表面 1 6 と、基板コンタクト 2 4 とを有する基板 1 2 を有する第 1 の超小型電子パッケージ 1 0 A を備える。第 1 のパッケージは第 1 の超小型電子素子及び第 2 の超小型電子素子 4 0 を更に含み、第 1 の超小型電子素子及び第 2 の超小型電子素子 4 0 は、基板コンタクト 2 4 と電気的に接続される素子コンタクトを有し、第 1 の超小型電子素子と第 2 の超小型電子素子との間にインターコネクタエリアを設けるように、第 1 の表面上に互いに離間して配置される。パッケージを外部構成要素と接続するために、第 2 の表面にある複数のパッケージ端子 7 4 が基板コンタクトと電気的に相互接続される。パッケージを基板の第 1 の表面の上に重なる構成要素と相互接続するために、複数のスタック端子 2 8 がインターコネクタエリア内で第 1 の表面において露出する。このアセンブリは、第 1 の超小型電子パッケージの上に重なり、第 1 の超小型電子パッケージのスタック端子に接合される端子 6 2 を有する第 2 の超小型電子パッケージ 1 0 B を更に備える。

FIG. 1



**【特許請求の範囲】****【請求項 1】**

超小型電子アセンブリであって、該超小型電子アセンブリは、  
第 1 の超小型電子パッケージであって、

反対側にある第 1 の表面及び第 2 の表面を有する基板であって、該基板上に基板コンタクトを有する、基板と、

それぞれ前記基板コンタクトと電氣的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子であって、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間に第 1 の表面のインターコネクトエリアを設けるように、前記第 1 の表面上に互いに離間して配置される、第 1 の超小型電子素子及び第 2 の超小型電子素子と、

10

該パッケージを該パッケージの外部にある構成要素に接続するために前記基板コンタクトと電氣的に相互接続される、前記第 2 の表面にある複数のパッケージ端子と、

該パッケージを前記基板の前記第 1 の表面の上に重なる構成要素と相互接続するために前記インターコネクトエリア内で第 1 の表面において露出する複数のスタック端子を含む、第 1 の超小型電子パッケージと、

前記第 1 の超小型電子パッケージの上に重なり、前記第 1 の超小型電子パッケージの前記スタック端子に接合される端子を有する第 2 の超小型電子パッケージとを備える、超小型電子アセンブリ。

**【請求項 2】**

20

前記パッケージ端子及び前記スタック端子はそれぞれ電氣的に接続される対として互いに重なり合う、請求項 1 に記載の超小型電子アセンブリ。

**【請求項 3】**

前記パッケージ端子及び前記スタック端子は前記基板を貫通する導電性ビアの両端である、請求項 2 に記載の超小型電子アセンブリ。

**【請求項 4】**

前記スタック端子のうちの更なるスタック端子が、前記インターコネクトエリアの外側の、前記基板の前記第 1 の表面の一部にある、請求項 1 に記載の超小型電子アセンブリ。

**【請求項 5】**

前記スタック端子のうちの少なくともいくつかは、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子の両方と接続される、請求項 4 に記載の超小型電子アセンブリ。

30

**【請求項 6】**

前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子の両方と接続される前記スタック端子のうちの少なくともいくつかは、コマンド信号、アドレス信号及びタイミング信号のうちの少なくとも 1 つを搬送するように構成される、請求項 5 に記載の超小型電子アセンブリ。

**【請求項 7】**

前記第 1 の超小型電子パッケージは、前記第 1 の超小型電子素子と前記第 2 の超小型電子素子との間の前記インターコネクトエリアの両側に離間して配置される第 3 の超小型電子素子及び第 4 の超小型電子素子を更に含む、請求項 1 に記載の超小型電子アセンブリ。

40

**【請求項 8】**

前記スタック端子のうちの更なるスタック端子は、前記超小型電子素子のうちの隣接する超小型電子素子によって画定される、前記基板の角領域内に配置される、請求項 7 に記載の超小型電子アセンブリ。

**【請求項 9】**

前記第 3 の超小型電子素子及び前記第 4 の超小型電子素子は、前記第 1 の超小型電子素子、前記第 2 の超小型電子素子、前記第 3 の超小型電子素子及び前記第 4 の超小型電子素子によって画定される前記インターコネクトエリアの角に隣接する角領域において、それぞれ前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子と重なり合う、請求項 7 に記載の超小型電子アセンブリ。

50

## 【請求項 10】

前記第 1 の超小型電子素子、前記第 2 の超小型電子素子、前記第 3 の超小型電子素子及び前記第 4 の超小型電子素子はそれぞれ、前記インターコネクエリアの側面を画定するエッジを有し、前記エッジ面はそれぞれ、隣接する超小型電子素子の前記エッジ面を横切る平面に沿って延在する、請求項 7 に記載の超小型電子アセンブリ。

## 【請求項 11】

前記第 1 の超小型電子素子、前記第 2 の超小型電子素子、前記第 3 の超小型電子素子及び前記第 4 の超小型電子素子はそれぞれ、前記インターコネクエリアの側面の少なくとも一部を画定するエッジ面を有し、前記エッジ面はそれぞれ 1 つの平面に沿って延在し、前記超小型電子素子はそれぞれ 2 つの隣接する平面間に配置される、請求項 7 に記載の超小型電子アセンブリ。

10

## 【請求項 12】

前記第 1 の超小型電子パッケージは、前記基板の前記第 1 の表面の少なくとも一部の上に重なる成形封入剤層を更に含み、前記第 1 の導電性インターコネクの少なくとも一部は、前記成形封入剤層を貫通して、露出した端部まで延在する第 1 の導電性ビアを備える、請求項 1 に記載の超小型電子アセンブリ。

## 【請求項 13】

前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のコンタクト支持面は前記基板に面し、前記基板コンタクトは前記第 2 の表面において露出する基板コンタクトを含み、前記素子コンタクトはワイヤボンドによって前記基板コンタクトと接続される、請求項 1 に記載の超小型電子アセンブリ。

20

## 【請求項 14】

前記第 1 の表面において露出する基板コンタクトを含み、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子の前記素子コンタクトは、前記第 1 の表面において露出する前記基板コンタクトに面し、該基板コンタクトに接合される、請求項 1 に記載の超小型電子アセンブリ。

## 【請求項 15】

前記第 2 の超小型電子パッケージは、第 2 の基板に取り付けられる第 3 の超小型電子素子を含み、前記端子は前記第 2 の基板上にあり、前記第 3 の超小型電子素子と電氣的に接続される、請求項 1 に記載の超小型電子アセンブリ。

30

## 【請求項 16】

前記第 2 の超小型電子パッケージは、離間して配置される第 1 の表面及び第 2 の表面を有する基板と、該基板の前記第 2 の表面上に取り付けられる第 3 の超小型電子素子及び第 4 の超小型電子素子とを含み、前記第 3 の超小型電子素子及び前記第 4 の超小型電子素子は前記第 2 のパッケージの前記基板上に離間して配置され、その中にインターコネクエリアを画定し、前記端子は、前記インターコネクエリア内で前記第 2 のパッケージの前記基板の前記第 2 の表面において露出し、前記第 2 のパッケージの前記基板は、該基板の前記第 1 の表面と前記第 2 の表面との間に該基板を貫通する窓を更に含み、前記第 2 のパッケージの前記端子は、前記窓を通して延在するワイヤボンドによって、前記第 1 のパッケージの前記スタック端子に接合される、請求項 1 に記載の超小型電子アセンブリ。

40

## 【請求項 17】

前記第 1 のパッケージの前記基板は、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のうちの少なくとも 1 つを包囲する周辺エリアを画定し、前記周辺エリア内に更なるスタック端子が位置し、前記第 2 のパッケージの前記基板は、前記第 3 の超小型電子素子及び前記第 4 の超小型電子素子の少なくとも 1 つを包囲する周辺エリアと、該周辺エリアを画定する周辺エッジとを画定し、前記周辺エリア内に更なる端子が位置し、前記第 1 のパッケージの前記更なるスタック端子の少なくともいくつかは、前記第 2 のパッケージの前記基板の前記周辺エッジを越えて延在するワイヤボンドによって前記第 2 のパッケージの前記更なる端子の少なくともいくつかと接合される、請求項 16 に記載の超小型電子アセンブリ。

50

## 【請求項 18】

前記第 1 の超小型電子パッケージの下方にあり、前記第 1 の超小型電子パッケージの前記パッケージ端子に接合される端子を有する第 3 の超小型電子パッケージを更に備える、請求項 1 に記載の超小型電子アセンブリ。

## 【請求項 19】

表面において露出した回路コンタクトを有する回路パネルを更に含み、前記第 1 の超小型パッケージの前記パッケージ端子は前記回路コンタクトと電氣的に接続される、請求項 1 に記載の超小型電子アセンブリ。

## 【請求項 20】

前記第 2 の超小型電子パッケージの端子はパッケージ端子又はスタック端子のうちの少なくとも 1 つである、請求項 1 に記載の超小型電子アセンブリ。

10

## 【請求項 21】

前記第 1 のパッケージの前記スタック端子は前記第 2 のパッケージの前記パッケージ端子と電氣的に接続される、請求項 20 に記載の超小型電子アセンブリ。

## 【請求項 22】

前記第 1 のパッケージ及び前記第 2 のパッケージのスタック端子は電氣的に接続される、請求項 20 に記載の超小型電子アセンブリ。

## 【請求項 23】

前記第 1 の超小型電子パッケージと前記第 2 の超小型電子パッケージとの間にヒートスプレッドを更に備える、請求項 22 に記載の超小型電子アセンブリ。

20

## 【請求項 24】

前記ヒートスプレッドは、前記インターコネクトエリアの少なくとも一部の上に重なる、該ヒートスプレッドを貫通して形成される開口部を含み、前記第 2 の超小型電子パッケージの前記スタック端子は、前記開口部を通して前記第 1 の超小型電子パッケージの前記スタック端子と接続される、請求項 23 に記載の超小型電子アセンブリ。

## 【請求項 25】

請求項 23 に記載の超小型電子アセンブリであって、前記ヒートスプレッドは第 1 のヒートスプレッドであり、該アセンブリは第 2 のヒートスプレッドを更に備え、前記第 1 のヒートスプレッドは前記インターコネクトエリアの第 1 の側に配置され、前記第 2 のヒートスプレッドは前記インターコネクトエリアの第 2 の側に配置され、前記第 1 のヒートスプレッドと前記第 2 のヒートスプレッドとの間に間隙が画定され、前記第 2 の超小型電子パッケージの前記スタック端子は前記間隙を通して前記第 1 の超小型電子パッケージの前記スタック端子と接続される、請求項 23 に記載の超小型電子アセンブリ。

30

## 【請求項 26】

超小型電子アセンブリであって、該超小型電子アセンブリは、  
第 1 の超小型電子パッケージであって、

それぞれその前面及び背面と、それぞれの前面において露出する素子コンタクトとを有する第 1 の超小型電子素子及び第 2 の超小型電子素子であって、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間にインターコネクトエリアを設けるように互いに横方向に離間して配置される、第 1 の超小型電子素子及び第 2 の超小型電子素子と、

40

前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子の前記前面の上に重なり、前記超小型電子素子の前記前面から離れるように面する表面を有する誘電体層であって、該誘電体層は前記第 1 の表面の反対側にある第 2 の表面を更に有する、誘電体層と、

前記誘電体層の前記第 1 の表面において露出する複数のパッケージ端子であって、前記誘電体層に沿って延在するトレースを通して前記素子コンタクトと電氣的に接続され、前記トレースから延在し、前記素子コンタクトと接触している第 1 の金属化ビアと電氣的に接続される、複数のパッケージ端子と、

前記誘電体層の前記第 2 の表面において露出する複数のスタック端子であって、該パッケージを前記誘電体層の前記第 2 の表面の上に重なる構成要素と接続するために前記パ

50

ッケージ端子と電氣的に接続される複数のスタック端子とを含む、第 1 の超小型電子パッケージと、

前記第 1 の超小型電子パッケージの上に重なり、該第 1 の超小型電子パッケージの前記スタック端子に接合される端子を有する第 2 の超小型電子パッケージとを備える、超小型電子アセンブリ。

【請求項 27】

前記第 1 のパッケージは、

前記インターコネクタエリア内で前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子を少なくとも部分的に包囲し、前記誘電体層の前記第 2 の表面の上に重なる前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子の表面を画定する成形封入層と、

前記スタック端子と電氣的に接続され、前記成形封入層の表面において露出する端面を有する導電性インターコネクタとを更に含む、請求項 26 に記載のアセンブリ。

【請求項 28】

超小型電子アセンブリであって、該超小型電子アセンブリは、第 1 のパッケージであって、

反対側にある第 1 の表面及び第 2 の表面を有する基板と、

それぞれ前記第 1 の表面上の対応する基板コンタクトと電氣的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子であって、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間に前記第 1 の表面のインターコネクタエリアを設けるように、前記第 1 の表面上で互いに離間して配置される、第 1 の超小型電子素子及び第 2 の超小型電子素子と、

該パッケージを該パッケージの外部にある構成要素と接続するために前記基板コンタクトと電氣的に相互接続される、前記第 2 の表面にある複数のパッケージ端子と、

前記インターコネクタエリア内で前記基板の前記第 1 の表面において露出し、前記パッケージ端子のうちの少なくともいくつかと電氣的に接続される複数のスタック端子とを含む、第 1 のパッケージと、

前記第 1 の超小型電子パッケージの上に重なり、端子を有する第 2 の超小型電子パッケージと、

前記第 1 の超小型電子パッケージの前記スタック端子と前記第 2 の超小型電子パッケージの前記端子との間に接合される複数の導電性インターコネクタとを備える、超小型電子アセンブリ。

【請求項 29】

前記第 2 の超小型電子パッケージは、反対側にある第 1 の表面及び第 2 の表面を有する第 2 の誘電体層と、該誘電体層の前記第 1 の表面上に取り付けられる少なくとも 1 つの超小型電子素子とを更に含む、請求項 28 に記載の超小型電子アセンブリ。

【請求項 30】

超小型電子アセンブリであって、該超小型電子アセンブリは、第 1 のパッケージであって、

反対側にある第 1 の表面及び第 2 の表面を有する基板と、

それぞれ前記第 1 の表面上の対応する基板コンタクトと電氣的に接続される素子コンタクトを有する 4 つの超小型電子素子であって、該超小型電子素子は、該超小型電子素子によって包囲される前記第 1 の表面のインターコネクタエリアを画定するように、前記第 1 の表面上に配置される、4 つの超小型電子素子と、

該パッケージを該パッケージの外部にある構成要素と接続するために前記基板コンタクトと電氣的に相互接続される、前記第 2 の表面にある複数のパッケージ端子と、

前記パッケージ端子と電氣的に接続される、前記第 1 の表面の前記インターコネクタエリア内にある複数のスタック端子とを含む、第 1 のパッケージと、

前記第 1 の超小型電子パッケージの上に重なり、端子を有する第 2 の超小型電子パッ

10

20

30

40

50

ージと、

前記第 1 の超小型電子パッケージの前記スタック端子と前記第 2 の超小型電子パッケージの前記端子との間に接合される導電性インターコネクトとを備える、超小型電子アセンブリ。

【請求項 3 1】

前記超小型電子素子はそれぞれ、内側の前記インターコネクトエリアが長方形エリアとして画定されるように、前記インターコネクトエリアに隣接する周辺エッジを含む、請求項 3 0 に記載の超小型電子アセンブリ。

【請求項 3 2】

前記第 1 のスタック端子のうちの少なくともいくつかは、前記第 1 の超小型電子素子のうちの少なくとも 2 つと電氣的に接続される、請求項 3 0 に記載の超小型電子アセンブリ。

【請求項 3 3】

超小型電子アセンブリであって、該超小型電子アセンブリは、第 1 のパッケージであって、

反対側にある第 1 の表面及び第 2 の表面を有する基板と、

それぞれ前記第 1 の表面上の対応する基板コンタクトと電氣的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子であって、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間に前記第 1 の表面のインターコネクトエリアを設けるように、前記第 1 の表面上に互いに離間して配置される、第 1 の超小型電子素子及び第 2 の超小型電子素子と、

前記基板の前記第 2 の表面において露出する表面を有する複数のコンタクトパッドであって、該コンタクトパッドの前記表面は、該パッケージを該パッケージの外部にある構成要素と接続するために前記基板コンタクトと電氣的に相互接続されるパッケージ端子を画定する、複数のコンタクトパッドと、

前記基板の前記第 1 の表面の少なくとも一部の上に重なり、封入剤表面を画定する成形封入剤層と

を含む、第 1 のパッケージと、

前記封入剤表面に結合され、該封入剤表面に面する端子を有する第 2 の超小型電子パッケージと、

少なくとも前記成形封入剤層を貫通して延在し、前記第 1 の超小型電子パッケージの前記コンタクトパッドと前記第 2 の超小型電子パッケージの前記端子とを接続する複数の導電性ビアと

を備える、超小型電子アセンブリ。

【請求項 3 4】

前記導電性ビアは、前記第 1 のパッケージの前記コンタクトパッドと電氣的に接触しながら、該コンタクトパッドを貫通して更に延在する、請求項 3 3 に記載のアセンブリ。

【請求項 3 5】

前記第 2 の超小型電子パッケージは、離間して配置される第 1 の表面及び第 2 の表面を有する基板を更に含み、前記第 2 の表面は前記封入剤表面に結合され、前記第 2 のパッケージの前記端子は前記基板の前記第 2 の表面において露出する導電性パッドの表面であり、前記導電性ビアは、前記第 2 のパッケージの前記コンタクトパッドと電氣的に接触しながら、該コンタクトパッドを貫通して更に延在する、請求項 3 3 に記載のアセンブリ。

【請求項 3 6】

請求項 1 に記載の超小型電子アセンブリと、該超小型電子アセンブリに電氣的に接続される 1 つ又は複数の他の電子構成要素とを備えるシステム。

【請求項 3 7】

電子アセンブリを作製する方法であって、

第 1 の超小型電子パッケージと第 2 の超小型電子パッケージとを組み立てるステップであって、前記第 2 の超小型電子パッケージは前記第 1 の超小型電子パッケージの上に重な

10

20

30

40

50

り、該第 2 の超小型電子パッケージ上に端子を有し、前記第 1 の超小型電子パッケージは、

反対側にある第 1 の表面及び第 2 の表面と有する基板であって、該基板上に基板コンタクトを有する、基板と、

それぞれ前記基板コンタクトと電氣的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子であって、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間に第 1 の表面のインターコネクタエリアを設けるように、前記第 1 の表面上に互いに離間して配置される、第 1 の超小型電子素子及び第 2 の超小型電子素子と、

該パッケージを該パッケージの外部にある構成要素に接続するために前記基板コンタクトと電氣的に相互接続される、前記第 2 の表面にある複数のパッケージ端子と、

該パッケージを前記基板の前記第 1 の表面の上に重なる構成要素と相互接続するために前記インターコネクタエリア内で第 1 の表面において露出する複数のスタック端子とを含む、組み立てるステップと、

前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続するステップであって、前記端子と前記スタック端子との間に電氣的接続を形成する、接続するステップと

を含む、電子アセンブリを作製する方法。

#### 【請求項 38】

前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続する前記ステップは、前記パッケージ端子を前記第 1 の超小型電子パッケージの封入剤層上のインターコネクタの露出した端部に接合するステップを含み、前記封入剤層は少なくとも前記基板の前記面の前記インターコネクタエリアにおいて該第 1 の表面の上に重なり、前記インターコネクタは該インターコネクタの露出した端部の反対側にある前記スタック端子に接合される、請求項 37 に記載の方法。

#### 【請求項 39】

前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続する前記ステップは、前記第 1 の超小型電子パッケージの封入剤層内の穴の中に導電性結合材料塊状物を堆積するステップを含み、前記封入剤層は少なくとも前記インターコネクタエリアにおいて前記基板の前記第 1 の表面の上に重なり、前記スタック端子は、前記穴内の前記封入剤層の表面において露出し、前記導電性結合材料塊状物は前記第 2 のパッケージの前記端子及び前記第 1 のパッケージの前記スタック端子に接合される、請求項 37 に記載の方法。

#### 【請求項 40】

前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続する前記ステップは、

前記第 1 の超小型電子パッケージの少なくとも封入剤を貫通して複数の穴を形成するステップであって、前記封入剤は少なくとも前記基板の前記第 1 の表面のインターコネクタエリア内で該第 1 の表面の上に重なり、前記複数の穴は該穴の第 1 の端部において前記スタック端子のそれぞれのスタック端子と、かつ該穴の第 2 の端部において前記第 2 のパッケージの前記端子のうちの対応する端子と位置合わせされる、形成するステップと、

前記穴を、前記第 1 の超小型電子パッケージの前記スタック端子及び前記第 2 のパッケージの前記パッケージ端子と接触している導電性材料で満たすステップとを含む、請求項 37 に記載の方法。

#### 【請求項 41】

前記穴は、前記第 1 のパッケージの前記基板を貫通して、かつ前記第 1 のパッケージのそれぞれの前記スタック端子を貫通して更に形成される、請求項 40 に記載の方法。

#### 【請求項 42】

前記穴は、前記第 2 のパッケージの前記基板を貫通して、かつ前記第 2 のパッケージの対応する端子を貫通して更に形成される、請求項 40 に記載の方法。

10

20

30

40

50

**【請求項 4 3】**

前記第 1 の超小型電子パッケージは、前記第 1 の超小型電子素子と前記第 2 の超小型電子素子との間の前記インターコネクトエリアの両側に離間して配置される第 3 の超小型電子素子及び第 4 の超小型電子素子を更に含み、前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続する前記ステップは、前記第 1 のパッケージの前記第 1 の超小型電子素子、前記第 2 の超小型電子素子、前記第 3 の超小型電子素子、前記第 4 の超小型電子素子と前記第 2 のパッケージとの間の接続を容易にする、請求項 3 7 に記載の方法。

**【発明の詳細な説明】****【技術分野】**

10

**【0001】**

本発明は改善された超小型電子パッケージ、及びそのようなパッケージを作製する方法に関する。

**【0002】****[ 関連出願の相互参照 ]**

本出願は、2012 年 1 月 9 日に提出された米国特許出願第 13 / 346 , 167 号の継続出願であり、その米国特許出願の開示は本明細書に引用することにより本明細書の一部をなすものとする。

**【背景技術】****【0003】**

20

超小型電子素子は、一般にダイ又は半導体チップと呼ばれる、シリコン又はガリウムヒ素等の半導体材料の薄いスラブを一般的に備えている。半導体チップは通常、数多くの能動デバイス又は受動デバイスを具現し、それらのデバイスを内部で互いに電氣的に接続し、例えば、集積回路として回路機能を実行することができる。半導体チップは、一般的に、個々の予めパッケージされたユニットとして提供される。いくつかのユニット設計では、半導体チップは基板又はチップキャリアに実装される。

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

半導体のパッケージングにおいて上記のような進歩があったが、電氣的相互接続の信頼性を向上させつつパッケージの全体サイズを低減するのに役立つことができる改善が依然として必要である。本発明のこれらの特性は、以下に説明する超小型電子パッケージの構造及び超小型電子パッケージを作製する方法によって達成することができる。

30

**【課題を解決するための手段】****【0005】**

本開示の態様は、第 1 の超小型電子パッケージを備える超小型電子アセンブリに関する。第 1 の超小型電子パッケージは基板を有し、該基板は反対側にある第 1 の表面及び第 2 の表面と、該基板上に基板コンタクトとを有する。前記第 1 のパッケージは、それぞれ前記基板コンタクトと電氣的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子を更に含み、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間に第 1 の表面のインターコネクトエリアを設けるように、前記第 1 の表面上に互いに離間して配置される。前記パッケージを該パッケージの外部にある構成要素に接続するために、前記第 2 の表面にある複数のパッケージ端子が前記基板コンタクトと電氣的に相互接続される。前記パッケージを前記基板の前記第 1 の表面の上に重なる構成要素と相互接続するために、複数のスタック端子が前記インターコネクトエリア内で第 1 の表面において露出する。該アセンブリは、前記第 1 の超小型電子パッケージの上に重なり、前記第 1 の超小型電子パッケージの前記スタック端子に接合される端子を有する第 2 の超小型電子パッケージを更に備える。

40

**【0006】**

前記パッケージ端子及び前記スタック端子はそれぞれ電氣的に接続される対として互い

50



に重なり合うことができる。一例では、前記パッケージ端子及び前記スタック端子は前記基板を貫通する導電性ビアの両端とすることができる。

【0007】

前記スタック端子のうちの更なるスタック端子が、前記インターコネクタエリアの外側の、前記基板の前記第1の表面の一部にあることができる。一実施形態では、前記第1の超小型電子パッケージは、前記第1の超小型電子素子と前記第2の超小型電子素子との間の前記インターコネクタエリアの両側に離間して配置される第3の超小型電子素子及び第4の超小型電子素子を更に含むことができる。このような実施形態では、前記スタック端子のうちの更なるスタック端子は、前記超小型電子素子のうちの隣接する超小型電子素子によって画定される、前記基板の角領域内にあることができる。付加的に又は代替的に、前記スタック端子のうちの少なくともいくつかは、前記第1の超小型電子素子及び前記第2の超小型電子素子の両方と接続することができる。このような例では、前記第1の超小型電子素子及び前記第2の超小型電子素子の両方と接続される前記スタック端子のうちの少なくともいくつかは、コマンド信号、アドレス信号及びタイミング信号のうちの少なくとも1つを搬送するように構成することができる。

10

【0008】

前記第1の超小型電子パッケージは、前記基板の前記第1の表面の少なくとも一部の上に重なる成形封入剤層を更に含むことができ、前記第1の導電性インターコネクタの少なくとも一部は、前記成形封入剤層を貫通して、露出した端部まで延在する第1の導電性ビアを備えることができる。一実施形態では、前記第1の超小型電子素子及び前記第2の超小型電子素子のコンタクト支持面は前記基板に面することができ、前記基板コンタクトは前記第2の表面において露出する基板コンタクトを含み、前記素子コンタクトはワイヤボンドによって前記基板コンタクトと接続することができる。

20

【0009】

前記超小型電子アセンブリは、前記第1の表面において露出する基板コンタクトを含むことができる。このような実施形態では、前記第1の超小型電子素子及び前記第2の超小型電子素子の前記素子コンタクトは、前記第1の表面において露出する前記基板コンタクトに面することができ、該基板コンタクトに接合することができる。

【0010】

前記第2の超小型電子パッケージは、第2の基板に取り付けられる第3の超小型電子素子を含むことができる。このような実施形態では、前記第2のパッケージの前記端子は前記第2の基板上にあり、前記第3の超小型電子素子と電気的に接続される。一例では、前記第2の超小型電子パッケージは、離間して配置される第1の表面及び第2の表面を有する基板と、該基板の前記第2の表面上に取り付けられる第3の超小型電子素子及び第4の超小型電子素子とを含むことができる。前記第3の超小型電子素子及び前記第4の超小型電子素子は、前記第2のパッケージの前記基板上に離間して配置して、その中にインターコネクタエリアを画定することができ、前記端子は、前記インターコネクタエリア内で前記第2のパッケージの前記基板の前記第2の表面において露出することができる。前記第2のパッケージの前記基板は、該基板の前記第1の表面と前記第2の表面との間に該基板を貫通する窓を更に含むことができ、前記第2のパッケージの前記端子は、前記窓を通過して延在するワイヤボンドによって、前記第1のパッケージの前記スタック端子に接合することができる。更なる実施形態では、前記第1のパッケージの前記基板は、前記第1の超小型電子素子及び前記第2の超小型電子素子のうちの少なくとも1つを包囲する周辺エリアを画定することができ、前記周辺エリア内に更なるスタック端子が位置する。前記周辺エリアは、前記第3の超小型電子素子及び前記第4の超小型電子素子の少なくとも1つを包囲することができ、周辺エッジが前記周辺エリアを画定することができる。前記周辺エリア内に更なる端子が位置することができ、前記第1のパッケージの前記更なるスタック端子の少なくともいくつかは、前記第2のパッケージの前記基板の前記周辺エッジを越えて延在するワイヤボンドによって前記第2のパッケージの前記更なる端子の少なくともいくつかと接合することができる。

30

40

50

## 【 0 0 1 1 】

第3の超小型電子パッケージが前記第1の超小型電子パッケージの上に重なることができる。前記第1の超小型電子パッケージの前記パッケージ端子に接合される端子を有することができる。さらに、前記超小型電子アセンブリは、表面において露出した回路コンタクトを有する回路パネルを備えることができる。前記第1の超小型パッケージの前記パッケージ端子は前記回路コンタクトと電氣的に接続することができる。前記第2の超小型電子パッケージの端子はパッケージ端子又はスタック端子のうちの少なくとも1つとすることができる。前記第1のパッケージの前記スタック端子は前記第2のパッケージの前記パッケージ端子と電氣的に接続することができる。さらに、前記第1のパッケージ及び前記第2のパッケージの前記スタック端子は電氣的に接続することができる。

10

## 【 0 0 1 2 】

前記超小型電子アセンブリは、前記第1の超小型パッケージと前記第2の超小型電子パッケージとの間にヒートスプレッドを更に備えることができる。前記ヒートスプレッドは、前記インターコネクタエリアの少なくとも一部の上に重なる、該ヒートスプレッドを貫通して形成される開口部を有することができる。前記第2の超小型電子パッケージの前記スタック端子は、前記開口部を通して前記第1の超小型電子パッケージの前記スタック端子と接続することができる。前記ヒートスプレッドは第1のヒートスプレッドとすることができる。第2のヒートスプレッドを更に備えるアセンブリの実施形態において、前記第1のヒートスプレッドは前記インターコネクタエリアの第1の側に配置され、前記第2のヒートスプレッドは前記インターコネクタエリアの第2の側に配置される。前記第1のヒートスプレッドと前記第2のヒートスプレッドとの間に間隙を画定することができ、前記第2の超小型電子パッケージの前記スタック端子は前記間隙を通して前記第1の超小型電子パッケージの前記スタック端子と接続することができる。

20

## 【 0 0 1 3 】

本開示の別の態様は、第1の超小型電子素子及び第2の超小型電子素子を有する第1の超小型電子パッケージを備える、超小型電子アセンブリに関する。各超小型電子素子は、その前面及び背面と、それぞれの前面において露出する素子コンタクトとを有する。前記第1の超小型電子素子及び前記第2の超小型電子素子は、該第1の超小型電子素子と該第2の超小型電子素子との間にインターコネクタエリアを設けるように互いに横方向に離間して配置される。前記第1の超小型電子パッケージは、前記第1の超小型電子素子及び前記第2の超小型電子素子の前記前面の上に重なり、前記超小型電子素子の前記前面から離れるように面する表面を有する誘電体層を更に有する。前記誘電体層は前記第1の表面の反対側にある第2の表面を更に有する。複数のパッケージ端子が前記誘電体層の前記第1の表面において露出し、前記誘電体層に沿って延在するトレースを通して前記素子コンタクトと電氣的に接続され、前記トレースから延在し、前記素子コンタクトと接触している第1の金属化ビアと電氣的に接続される。複数のスタック端子が前記誘電体層の前記第2の表面において露出し、前記パッケージを前記誘電体層の前記第2の表面の上に重なる構成要素と接続するために前記パッケージ端子と電氣的に接続される。前記アセンブリは、前記第1の超小型電子パッケージの上に重なり、該第1の超小型電子パッケージの前記スタック端子に接合される端子を有する第2の超小型電子パッケージとを更に備える。

30

40

## 【 0 0 1 4 】

一例では、前記第1のパッケージは、前記インターコネクタエリア内で前記第1の超小型電子素子及び前記第2の超小型電子素子を少なくとも部分的に包囲し、前記誘電体層の前記第2の表面の上に重なる前記第1の超小型電子素子及び前記第2の超小型電子素子の表面を画定する成形封入層を更に含む。導電性インターコネクタが、前記スタック端子と電氣的に接続され、前記成形封入層の表面において露出する端面を有することができる。

## 【 0 0 1 5 】

本開示の更に別の態様は、第1のパッケージを備える超小型電子アセンブリに関する。前記第1のパッケージは、反対側にある第1の表面及び第2の表面を有する基板を有する。前記第1のパッケージは、それぞれ前記第1の表面上の対応する基板コンタクトと電氣

50

的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子を更に含む。前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子は、前記第 1 の超小型電子素子と前記第 2 の超小型電子素子との間に前記第 1 の表面のインターコネクタエリアを設けるように、前記第 1 の表面上で互いに離間して配置される。前記第 2 の表面にある複数のパッケージ端子が、前記パッケージを該パッケージの外部にある構成要素と接続するために前記基板コンタクトと電氣的に相互接続される。前記インターコネクタエリア内で前記基板の前記第 1 の表面において露出する複数のスタック端子が、前記パッケージ端子のうちの少なくともいくつかと電氣的に接続される。前記アセンブリは、前記第 1 の超小型電子パッケージの上に重なり、端子を有する第 2 の超小型電子パッケージを更に備える。複数の導電性インターコネクタが、前記第 1 の超小型電子パッケージの前記スタック端子と前記第 2 の超小型電子パッケージの前記端子との間に接合される。

10

#### 【0016】

前記第 2 の超小型電子パッケージは、反対側にある第 1 の表面及び第 2 の表面を有する第 2 の誘電体層と、該誘電体層の前記第 1 の表面上に取り付けられる少なくとも 1 つの超小型電子素子とを更に有することができる。

#### 【0017】

本開示の別の実施形態による超小型電子アセンブリは、第 1 のパッケージを備え、該第 1 のパッケージは、反対側にある第 1 の表面及び第 2 の表面を有する基板と、それぞれ前記第 1 の表面上の対応する基板コンタクトと電氣的に接続される素子コンタクトを有する 4 つの超小型電子素子とを有する。前記超小型電子素子は、該超小型電子素子によって包囲される前記第 1 の表面のインターコネクタエリアを画定するように、前記第 1 の表面上に配置される。前記第 2 の表面にある複数のパッケージ端子が、前記パッケージを該パッケージの外部にある構成要素と接続するために前記基板コンタクトと電氣的に接続される。前記第 1 の表面の前記インターコネクタエリア内にある複数のスタック端子が前記パッケージ端子と電氣的に接続される。前記アセンブリは、前記第 1 の超小型電子パッケージの上に重なり、端子を有する第 2 の超小型電子パッケージを更に備える。前記第 1 の超小型電子パッケージの前記スタック端子と前記第 2 の超小型電子パッケージの前記端子との間に導電性インターコネクタが接合される。前記超小型電子素子はそれぞれ、内側の前記インターコネクタエリアが長方形エリアとして画定されるように、前記インターコネクタエリアに隣接する周辺エッジを含むことができる。前記第 1 のスタック端子のうちの少なくともいくつかは、前記導電性素子のうちの少なくとも 2 つと電氣的に接続することができる。

20

30

#### 【0018】

本開示の別の態様は、第 1 のパッケージを備える超小型電子アセンブリに関する。前記第 1 のパッケージは、反対側にある第 1 の表面及び第 2 の表面を有する基板を有する。前記第 1 のパッケージはまた、それぞれ前記第 1 の表面上の対応する基板コンタクトと電氣的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子を含み、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間に前記第 1 の表面のインターコネクタエリアを設けるように、前記第 1 の表面上に互いに離間して配置される。複数のコンタクトパッドが、前記基板の前記第 2 の表面において露出する表面を有し、前記コンタクトパッドの前記表面は、前記パッケージを該パッケージの外部にある構成要素と接続するために前記基板コンタクトと電氣的に相互接続されるパッケージ端子を画定する。成形封入剤層が、前記基板の前記第 1 の表面の少なくとも一部の上に重なり、封入剤表面を画定する。前記アセンブリは、前記封入剤表面に結合され、該封入剤表面に面する端子を有する第 2 の超小型電子パッケージを更に備える。複数の導電性ビアが、少なくとも前記成形封入剤層を貫通して延在し、前記第 1 の超小型電子パッケージの前記コンタクトパッドと前記第 2 の超小型電子パッケージの前記端子とを接続する。

40

#### 【0019】

前記導電性ビアは、前記第 1 のパッケージの前記コンタクトパッドと電氣的に接触しな

50

がら、該コンタクトパッドを貫通して更に延在することができる。前記第 2 の超小型電子パッケージは、離間して配置される第 1 の表面及び第 2 の表面を有する基板を更に含むことができる。前記第 2 の表面は前記封入剤表面に結合することができ、前記第 2 のパッケージの前記端子は前記基板の前記第 2 の表面において露出する導電性パッドの表面とすることができる。前記導電性ビアは、前記第 2 のパッケージの前記コンタクトパッドと電氣的に接触しながら、該コンタクトパッドを貫通して更に延在することができる。

【 0 0 2 0 】

本開示の別の態様によるシステムは、上記で論考した実施形態のうちの任意のものによる超小型電子アセンブリと、該超小型電子アセンブリに電氣的に接続される 1 つ又は複数の他の電子構成要素とを備えることができる。

【 0 0 2 1 】

本開示の更なる態様は、電子アセンブリを作製する方法に関する。該方法は、第 1 の超小型電子パッケージと第 2 の超小型電子パッケージとを組み立てるステップを含み、前記第 2 の超小型電子パッケージは前記第 1 の超小型電子パッケージの上に重なり、該第 2 の超小型電子パッケージの上に端子を有する。前記第 1 の超小型電子パッケージは基板を含み、該基板は反対側にある第 1 の表面及び第 2 の表面と、該基板版上に基板コンタクトとを有する。前記第 1 のパッケージは、それぞれ前記基板コンタクトと電氣的に接続される素子コンタクトを有する第 1 の超小型電子素子及び第 2 の超小型電子素子を更に含む。該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、該第 1 の超小型電子素子と該第 2 の超小型電子素子との間に前記第 1 の表面のインターコネクタエリアを設けるように、前記第 1 の表面上に互いに離間して配置される。前記パッケージを前記パッケージの外部にある構成要素に接続するために、前記第 2 の表面にある複数のパッケージ端子が前記基板コンタクトと電氣的に相互接続される。前記パッケージを前記基板の前記第 1 の表面の上に重なる構成要素と相互接続するために、複数のスタック端子が前記第 1 の表面の前記インターコネクタエリア内で露出する。前記方法は、前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続するステップであって、前記端子と前記スタック端子との間に電氣的接続を形成する、接続するステップを更に含む。

【 0 0 2 2 】

一実施形態では、前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続する前記ステップは、前記パッケージ端子を前記第 1 の超小型電子パッケージの封入剤層上のインターコネクタの露出した端部に接合するステップを含み、前記封入剤層は少なくとも前記基板の前記第 1 の表面の前記インターコネクタエリアにおいて該第 1 の表面の上に重なる。このような例では、前記インターコネクタはその露出した端部の反対側にある前記スタック端子に接合することができる。別の実施形態では、前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続する前記ステップは、前記第 1 の超小型電子パッケージの封入剤層内の穴の中に導電性結合材料塊状物を堆積するステップを含み、前記封入剤層は少なくとも前記インターコネクタエリアにおいて前記基板の前記第 1 の表面の上に重なる。このような実施形態では、前記スタック端子は、前記穴内の前記封入剤層の表面において露出することができ、前記導電性結合材料塊状物は前記第 2 のパッケージの前記端子及び前記第 1 のパッケージの前記スタック端子に接合することができる。

【 0 0 2 3 】

更なる実施形態では、前記第 2 の超小型電子パッケージの前記端子を前記第 1 の超小型電子パッケージの前記スタック端子と接続する前記ステップは、前記第 1 の超小型電子パッケージの少なくとも封入剤を貫通して複数の穴を形成するステップを含むことができ、前記封入剤は少なくとも前記基板の第 1 の表面のインターコネクタエリア内で該第 1 の表面の上に重なる。前記複数の穴は該穴の第 1 の端部において前記スタック端子のそれぞれのスタック端子と、かつ該穴の第 2 の端部において前記第 2 のパッケージの前記端子のうちの対応する端子と位置合わせすることができる。このような方法は、前記穴を、前記第

１の超小型電子パッケージの前記スタック端子及び前記第２のパッケージの前記パッケージ端子と接触している導電性材料で満たすステップを更に含むことができる。前記穴は、前記第１のパッケージの前記基板を貫通して、かつ前記第１のパッケージのそれぞれの前記スタック端子を貫通して更に形成することができる。代替的に、前記穴は、前記第２のパッケージの前記基板を貫通して、かつ前記第２のパッケージの対応する端子を貫通して更に形成することができる。

【００２４】

次に、本発明の様々な実施形態を、添付図面を参照して説明する。これらの図面は、本発明のいくつかの実施形態しか示しておらず、したがって、本発明の範囲を限定するものとみなされるべきでないことが理解される。

10

【図面の簡単な説明】

【００２５】

【図１】本開示の一実施形態による、超小型電子パッケージを含むアセンブリの断面図である。

【図１Ａ】代替のアセンブリの一部の詳細図である。

【図２】図１に示されるような更なる超小型電子パッケージを含む更なるアセンブリの断面図である。

【図３Ａ】代替の超小型電子パッケージを組み込む代替のアセンブリの断面図である。

【図３Ｂ】代替の超小型電子パッケージを組み込む代替のアセンブリの断面図である。

【図３Ｃ】代替の超小型電子パッケージを組み込む代替のアセンブリの断面図である。

20

【図４】代替の超小型電子パッケージの代替のアセンブリの断面図である。

【図５Ａ】代替の超小型電子パッケージの更なる代替のアセンブリの断面図である。

【図５Ｂ】代替の超小型電子パッケージの更なる代替のアセンブリの断面図である。

【図６】図１に示されるタイプの超小型電子パッケージを含む代替のアセンブリの図である。

【図７】図１に示されるタイプの超小型電子パッケージを含む更なる代替のアセンブリの図である。

【図８】本発明の更なる実施形態による、更なる代替の超小型電子パッケージの様々なアセンブリのうちの１つの断面図である。

【図９】本発明の更なる実施形態による、更なる代替の超小型電子パッケージの様々なアセンブリのうちの１つの断面図である。

30

【図１０】本発明の更なる実施形態による、更なる代替の超小型電子パッケージの様々なアセンブリのうちの１つの断面図である。

【図１１】図８に示されるような超小型電子パッケージを組み込む、図６に示されるタイプのアセンブリの図である。

【図１２】図８に示されるような超小型電子パッケージを組み込む、図７に示されるタイプのアセンブリの図である。

【図１３】図８に示されるタイプの更なる超小型電子素子を含むアセンブリの断面図である。

【図１４】更なる代替の超小型電子パッケージのアセンブリの断面図である。

40

【図１５】図１４に示されるアセンブリにおいて用いられるような超小型電子パッケージの平面図である。

【図１６】図１４に示されるアセンブリにおいて用いることができる代替の超小型電子パッケージの平面図である。

【図１７】図１４に示されるアセンブリにおいて用いることができる代替の超小型電子パッケージの平面図である。

【図１８】本発明の一実施形態による、超小型電子アセンブリを備えるシステムを示す図である。

【発明を実施するための形態】

【００２６】

50

ここで図を参照すると、類似の参照番号を用いて類似の機構を示しており、図 1 は、回路パネル 70 上の超小型電子パッケージ 10A 及び 10B の超小型電子アセンブリ 8 を示す。図示される実施形態では、パッケージ 10A 及び 10B は実質的に同一であり、それぞれ基板 12 の前面 14 上に取り付けられる複数の超小型電子素子 40 を含む。一例において、各超小型電子素子は、複数の能動回路素子、例えば、半導体デバイスを具現する半導体チップとすることができるか、又は半導体チップを含むことができ、それらの回路素子は、例えば、集積回路として電氣的に構成することができる。別の例として、各超小型電子素子は、キャパシタ、インダクタ又は抵抗器等の複数の受動回路素子を含むことができ、それらの回路素子は、場合によって、受動デバイスのみとして、又は能動回路素子、すなわち、能動デバイスとともに半導体チップ内に具現することができる。図示される実施形態では、各パッケージ 10A 及び 10B は 2 つの超小型電子素子 40 を含むが、実施形態によっては、1 つのパッケージ（後に論じられるパッケージ等）が、3 つ、4 つ、又はそれ以上等、3 つ以上の超小型電子素子を含むことができる。

10

20

30

#### 【0027】

図 1 の例示的な実施形態では、超小型電子素子 40 はフェイスダウンワイヤボンド構成においてそれぞれの基板に取り付けられる。この構成では、超小型電子素子 40 は、その前面 42 が基板 12 の前面 14 に面するようにして取り付けられる。素子コンタクト 46 が超小型電子素子 40 の前面 42 に露出しており、基板配線 22 と電氣的に接続され、基板配線は、基板 12 上に形成されるか、又は基板 12 内に少なくとも部分的に埋め込まれるトレース又はコンタクトパッドを含むことができる。図示される実施形態では、素子コンタクト 46 は、基板 12 の窓 32 を通り抜けるワイヤボンド 48 によって、基板配線 22 と接続される。図 1 には一対のワイヤボンド 48 しか示されないが、複数のワイヤボンドが行（図 15 を参照）に沿って延在することができ、複数のワイヤボンド対を受け入れるように延長された窓を通り抜けることができる。封入剤 50 が、窓 32 のエリア内のワイヤボンド 48 と、基板 12 の背面 16 を越えて基板 12 の外側に延在するワイヤボンド部分とを包囲し、保護することができる。成形誘電体層 52 が、超小型電子素子のエッジ 45 と、図 1 のフェイスダウン構成の場合、前面 42 とを含めて、超小型電子素子 40 を少なくとも部分的に包囲することができる。成形誘電体層 52 は、超小型電子素子 40 を基板 12 の前面 14 に更に結合することができる。成形誘電体層 52 は、超小型電子素子 40 の背面 44 と実質的に同一平面をなすことができるか、又は背面 44 の上に重なり、超小型電子素子 40 を完全に封入することができる表面 54 を画定する。代替的には、図 1A において見られるように、リードのうちのいくつか又は全てがビームリード 137 とすることができ、ビームリードは第 2 の基板 120 の表面 123 又は 124 に対して平行な方向に延在し、開口部 126 と位置合わせされた部分を有し、第 1 の超小型電子素子 102 のコンタクト 112 に接合される。

#### 【0028】

基板配線 22 は、基板 12 の背面 16 において露出する複数のパッケージ端子 26 を含むことができる。パッケージ端子 26 はパッケージ 10A 又は 10B のいずれか又は両方の超小型電子素子 40 と電氣的に接続することができ、更に互いに相互接続することができる。パッケージ端子 26 は、パッケージ 10A 又は 10B をパッケージ 10A、10B の外部にある構成要素と接続する際に用いるために利用可能である。例えば、パッケージ 10A 内のパッケージ端子 26 を用いて、パッケージ 10A を回路パネル 70 の表面において露出する回路コンタクト 72 と接続することができ、回路パネル 70 はプリント回路基板（「PCB」）等とすることができる。パッケージ 10B のパッケージ端子 26 は別の例を示しており、パッケージ端子 26 を用いて、後に更に詳細に論じられる、パッケージ 10A、10B の構造を貫通して、パッケージ 10A 等の別のパッケージと電氣的に接続することができる。

40

#### 【0029】

超小型電子素子 40 は、第 1 の表面 14 上に離間して配置され、その間にインターコネクトエリア 18 を画定するように、パッケージ 10A、10B 内のそれぞれの基板 12 に

50

沿って配置される。図 1 に示される実施形態では、超小型電子素子 40 は、そのエッジ面 45 が、その間にインターコネクタエリア 18 を画定するために離間して配置されるように互いに面し、かつ実質的に平行であるように配置される。しかしながら、エッジ面 45 が平行である必要はない。図示される実施形態では、インターコネクタエリア 18 は、その 2 つの面において超小型電子素子 40 のエッジ 45 によって、残りの 2 つの面において基板 12 のエッジによって画定することができる。他の実施形態では、インターコネクタエリア 18 は、超小型電子素子 40 の外面間に延在する架空の境界によって画定されると見なすことができる。例えば、4 つの超小型電子素子 40 を備える実施形態では、インターコネクタエリア 18 は、4 つの面において、個々の超小型電子素子 40 のエッジ 45 によって画定することができる。5 つ以上の超小型電子素子を備える実施形態では、インターコネクタエリアは、例えば、超小型電子素子が存在する数と同数の面において、超小型電子素子によって完全に囲むことができる。

10

20

30

40

50

#### 【0030】

基板 12 の前面 14 として露出するインターコネクタエリア 18 内に複数のスタック端子 28 が配置される。本明細書で用いられる場合の「において露出している」という語は、基板 12 上のスタック端子 28 のためのいかなる特定の取着手段、又はスタック端子 28 と基板 12 との間のいかなる相対位置も指すものではない。そうではなく、この語は、導電性構造体が、誘電性構造体の外側から誘電性構造体の表面に向かって、誘電性構造体の表面に対して垂直な方向に移動する理論上の地点との接触に利用可能であることを指す。したがって、誘電性構造体の表面において露出している端子又は他の導電性構造体は、そのような表面から突出することができるか、そのような表面と面一とすることができるか、又は、そのような表面に対して凹状になっているとともに誘電性体の穴又は窪みを通して露出することができる。スタック端子 28 は、その種々の行又は列を含むことができる個々の端子 28 のアレイとすることができる。2 つのスタック端子 28 のみを有する構成、又はパッケージ 10 A 若しくは 10 B の他の要素との接続に基づいて選択された種々の場所において 3 つ以上の端子を有する構成を含む、端子 28 の他の代替構成も可能である。スタック端子 28 は、同じパッケージ 10 A 若しくは 10 B の超小型電子素子 40 と、又は他のスタック端子 28 と、又はパッケージ端子 26 と相互接続できるように、基板配線 22 の一部とすることができるか、又は別の方法で基板配線 22 と接続することができる。

#### 【0031】

スタック端子 28 を用いて、関連付けられるパッケージ 10 A 又は 10 B を、基板 12 の前面 14 の上に重なる外部構成要素と接続することができる。一例では、複数のインターコネクタ素子 56 をスタック端子 28 と接続することができる、それらのインターコネクタ素子は、そこからその端面 58 まで上方に延在することができ、その端面 58 は成形誘電体層 52 の表面 54 において露出することができる。インターコネクタ 56 は、結合金属又は他の導電性材料からなるピン、ポスト、塊状物とすることができ、例えば、それらの材料はハンダ、又は銅、金、銀、スズ、ビスマス、インジウム、アルミニウム、ニッケル等の金属を含むことができる。図示される実施形態では、インターコネクタ 56 は、基板 12 の前面 14 から離れるように延在し、成形誘電体層 52 を貫通して延在するピンの形をとる。そのような実施形態では、端面 58 は、別の構成要素と相互接続するために表面 54 において露出する端子を形成することができる。他の実施形態では、端面 58 は、端面 58 自体の表面積よりも大きな表面積を有する端子を設けるために、端面と接続されるコンタクトによって覆うことができる。

#### 【0032】

図 1 に示されるように、パッケージ 10 B は、パッケージ 10 A の上方に取り付けることができ、例えば、その取付けは接着層 60 を用いて行うことができ、接着層は、パッケージ 10 A の表面 54 とパッケージ 10 B の基板 12 の第 2 の表面 16 との間に位置決めすることができるエポキシ又は別の硬化性材料等の誘電体材料から形成することができる。上記のような、ハンダ等の導電性材料又は結合材料の塊状物が、パッケージ 10 A のイ

ンターコネクト 5 6 の端面 5 8 と、パッケージ 1 0 B のパッケージ端子 2 6 とを接続することができる。こうして、この構成は、パッケージ 1 0 A のスタック端子 2 8 とパッケージ 1 0 B のパッケージ端子 2 6 との間の接続を提供し、アセンブリ 8 にわたる複数の更なる接続を容易にすることができる。例えば、この構成は、パッケージ 1 0 B の超小型電子素子 4 0 の一方又は両方と、回路パネル 7 0、それゆえ、回路パネルと接続される任意の他の構成要素との間の接続を提供することができる。別の例では、この構成は、パッケージ 1 0 B の超小型電子構成要素 4 0 の一方又は両方と、パッケージ 1 0 A の超小型電子構成要素の一方又は両方との間の接続を提供することができる。そのような接続によって助長される特定の接続は、個々のスタック端子 2 8 に対して行われる特定の接続を含む、各パッケージ 1 0 A 及び 1 0 B 内の基板配線 2 2 を適応させることによって行うことができる。

10

#### 【 0 0 3 3 】

図 1 に示される超小型電子アセンブリ 8 等の超小型電子アセンブリ 8 を形成する方法が、超小型電子パッケージ 1 0 A 及び 1 0 B を上記で説明された構成で別々に作製又は形成することを含むことができる。その後、パッケージ 1 0 B の対応するパッケージ端子 2 6 がパッケージ 1 0 A の対応するインターコネクト 5 6 と位置合わせするように、パッケージ 1 0 A 及び 1 0 B を互いに位置合わせすることができる。その後、例えば、塊状物 6 2 の形をとるハンダ等の導電性結合材料を用いて互いに接合することによって、パッケージ 1 0 B の対応するパッケージ端子 2 6 を、それぞれのインターコネクト 5 6 の端部 5 8 と電氣的に接続することができる。その後、向かい合う表面 1 6 と 5 4 との間に、かつ結合金属塊状物 6 2 の周囲に接着層 6 0 を注入するか、別の方法で堆積して、パッケージ 1 0 A 及び 1 0 B を互いに固定することができる。

20

#### 【 0 0 3 4 】

パッケージ 1 0 A において、いくつかのパッケージ端子 2 6 及びスタック端子 2 8 は互いに直接重なり合うことができ、基板 1 2 を貫通して延在するビア 3 0 によって互いに電氣的に接続することができる。図示される具体的な実施形態では、ビア 3 0 は、その端部がそれぞれスタック端子 2 8 及びパッケージ端子 2 6 であるように、各端部が前面 1 4 及び背面 1 6 上で露出することができる。コンタクトパッドがビア 3 0 の上に重なり、スタック端子 2 8 及びパッケージ端子 2 6 を形成する実施形態を含む、他の実施形態も可能である。パッケージ 1 0 A によって示されるように、ビア 3 0 は基板配線 2 2 と接続することができる、基板配線 2 2 は背面 1 6 に沿って延在し、ビア 3 0 から 1 つ又は複数の横方向にずれたパッケージ端子を含む。類似の構成も可能であり、基板配線 2 2 は前面 1 4 に沿って延在し、ビア 3 0 からずれたスタック端子 2 8 を含む。ずれたパッケージ端子 2 6 を含むパッケージ 1 0 A 等のパッケージの実施形態は、(例えば、パッケージ 1 0 B の代わりに)別のパッケージの上に重なることもでき、そのようにずれていることは、異なるパッケージにおけるインターコネクト 5 6 の異なる空間配置を補償することができるか、又は特定の接続を再分配することができる。

30

#### 【 0 0 3 5 】

図 2 に示されるように、パッケージ 1 0 C 及び 1 0 D 等の更なる超小型電子パッケージをアセンブリ 8 に収容することができる。図示される実施形態において、パッケージ 1 0 C 及び 1 0 D は、構造に関してパッケージ 1 0 B に類似であり、パッケージ 1 0 C のパッケージ端子 2 6 をパッケージ 1 0 B のインターコネクト 5 6 の端面 5 8 と接続できるようになっている。同様に、パッケージ 1 0 D のパッケージ端子 2 6 は、パッケージ 1 0 C のインターコネクト 5 6 の端面 5 8 と接続することができる。いずれの場合も、パッケージは接着層 6 2 を用いて互いに結合することができ、パッケージ端子 2 6 は結合金属塊状物 6 2 を用いて、インターコネクト 5 6 の端面 5 8 と接続することができる。図 1 の実施形態と同様に、パッケージ 1 0 A、1 0 B、1 0 C、1 0 D 間の相互接続は、アセンブリ要素間のいくつかの異なる相互接続を達成することができる。例えば、パッケージ 1 0 C 及び 1 0 D の超小型電子素子 4 0 は、パッケージ 1 0 A 及び 1 0 B を通して回路パネル 7 0 に接続することができる。さらに、アセンブリ 8 内の超小型電子素子 4 0 のいずれかを、

40

50



任意の介在するパッケージのインターコネクト 5 6 を通して、残りの超小型電子素子 4 0 のいずれかと接続することができる。

【 0 0 3 6 】

図 2 に示されるようなパッケージ 8 を作製する方法は、図 1 のパッケージ 8 を作製するための上記の方法と同様にすることができるが、更なるパッケージ 1 0 C 及び 1 0 D を取り付けるために更なる同様のステップが含まれる。

【 0 0 3 7 】

超小型電子素子間のインターコネクトエリア内のスタック端子を用いて、そのようにしていくつかの他のタイプのパッケージを接続することができる。さらに、そのようなスタック端子から外部パッケージ端子へのいくつかの異なる接続も可能である。図 3 A ~ 図 3 C に示される例では、パッケージ 1 1 0 A 及び 1 1 0 B はそれぞれ、構造に関して、図 1 に示されるようなパッケージ 1 0 A 及び 1 0 B に類似である。しかしながら、図 3 A ~ 図 3 C の実施形態では、インターコネクト 1 5 6 は、例えば、結合金属、例えば、ハンダ、スズ、インジウム、金若しくはそれらの組み合わせ、又は数ある中でも、導電性ペースト、導電性マトリックス材料等の他の導電性結合材料からなる導電性塊状物の形をとる。図 3 C に示される例では、結合金属インターコネクト 1 5 6 はパッケージ 1 1 0 A のスタック端子 1 2 8 からパッケージ 1 1 0 B のパッケージ端子 1 2 6 までの端子間にわたって延在する。そのような実施形態では、パッケージ 1 1 0 A の成形誘電体層 1 5 2 内に穴を開け、表面 1 5 4 上でスタック端子 1 2 8 を露出させることができる。パッケージ 1 1 0 B を組み付ける前に、接着層 1 6 0 が形成される場合、これらの穴は接着層 1 6 0 を貫通して延在することもできる。そうでない場合には、ハンダ等の結合金属を、スタック端子 1 2 8 と接触するようにそのような穴内に堆積することができ、パッケージ 1 1 0 B をパッケージ 1 1 0 A に組み付けることができ、結合金属をリフローすることによって、インターコネクト 1 5 6 をパッケージ端子 1 2 6 と接続することができる。一例では、その後、パッケージ 1 1 0 A と 1 1 0 B との間、及びインターコネクト 1 5 6 の露出した部分の周囲に接着層 1 6 0 を注入することができる。

【 0 0 3 8 】

図 3 A の変形形態である図 3 B の例では、スタック端子 1 2 8 及びパッケージ端子 1 2 6 は、パッケージ 1 1 0 A 内の基板 1 1 2 の第 2 の表面 1 1 6 に隣接して位置決めされるコンタクトパッド 1 3 4 の向かう合う表面である。図示されるように、スタック端子 1 2 8 は、基板 1 1 2 内の開口部 1 3 6 によって、基板 1 1 2 の第 1 の表面 1 1 4 において露出する。そのような実施形態では、結合金属インターコネクト 1 5 6 が、基板 1 1 2 内の開口部 1 3 6 の中に更に延在し、スタック端子 1 2 8 と接合することができる。図 3 C は、図 3 B の例の更なる変形形態を示しており、コンタクトパッド 1 3 4 がパッケージ 1 1 0 A の基板 1 1 2 の第 1 の表面 1 1 4 に隣接している。パッケージ端子 1 2 6 が、基板 1 1 2 内の開口部 1 3 6 によって第 2 の表面 1 1 6 において露出する。ハンダボール 1 7 4 が開口部 1 3 6 の中に延在し、上記で論じられたように、外部構成要素と接続するためにパッケージ端子 1 2 6 と接続する。図 3 C におけるパッケージ 1 1 0 B は、パッケージ 1 1 0 A の場合と類似の端子構造を含む。結合金属インターコネクト 1 5 6 がパッケージ 1 1 0 B の基板 1 1 2 内の開口部 1 3 6 を貫通して延在し、そのパッケージ端子 1 2 6 と接続する。図 3 A ~ 図 3 C において示されるように、超小型電子パッケージ 1 0 8 を作製する方法において、パッケージ 1 1 0 B を組み付ける前に、パッケージ 1 1 0 A 内に開口部 1 3 6 を含むことができる。パッケージ 1 1 0 B を組み付けるためにパッケージ 1 1 0 A が設けられるとき、開口部 1 3 6 内にインターコネクト塊状物 1 5 6 を含むことができる。その後、塊状物 1 5 6 を加熱して、パッケージ 1 1 0 B のパッケージ端子 1 2 6 と接合するための結合材料をリフローすることができる。代替的には、組み付ける前に開口部 1 3 6 を空にしておくことができ、その時点で、その中に流動可能状態で結合金属を堆積することができ、パッケージ 1 0 B のパッケージ端子 1 2 6 と更に接合することができる。更なる代替形態では、開口部 1 3 6 を、成形誘電体 1 5 2 の表面 1 5 4 と実質的に同一平面をなす結合金属インターコネクト 1 3 6 で満たすことができる。組み付け時に、更なる

結合金属をそれに追加し、パッケージ 1 1 0 B のパッケージ端子 1 2 6 と接合することができる。

#### 【 0 0 3 9 】

図 4 は更なる代替の構成を示しており、インターコネクト 2 5 6 が、パッケージ 2 1 0 A のスタック端子 2 2 8 をパッケージ 2 1 0 B のスタック端子 2 2 8 に直接接続するワイヤボンドの形をとることができるように、パッケージ 2 1 0 B の基板 2 1 2 を貫通して窓 2 1 9 が形成される。そのような実施形態において、パッケージ 2 1 0 B の基板配線 2 2 2 は、スタック端子 2 2 8 と、スタック端子 2 2 8 と反対面 2 1 6 にあるワイヤボンド 2 4 8 とを接続することができる。場合によっては、一度に、超小型電子素子 2 4 0 と、超小型電子素子 2 4 0 を基板配線 2 2 2 及び相互接続ワイヤボンド 2 5 6 に接続するワイヤボンド 2 4 8 とを封入する単一の成形誘電体層 2 5 0 を形成することができる。図 4 に更に示されるように、超小型電子素子 2 4 0 の外側の周辺エリア内でパッケージ 2 1 0 A の基板 2 1 2 の第 1 の表面 2 1 4 において、更なるスタック端子 2 2 6 が露出することができる。同様に、更なるワイヤボンドインターコネクト 2 5 6 がその周辺エリア内でパッケージ 2 1 0 A 及び 2 1 0 B のスタック端子 2 2 8 間を接続することができるように、パッケージ 2 1 0 B の基板 2 1 2 の第 1 の表面 2 1 4 において更なるスタック端子 2 2 8 を露出させることができる。パッケージを相互接続するために基板窓を通してワイヤボンドを組み込むアセンブリの更なる例が、同時係属で、共同所有された米国特許出願第 1 1 / 6 6 6 , 9 7 5 号及び第 1 3 / 2 1 6 / 4 1 5 号において記述されており、その開示は引用することによりその全体が本明細書の一部をなすものとする。

10

20

#### 【 0 0 4 0 】

図 5 A 及び図 5 B に示される更なる変形形態では、パッケージ 3 1 0 A 及び 3 1 0 B が超小型電子素子 3 4 0 を含むことができ、超小型電子素子 3 4 0 は、その前面 3 4 2 上に素子コンタクト 3 4 6 を含む。そのような超小型電子素子 3 4 0 は、素子コンタクト 3 4 6 が、ハンダボール 3 4 8 によって、基板 3 1 2 の第 1 の表面 3 1 4 上の基板コンタクトを含む基板配線 3 2 2 に接続されるように、基板 3 1 2 上にフリップチップボンディングされる。図 5 B の例は、ビア 3 3 0 (又は他の類似の構造)を貫通して延在する金属化ビアの形をとるインターコネクト 3 5 6 を更に示しており、そのインターコネクト 3 5 6 は、パッケージ 3 1 0 B のパッケージ端子 3 2 6 及びスタック端子 3 2 8 を画定し、それらと電氣的に相互接続する。ビア 3 5 6 は更に、パッケージ 3 1 0 A の成形誘電体 3 5 2 及び接着層 3 6 0 を貫通して延在し、パッケージ 3 1 0 A のスタック端子 3 2 8 と接続する。図 5 B に示される例では、成形誘電体 3 5 2、スタック端子 3 2 8、パッケージ端子 3 2 6 及びその間にある任意の構造(ビア 3 3 0 の残り又は基板 3 1 2 の任意の部分等)を含めて、パッケージ 3 1 0 B を貫通して、対応する開口部を最初に形成することによって、ビア 3 5 6 を作製できるように、ビアがパッケージ 3 1 0 B の成形誘電体 3 5 2 を貫通して更に延在する。そのような開口部は、接着層 3 6 0 を貫通して、かつパッケージ 3 1 0 A の成形誘電体 3 5 2 を貫通して更に形成される。いくつかの実施形態では、開口部は、スタック端子 3 2 8、及びビア 3 3 0 等の任意の関連する構造を貫通して延在することもできる。その後、開口部は、銅、又は本明細書において論じられる別の配線金属等の導電性材料で満たされる。そのような導電性金属はめっき等によって開口部内に堆積することができる。代替的には、開口部のサイズ、並びにそれぞれのパッケージ 3 1 0 A 及び 3 1 0 B の厚みを含む他の要因に応じて、開口部内に導電性ペースト又は結合金属を堆積して、所望の電氣的接続を達成することができる。本明細書において論じられるパッケージ及びそのアセンブリの他の例において、パッケージ 3 1 0 A と 3 1 0 B との間の接続のために図 5 B に関して論じられたビア 3 5 6 を用いて、類似の接続を形成することができる。

30

40

#### 【 0 0 4 1 】

本明細書において説明されるタイプのパッケージは、更なるパッケージのパッケージ端子又はスタック端子のいずれかと接続することによって、類似のタイプのそのような更なるパッケージに組み付けることができる。一例において、本明細書において説明されるタ

50

イブのうちのいずれかのパッケージを、図 6 及び図 7 において示される構成のように、向かい合わせの構成において互いに取り付けることができる。例えば、図 6 では、パッケージ 4 1 0 A 及びパッケージ 4 1 0 B が、それぞれの誘電体表面 4 5 4 が互いに向かい合い、インターコネクト 4 5 6 の端面 4 5 8 が互いに位置合わせされるように位置決めされる。ハンダボール 4 6 2 が位置合わせされたインターコネクト 4 5 6 の端面 4 5 8 を電氣的に接続することができ、接着層 4 6 0 が、2 つのパッケージ 4 1 0 A 及び 4 1 0 B を固定することができる。類似の例では、2 つのパッケージは、向かい合い、位置合わせされたパッケージ端子を接続するハンダボールを用いて背合わせに取り付けることができ、それぞれのパッケージ基板の向かい合う背面間に接着層がある。これらの例を更に組み合わせ、図 6 のパッケージ 4 1 0 A 及び 4 1 0 B 等の、2 組の向かい合わせに結合されたパッケージを組み立てることができる。図 7 は、図 6 の実施形態の変形形態を示しており、ヒートスプレッド 4 6 4 がパッケージ 4 1 0 A と 4 1 0 B との間に配置される。ヒートスプレッド 4 6 4 は、その中に窓 4 6 6 を含み、インターコネクト 4 5 6 がそこを通り抜けることができる。別の例では、ヒートスプレッド 4 6 4 は 2 つの個別のヒートスプレッド 4 6 4 とすることができ、インターコネクトエリア 4 1 8 のそれぞれの側に 1 つが配置される。そのような実施形態では、窓 4 6 6 は、2 つの別々のヒートスプレッド 4 6 4 間に画定される間隙の形をとることができる。

10

#### 【0042】

類似のスタック端子構成をウェハレベルパッケージ内の複数のダイ構成に組み込むこともできる。図 8 に示されるように、パッケージ 5 1 0 A 及び 5 1 0 B はいずれも、2 つの超小型電子素子 5 4 0 を含むウェハレベルパッケージである。この場合、超小型電子パッケージ 5 1 0 A 及び 5 1 0 B が、超小型電子素子 5 4 0 の前面 5 4 2 の上に重なる導電性再分配層を含むパッケージング構造を有する超小型電子素子 5 4 0 の形をとることができるように、基板を省くことができる。再分配層は、パッケージの誘電体層 5 3 8 を貫通して超小型電子素子のコンタクト 5 4 6 まで延在する導電性金属化ビア 5 3 0 を有する。再分配層は、パッケージ端子 5 2 6 と、パッケージ端子 5 2 6 と電氣的に接続されるトレースとを含み、端子は、金属化ビア 5 3 6 を通して、又は金属化ビア 5 3 6 及び導電性トレースを通して等により、コンタクト 5 4 6 と電氣的に接続される。図 8 の特定の実施形態では、パッケージ端子 5 2 6 及びスタック端子 5 2 8 が、インターコネクトエリア 5 1 8 内等の、超小型電子素子 5 4 0 の 1 つ又は複数のエッジを越えて延在する誘電体層 5 3 8 のエリア上に配置され、パッケージ 5 1 0 A 及び 5 1 0 B は更に「ファンアウトウェハレベルパッケージ」と呼ぶことができる。スタック端子 5 2 8 及びパッケージ端子 5 2 6 はコンタクトパッド 5 3 4 の反対面とすることができ、コンタクトパッドは、誘電体層 5 3 8 内の各ウェハレベルパッケージ 5 1 0 A、5 1 0 B の再分配回路 5 2 2 に組み込まれる。

20

30

#### 【0043】

図 1 の実施形態と同様に、ピン等のインターコネクト 5 5 6 が、成形誘電体 5 5 2 を貫通し、必要なら、誘電体層 5 3 8 を貫通して、表面 5 5 4 上に露出するその端面 5 5 8 まで延在することができる。この構造によって、パッケージ 5 1 0 B は、パッケージ 5 1 0 A の上方に組み付けることができるようになり、パッケージ 5 1 0 B のパッケージ端子がインターコネクト端面 5 5 8 と接続される。上記のように、この接続構成は、パッケージ 5 1 0 A 及び 5 1 0 B の構成要素間のいくつかの異なる特定の接続、及びパッケージ 5 1 0 A のパッケージ端子 5 2 6 を PCB 等の回路コンタクトに接続すること等による、外部構成要素への接続を容易にする。そのような接続は、図 8 に示されるように、パッケージ 5 1 0 A のパッケージ端子 5 2 6 を、例えば、回路コンタクト 5 7 2 に直接結合することによって達成することができる。代替的には、図 9 に示されるように、アセンブリ 5 0 8 内に、ハンダボール 5 6 2 を介してパッケージ 5 1 0 A のパッケージ端子 5 2 6 に接続するパッケージ基板 5 7 6 を含むことができる。その後、パッケージ基板 5 7 6 は、パッケージコンタクト 5 7 6 に接続されるハンダボール 5 7 4 によって回路コンタクト 5 7 2 に接続することができる。図 10 に示される代替例では、パッケージ 5 1 0 A のパッケージ

40

50

端子 5 2 6 は、パッケージコンタクト 5 7 8 に接続するパッケージ基板 5 7 6 内の配線にワイヤボンディングすることができる。

【 0 0 4 4 】

図 1 1 及び図 1 2 はアセンブリ 5 0 8 の例を示しており、図 6 及び図 7 に示される構成に類似の構成においてウェハレベルパッケージ 5 1 0 A 及び 5 1 0 B を含む。詳細には、パッケージ 5 1 0 A 及び 5 1 0 B は、向かい合い、互いに位置合わせされるインターコネクト 5 5 6 の端面 5 5 8 を接続するハンダボール 5 6 2 を用いて向かい合わせに組み立てられる。それぞれのパッケージ 5 1 0 A 及び 5 1 0 B の向かい合う表面 5 5 4 間に接着層 5 6 0 を取り付けすることができる。図 5 0 0 の実施形態は、図 7 のヒートスプレッドと同じようにしてヒートスプレッド 5 6 4 を組み込む。上記で論じられたように、向かい合わせに結合されるパッケージからなる複数のサブアセンブリを互いに組み付けることができる。

10

【 0 0 4 5 】

図 1 3 に示されるように、図 2 に論じられたのと同じようにして、パッケージを積み重ねるように組み付け続け、パッケージ端子 5 2 6 及びインターコネクト 5 5 6 の端面 5 5 8 の隣接対を接続することによって、更なるパッケージ 5 1 0 C 及び 5 1 0 D を組み付ける。そのようなアセンブリ内に、図 1 3 に示される 4 つのパッケージよりも更に多くのパッケージを含むことができる。

【 0 0 4 6 】

上記で論じられたように、図 1 ~ 図 1 3 において上記で論じられたアセンブリのいずれかを、各パッケージ内に 3 つ以上の超小型電子素子を含むように適応させることができる。図 1 4 ~ 図 1 7 は、各パッケージ 6 1 0 内に 4 つの超小型電子 6 4 0 を有する、図 8 に示されるタイプのアセンブリの更なる例を示す。詳細には、図 1 5 は、図 1 4 のアセンブリにおいて用いることができるパッケージ 6 1 0 の概略的な平面図を示す。この実施形態では、超小型電子素子 6 4 0 は、基板 6 1 2 の表面 6 1 4 に沿ってエッジ 6 4 5 が正方形に配置されるように配置される。この構成は、エッジ 6 4 5 によって画定される正方形エリア内にインターコネクトエリア 6 1 8 を画定する。上記で論じられた実施形態と同様に、スタック端子 6 2 8 が、インターコネクトエリア 6 1 8 内の基板 6 1 2 の前面 6 1 4 上にアレイとして配置される。上記で論じられたように、パッケージ端子 6 2 6 は基板 6 1 2 の背面 6 1 6 上に露出し、スタック端子 6 2 8 と直接位置合わせすることができるか、又はオフセットすることができる。

20

30

【 0 0 4 7 】

図 1 5 に示されるような、4 つの超小型電子素子 6 4 0 内に画定されるインターコネクトエリア 6 1 8 に加えて、超小型電子素子 6 4 0 の隣接対が、そのエッジ 6 4 5 と基板 6 1 2 の境界との間に外側インターコネクトエリア 6 2 0 を画定する。更なるスタック端子 6 2 8 を、これらのインターコネクトエリア 6 2 0 内の基板 6 1 2 の前面 6 1 4 上にも露出させることができる。図 1 5 に示される例では、4 つのそのような外側インターコネクトエリア 6 2 0 が基板 6 1 2 上に画定される。しかしながら、所与のパッケージに含まれる超小型電子素子の数に応じて、それよりも多くの、又は少ない外側インターコネクトエリアが存在することができる。

40

【 0 0 4 8 】

図 1 4 及び図 1 5 に示されるタイプのパッケージ 6 1 0 のアセンブリ 6 0 8 では、異なるインターコネクトエリア 6 1 8 及び 6 2 0 内のスタック端子 6 2 8 は、その場所に応じて、異なる信号を搬送するために用いることができるか、又は超小型電子素子 6 4 0 の異なる組み合わせと相互接続することができる。例えば、インターコネクトエリア 6 1 8 内のスタック端子 6 2 8 を超小型電子素子 6 4 0 のうちの 2 つ以上と相互接続して、超小型電子素子 6 4 0 のうちの 2 つ、3 つ又は全てに共通の信号を搬送することができる。図 1 5 に示されるように、1 つのそのようなスタック端子 6 2 8 A を、全ての超小型電子素子 6 4 0 と接続することができる。更なる例では、外側インターコネクトエリア 6 2 0 内のスタック端子は、そのエリアと境界を接する超小型電子素子 6 4 0 のうちの 1 つのみと接

50

続することができるか、又はその特定の外側インターコネクエリア 640 と境界を接する超小型電子素子の両方と接続することができる。一実施形態では、外側インターコネクエリア 640 内のスタック端子 628C は、超小型電子素子のうちの最も近くの超小型電子素子 640C のみと接続し、その超小型電子素子に特有の信号を搬送することができる。この方式によれば、残りのスタック端子は種々の超小型電子素子 640 と接続することができる。外側インターコネクエリア 620 内のスタック端子 628 は、共通の信号を搬送するには、反対側にある超小型電子素子（超小型電子素子 640A 及び 640B 等）間の距離があまりにも異なる可能性があるので、そのような方式にすることは、スタック端子 628 と超小型電子素子 640 との間の相対的な距離に起因して有利な場合がある。これは、そのような信号が更に遠くの超小型電子素子 640 に達するのに、更に長い時間を要することに起因することができる。逆に、インターコネクエリア 618 内のスタック端子 628 は、全ての超小型電子素子 640 への距離に関して、共通の信号を確実に搬送するほど十分に近くすることができる。

10

20

30

40

50

#### 【0049】

本発明の或る特定の実施形態では、パッケージ内の超小型電子素子は、メモリストレージレイ機能を提供するように構成される超小型電子素子を含む。例えば、超小型電子素子は、ダイナミックランダムアクセスメモリ（「DRAM」）機能を提供することができる。場合によって、専用 DRAM チップを含むか、又は専用 DRAM チップとすることができる。そのような場合には、インターコネクエリア内のスタック端子 628 は、一群のコマンド・アドレスバス信号の全てを第 2 の超小型電子パッケージ 601B に搬送するように構成することができる。コマンド信号、アドレス信号及びタイミング信号を搬送するように構成される中央に位置する端子を有するパッケージは、2011 年 7 月 12 日に出版された共同所有される米国特許仮特許出願第 61/506,889 号（「'889 出願」）、2011 年 10 月 3 日に出版された米国仮特許出願第 61/542,488 号（「'488 出願」）、及び 2011 年 10 月 3 日に出版された米国仮特許出願第 61/542,553 号（「'553 出願」）において更に記述されているとおりとすることができ、'889 出願、'488 出願及び '553 出願の開示は、引用することにより本明細書の一部をなすものとする。通常、コマンド・アドレスバス信号は、プリント回路基板又はモジュールカード等の回路パネルから、並列の複数の超小型電子パッケージ、詳細には、回路パネルの同じ面又は反対の面に取り付けられた超小型電子パッケージまでバス接続することができる。一例では、そのような回路パネルは、マザーボード、又はシングルインラインメモリモジュール若しくは「SIMM」モジュール基板、又はデュアルインラインメモリモジュール若しくは「DIMM」モジュール基板とすることができる。特定の例では、インターコネクエリアのコマンド・アドレスバス信号端子は、一群のコマンド信号、アドレス信号、バンクアドレス信号及びクロック信号の全てを搬送するように構成することができ、コマンド信号は書込みイネーブル、行アドレスストロープ及び列アドレスストロープであり、クロック信号はアドレス信号をサンプリングするために用いられるサンプリングクロックである。クロック信号は種々のタイプからなることができるが、一実施形態では、これらの端子によって搬送されるクロック信号は、差動クロック信号として、又は真信号及び補信号のクロック信号として受信される 1 つ又は複数の差動クロック信号対とすることができる。更に別の実施形態では、スタック端子と位置合わせされるか、又は基板の外側に面した表面上に配置されるパッケージ端子は、回路パネルと対になるか、又は同様のパッケージのスタック端子と対になるためのコマンド・アドレスバス信号端子も含む。

#### 【0050】

一実施形態では、超小型電子パッケージは SIMM 又は DIMM と機能的に同等にすることができ、パッケージのインターコネクエリア内のスタック端子、及びそれに接続されるパッケージ端子は、一群のコマンド・アドレスバス端子の全て、すなわち、そのパッケージに転送されるコマンド信号、アドレス信号、バンクアドレス信号及びクロック信号の全てを搬送するように構成することができ、コマンド信号は書込みイネーブル、行アド

レスストローブ及び列アドレスストローブであり、クロック信号はアドレス信号をサンプリングするために用いられるサンプリングクロックである。特定の実施形態では、パッケージは、バッファ素子、例えば、そのための集積回路を組み込むことができ、バッファ素子は、'488出願においても記述されているように、パッケージ端子において受信されたコマンド - アドレスバス信号を再生し、再生された信号をスタック端子上で、そのパッケージに組み付けられる場合がある更なるパッケージに送信するように構成される。そのような場合に、超小型電子パッケージはレジスタードDIMMすなわち「RDIMM」と機能的に同等にすることができる。別の例では、超小型電子パッケージは、ロードリデューストDIMM（「LRDIMM」）と機能的に同等にすることができる、その場合、バッファ素子は、超小型電子パッケージによって受信されたデータ信号の全てを再生し、その信号を、そのパッケージに組み付けられる1つ又は複数の更なる超小型電子パッケージに送信するように構成することができる。

10

20

30

40

50

#### 【0051】

特定の例では、超小型電子パッケージは、クロックサイクルにおいて32個のデータビットを並列に転送、すなわち、パッケージによって受信又はパッケージから送信するように構成することができる。別の例では、超小型電子パッケージは、クロックサイクルにおいて64個のデータビットを並列に転送するように構成することができる。複数の他のデータ転送量が可能であり、その中でも、数個のそのような転送量のみについて言及するが、限定するものではない。例えば、パッケージは、クロックサイクルごとに72個のデータビットを転送するように構成することができる。この72個のデータビットは、データを表す64個の基本ビット（underlying bits）と、64個の基本ビットのための誤り訂正符号（「ECC」）ビットである8つのビットとのセットを含むことができる。96個のデータビット、108個のビット（データビット及びECCビット）、128個のデータビット、及び144個のビット（データビット及びECCビット）は、超小型電子パッケージがサポートするように構成することができる、サイクル当たりのデータ転送幅の他の例である。

#### 【0052】

図16及び図17は、超小型電子素子640を4超小型電子素子パッケージ610に互いに配置することができるかの更なる例を示す。図16では、超小型電子素子640は互いに配置され、重ならず（図15では重なっている）、外側インターコネクタエリア620が除去される。詳細には、図16の構成における超小型電子素子640は、別の超小型電子素子640の隣接する内側エッジ面645Aを横切る平面に沿って延在する内側エッジ面645Aを有するように示すことができる。この実施形態では、インターコネクタエリア618内のスタック端子628は、共通信号及び特有信号の両方を搬送することができる。図16に示されるように、基板612は、超小型電子素子640を包囲し、その中にスタック端子628を含む連続した外側インターコネクタエリア620を画定するために、超小型電子素子640がその上に重なるエリアの外側に延在することができる。これらのスタック端子628は、隣接する超小型電子素子と接続し、その素子に特有の信号を搬送することができる、その場合、共通信号は超小型電子素子640によって包囲されるインターコネクタエリア618内のスタック端子628によって搬送される。

#### 【0053】

図17では、超小型電子素子640の重ならない構成が示されており、図15と同様に、その中にスタック端子628を有する外側インターコネクタエリア620を画定する。そのような構成において、内側エッジ面645Aは平面に沿って延在し、各超小型電子素子640が、隣接する超小型電子素子640の内側エッジ面645Aによって画定される2つのそのような平面間に位置決めされるようになっている。本明細書において用いられるときに、「間に」は、超小型電子素子がそのような平面と接する構成も含むことができる。

#### 【0054】

本明細書において説明される接続構成要素の種々の実施形態を種々の異なる電子システ

ムに関連して用いることができる。上記の相互接続構成要素は、図 18 に示されるような異なる電子システムの構成において利用することができる。例えば、本発明の更なる実施形態によるシステム 1 は、図 1 に示される超小型電子アセンブリ 8 に類似の、超小型電子パッケージ 10 A 及び 10 B を組み立てることによって形成されるユニットである、超小型電子アセンブリ 8 を含むことができる。図示される実施形態、及び上記のような超小型電子アセンブリの他の変形形態を他の電子構成要素 6 及び 3 とともに用いることができる。図示される例では、構成要素 6 は半導体チップ若しくはパッケージ、又は半導体チップを含む他のアセンブリとすることができるのに対して、構成要素 3 は表示画面であるが、任意の他の構成要素を用いることもできる。当然、明確に例示するために、図 18 には、2 つの更なる構成要素しか示されないが、そのシステムは、任意の数のそのような構成要素を含むことができる。更なる変形形態では、超小型電子素子及び相互接続構成要素を含む、任意の数の超小型電子アセンブリを用いることができる。超小型電子アセンブリ並びに構成要素 6 及び 3 は、破線で概略的に表される、共通のハウジング 4 内に取り付けられ、所望の回路を形成するために必要に応じて互いに電氣的に相互接続される。図示される例示的なシステムでは、そのシステムは、フレキシブルプリント回路基板等の回路パネル 70 を含み、回路パネルは、構成要素を互いに相互接続する多数の導体 72 を含む。しかしながら、これは例示にすぎない。コンタクトパッド等に接続することができるか、又は一体に構成することができる複数のトレースを含む、電氣的接続を作製するのに適した任意の構造を用いることができる。さらに、回路パネル 70 は、ハンダボール 74 等を用いて、アセンブリ 8 に接続することができる。ハウジング 4 は、例えば携帯電話又は携帯情報端末における使用可能なタイプの携帯型ハウジングとして示されており、画面 3 は、ハウジングの表面において露出していることができる。システム 1 が撮像チップ等の感光素子を含む場合、光を構造体に誘導するために、レンズ 5 又は他の光学デバイスも提供することができる。この場合もまた、図 18 に示す簡略化システム 1 は単に例示的なものであり、上述した構造体を用いて、例えばデスクトップコンピュータ、ルータ等、一般に固定構造体とみなされるシステムを含む他のシステムを作製することができる。

10

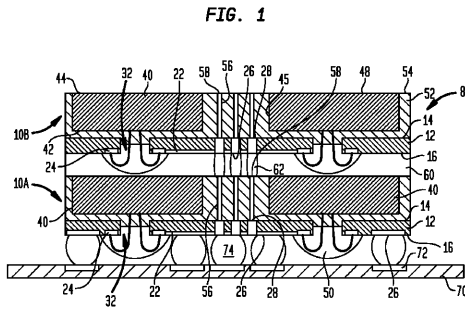
20

30

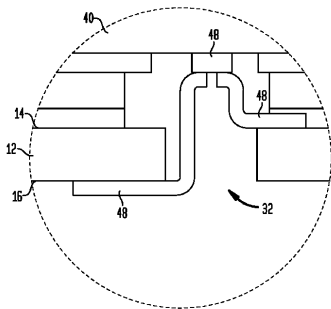
#### 【 0 0 5 5 】

本明細書における説明は特定の実施形態を参照しながら行われてきたが、これらの実施形態は本発明の原理及び応用形態を例示するにすぎないことは理解されたい。それゆえ、添付の特許請求の範囲によって規定されるような本発明の趣旨及び範囲から逸脱することなく、例示的な実施形態に数多くの変更を加えることができること、及び他の構成を考案することができることは理解されたい。

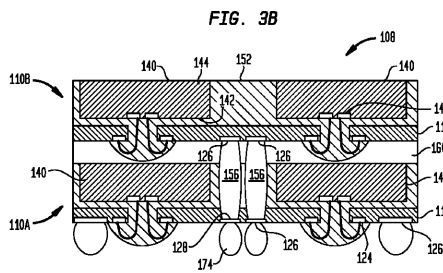
【 図 1 】



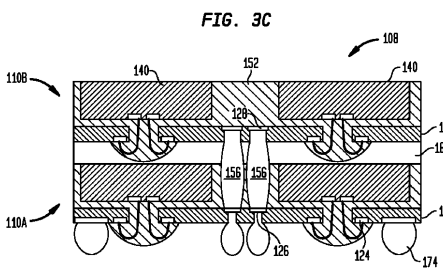
【 図 1 A 】



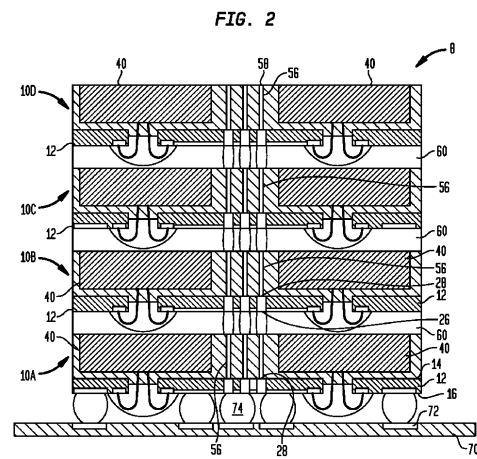
【 図 3 B 】



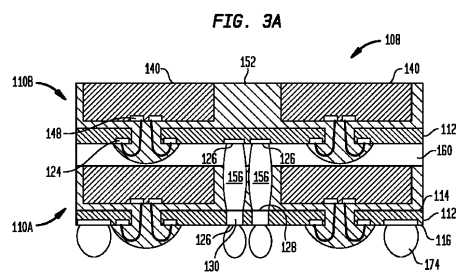
【 図 3 C 】



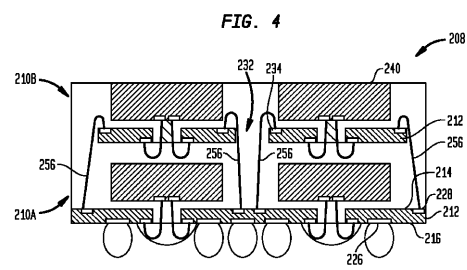
【 図 2 】



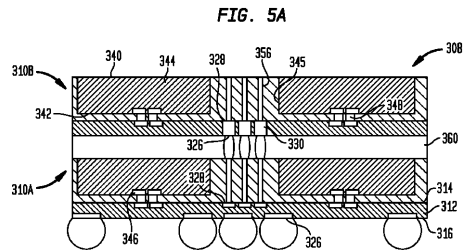
【 図 3 A 】



【 図 4 】

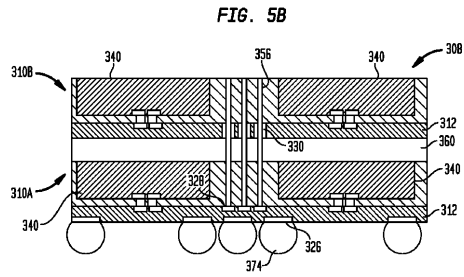


【 図 5 A 】

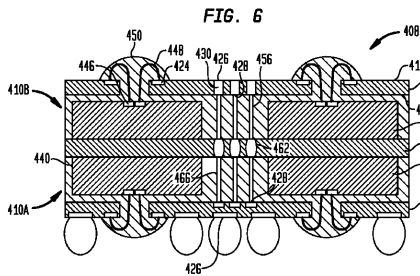




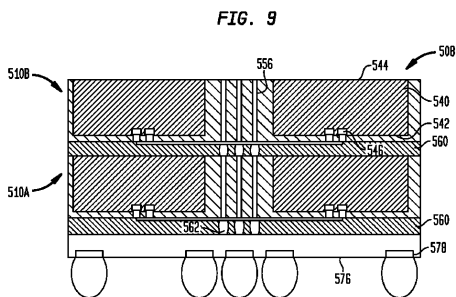
【 図 5 B 】



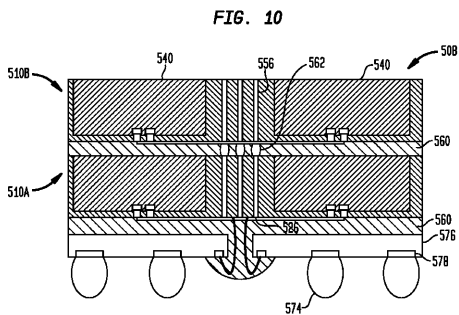
【 図 6 】



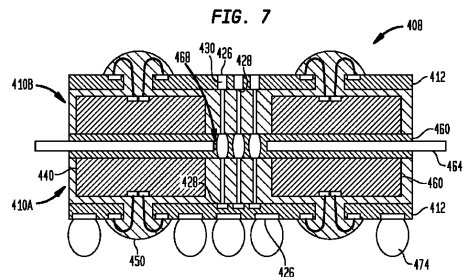
【 図 9 】



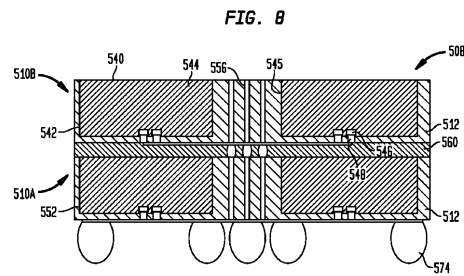
【 図 1 0 】



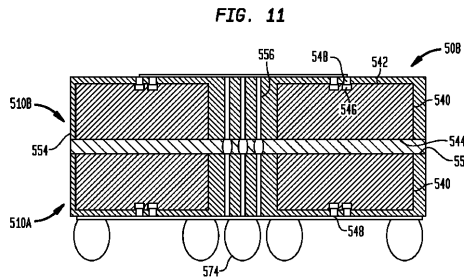
【圖 7】



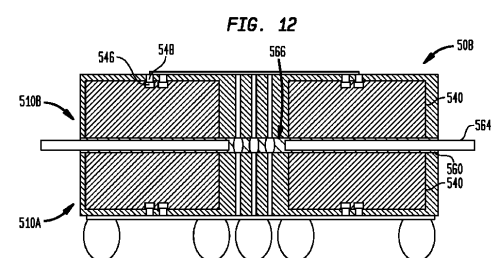
【 図 8 】



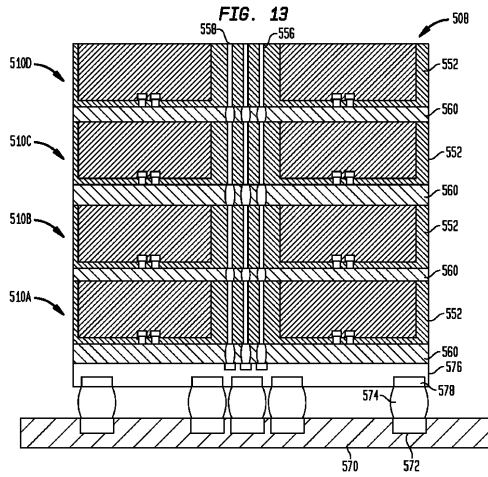
【 図 1 1 】



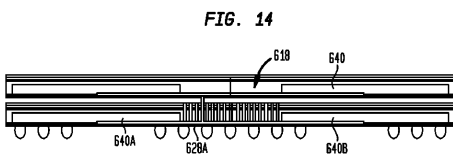
【 図 1 2 】



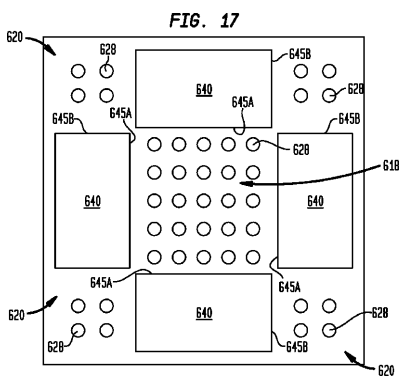
【 図 1 3 】



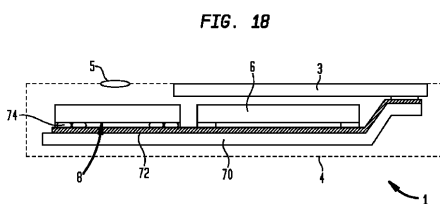
【 図 1 4 】



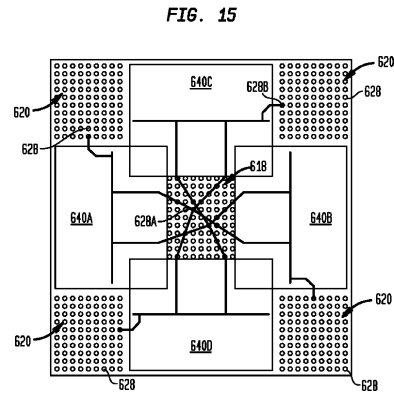
【 図 1 7 】



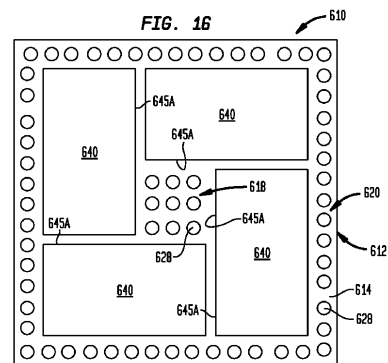
【 図 1 8 】



【 図 1 5 】



【 図 1 6 】



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2012/070477

## A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L25/10 H01L23/538 H01L25/065 H01L23/34  
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/155960 A1 (CHOW SENG GUAN [SG] ET AL) 18 June 2009 (2009-06-18) figure 2 -----	1-3, 28, 36, 37

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

## \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

2 April 2013

Date of mailing of the international search report

03/06/2013

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040,  
Fax: (+31-70) 340-3016

Authorized officer

Manook, Rhoda

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US2012/070477

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-3, 28, 36, 37

## Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/US2012/070477

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-3, 28, 36, 37

See invention groups 10,11 and 12 for the non-unity reasoning between independent claims 1,26,30 and 33. A further non-unity objection arises for the cls. within group I (cls. 1-25, 28-29 & 36-43 ):

The subject matter of independent product cl. 1 & corresponding independent method cl. 37 & independent product cl. 28 is not new compared to the teaching of document US2009/155960 (D1) & cannot therefore serve as a common concept for the directly dependent cls. 2,4,7,12,13,14,15,16,18,19,20,29,38,39,40 & 43.

See the written non-unity reasoning (section 1.5.1 in the written non-unity reasoning) for the lack of novelty of the subject matter of independent claims 1,28 and 37 in view of document D1.

As a consequence of the above, the following claimed separate sub-invention groups within group I have been identified in the sense of Rule 13(2) PCT:

Group Ia: cls. 1,2,3 (c.f. cl. 2), 28, 36 & 37

Re. cl. 2 the stf with respect to (wrt) the known cl. 1 is that the package terminals & the stack terminals overlies each other in respective electrically connected pairs. As all of the features of cl. 2 are known from D1 none of them can form a contribution over the known prior art. Although the stf of the dependent cl. 36 are not the same, they could be searched without any additional effort & thus they form the basis of the 1st searched invention.

---

2. claims: 4-6

Group Ib: cls. 4-6

Re. cl. 4 the stf wrt the known cl. 1 is additional ones of the stack terminals are at the 1st surface of the substrate in a portion thereof that is outside of the interconnect area.

The problem to be solved by cl. 4 is how to minimise re-routing.

---

3. claims: 7-11, 43

Group Ic: cls. 7-11 & 43 (c.f. cls. 7 & 43)

Re. cl. 7 the stf wrt the known cl. 1 is that the 1st microelectronic package further includes 3rd & 4th microelectronic elements spaced on opposite sides of the interconnect area between the 1st & 2nd microelectronic elements.

Re. cl. 43 the stf wrt the known cl. 37 is that the 1st microelectronic package further includes 3rd & 4th microelectronic elements spaced on opposite sides of the

International Application No. PCT/US2012/070477

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

interconnect area between the 1st & 2nd microelectronic elements, & wherein the step of connecting the terminals of the 2nd microelectronic package with the stack terminals of the 1st microelectronic package facilitates a connection between the 1st, 2nd, 3rd, & 4th microelectronic elements of the 1st package to the 2nd package.

The problem to be solved by cls. 7 & 43 is ensuring designing the 1st microelectronic package for higher density operation.

---

4. claims: 12, 38-42

Group Id: cl. 12, 38, 39 & 40-42 (c.f. cls. 12, 38,39,40)

Re. cl. 12 the stf wrt the known cl. 1 is that the 1st microelectronic package further includes a molded encapsulant layer overlying at least a portion of the 1st surface of the substrate, & wherein at least portions of the 1st conductive interconnects comprise 1st conductive vias extending through the molded encapsulant layer to exposed ends.

Re. cl. 38 the stf wrt the known cl. 37 is that the step of connecting the terminals of the 2nd microelectronic package with the stack terminals of the 1st microelectronic package includes joining the package terminals to exposed ends of interconnects on an encapsulant layer of the 1st microelectronic package overlying the 1st surface of the substrate at least in the interconnect area thereof, the interconnects being joined to the stack terminals opposite the exposed ends thereof.

Re. cl. 39 the stf wrt the known cl. 37 is that the step of connecting the terminals of the 2nd microelectronic package with the stack terminals of the 1st microelectronic package includes depositing conductive bond material masses into holes within an encapsulant layer of the 1st microelectronic package overlying the 1st surface of the substrate at least in the interconnect area, the stack terminals being exposed at a surface of the encapsulant layer within the holes, & wherein the conductive bond material masses are joined to the terminals of the 2nd package & the stack terminals of the 1st package.

Re. cl. 40 the stf wrt the known cl. 37 is that the step of connecting the terminals of the 2nd microelectronic package with the stack terminals of the 1st microelectronic package includes: forming a plurality of holes through at least an encapsulant of the 1st microelectronic package overlying the 1st surface of the substrate in at least the interconnect area thereof, the plurality of holes being aligned with respective ones of the stack terminals at 1st ends thereof & with corresponding ones of the terminals of the 2nd package at 2nd ends thereof; & filling the holes with a conductive material in contact with the stack terminals of the 1st microelectronic package & the package terminals of the 2nd package.

The problem to be solved by cls. 12, 38, 39 or 40 is

International Application No. PCT/US2012/070477

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

providing electrical paths through mold material.

---

5. claims: 13, 14

Group Ie: cls. 13 & 14

Re. cl. 13 the stf wrt the known cl. 1 is that contact-bearing faces of the 1st & 2nd microelectronic elements face the substrate, the substrate contacts including substrate contacts exposed at the 2nd surface, & wherein the element contacts are connected with the substrate contacts by wire bonds.

Re. cl. 14 the stf wrt the known cl. 1 is that substrate contacts are exposed at the 1st surface & wherein the element contacts of the 1st & 2nd 1st microelectronic elements face the substrate contacts exposed at the 1st surface & are joined thereto.

The problem to be solved by cls. 13 & 14 is selecting the connection between the microelectronic elements & the substrate such that electrical resistance is kept to a minimum.

---

6. claims: 15-17, 29

Group If: cls. 15,16-17 & 29

Re. cl. 15 the stf wrt the known cl. 1 is that the 2nd microelectronic package includes a 3rd microelectronic element mounted on a 2nd substrate, the terminals being on the 2nd substrate & electrically connected with the 3rd microelectronic element.

Re. cl. 16 the stf wrt the known cl. 1 is that the 2nd microelectronic package includes a substrate having 1st & 2nd spaced apart surfaces & 3rd & 4th microelectronic elements mounted on the 2nd surface thereof, the 3rd & 4th microelectronic elements being spaced apart on the substrate of the 2nd package to define an interconnect area therein, & the terminals being exposed at the 2nd surface of the substrate of the 2nd package within the interconnect area, the substrate of the 2nd package further including a window extending therethrough between the 1st & 2nd surfaces thereof, & wherein the terminals of the 2nd package are joined to the stack terminals of the 1st package by wire bonds that extend through the window.

Re. cl. 29 the stf wrt the known cl. 28 the 2nd microelectronic package further includes a 2nd dielectric layer having 1st & 2nd opposed surfaces & at least one microelectronic element mounted on the 1st surface of the dielectric layer.

The problem to be solved by cls. 15 & 16 & 29 is designing the 2nd microelectronic package for high density.

---

7. claim: 18

International Application No. PCT/US2012/070477

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

Group Ig: cl. 18

Re. cl. 18 the stf wrt the known cl. 1 is that it further includes a 3rd microelectronic package underlying the 1st microelectronic package & having terminals joined to the package terminals of the 1st microelectronic package. The problem to be solved by cl. 18 is designing the assembly for high density performance whilst ensuring the assembly footprint is kept small.

---

## 8. claim: 19

Group Ih: cl. 19

Re. cl. 19 the stf wrt the known cl. 1 is that it further includes a circuit panel with circuit contacts exposed at a surface thereof, wherein the package terminals of the 1st microelectronic package are electrically connected with the circuit contacts. The problem to be solved by cl. 19 is providing means for connecting a multitude of microelectronic assemblies.

---

## 9. claims: 20-25

Group Ii: cls. 20-25

Re. cl. 20 the stf wrt the known cl. 1 is that the 2nd microelectronic package terminals are at least one of package terminals or stack terminals. The problem to be solved by cl. 20 is providing electrical connection to other parts of the package or the outside world.

---

## 10. claims: 26, 27

The common concept between the subject-matter of independent product claims (cls.) 1 & 26 is already known in view of document US2009/155960 (D1) & cannot therefore serve as a common concept (Rule 13(1) PCT) between these cls. see section 1.1.1 of the written non-unity objection attached to this partial search report which discloses the common concept between the claims and its lack of novelty with respect to document D1 (fig. 2). The surplus technical features (stf) of cl. 1 are that there is a substrate having 1st & 2nd opposed surfaces & substrate contacts thereon; the element contacts of the microelectronic elements are electrically connected with the substrate contacts & the microelectronic elements are on the 1st surface, the plurality of package terminals are located at the 2nd surface of the substrate & electrically connected with the substrate contacts, the plurality of stack terminals are exposed at the 1st surface of the substrate. Thus the problem of cl. 1 to be solved can be construed as: defining a microelectronic package for enhanced mechanical stability.



International Application No. PCT/US2012/070477

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

The stf of cl. 26 are that the microelectronic elements have front faces & back faces & the element contacts are exposed at the front faces, there is a dielectric layer which has a surface overlying the front faces of the microelectronic elements & facing away from the front faces of the microelectronic elements, the dielectric layer further having a 2nd surface opposite the 1st surface, the plurality of package terminals are exposed at the 1st surface of the dielectric layer & electrically connected with the element contacts through traces extending along the dielectric layer & 1st metallized vias extending from the traces & contacts the element contacts, & the stack terminals are exposed at the 2nd surface of the dielectric layer & connect the package with a component overlying the 2nd surface of the dielectric layer,

Thus the problem of cl. 26 to be solved can be construed as: Use of a HDI-type connection to ensure the microelectronic elements have a shorter electrical connection to the outside.

Neither does cl. 1 refer to the dielectric layer & its traces & vias nor does cl. 26 refer to the details of the substrate. The problems solved by independent cls. 1 & 26 refer to different features which solve different problems.

---

**11. claims: 30-32**

The features common to cls. 1 & 30 (see section referring to claim 26) are known from document D1 (D1 also shows the substrate (fig. 2 (108) having 1st & 2nd opposed surfaces) & cannot therefore serve as a common inventive concept for these cls..

The stf of cl. 1 are that the plurality of stack terminals for connecting the package with a component overlying the 1st surface of the substrate.

Thus the objective problem of cl. 1 to be solved can be construed as defining a microelectronic package for higher densities whilst maintaining the same package footprint.

The stf of cl. 30 are that there are four microelectronic elements arranged so as to define the interconnect area of the 1st surface surrounded by the microelectronic components, the plurality of stack terminals are electrically connected with the package terminals.

Thus the objective problem of cl. 30 to be solved can be construed as: defining a microelectronic package for higher densities whilst minimising the thickness of the package.

The problems solved by independent cls. 1 & 30 refer to different features which solve different problems.

---

**12. claims: 33-35**

The features common to cls. 1 & 33 (see section referring to claim 26) are known from document D1 (D1 also shows the substrate (fig. 2 (108) having 1st & 2nd opposed surfaces &

International Application No. PCT/US2012/070477

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

that there are a plurality of contact pads having surfaces exposed at the 2nd surface of the substrate, the surfaces of the contact pads defining package terminals electrically interconnected with the substrate contacts for connecting the package with a component external to the package) & cannot therefore serve as a common inventive concept for these cls..

The stf of cl. 1 are that the plurality of stack terminals are exposed at the 1st surface in the interconnect area (for connecting the package with a component overlying the 1st surface of the substrate).

Thus the objective problem of cl. 1 to be solved can be construed as defining a microelectronic package for higher densities whilst maintaining the same package footprint.

The stf of cl. 33 are that a molded encapsulant layer overlying at least a portion of the 1st surface of the substrate & defining an encapsulant surface, the 2nd microelectronic package bonding to the encapsulant surface & having terminals facing the encapsulant surface a plurality of conductive vias extending at least through the molded encapsulant layer & connecting the contact pads of the 1st microeletronic package & the terminals of the 2nd microelectronic package.

Thus the objective problem of cl. 33 to be solved can be construed as protecting the microelectronic elements against environmental damage.

Neither does cl. 1 refer to the detail of the encapsulant layer & conductive vias nor does cl. 33 refers to the existence of stack terminals. The problems solved by independent cls. 1 & 33 refer to different features which solve different problems.

---

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2012/070477

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009155960 A1	18-06-2009	KR 20090063090 A	17-06-2009
		TW 200933762 A	01-08-2009
		TW 201214587 A	01-04-2012
		US 2009155960 A1	18-06-2009
		US 2010270680 A1	28-10-2010
-----			

## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

**H 0 1 L 23/40 (2006.01)**

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC

(74)代理人 100142996

弁理士 森本 聡二

(74)代理人 100154298

弁理士 角田 恭子

(74)代理人 100166268

弁理士 田中 祐

(74)代理人 100170379

弁理士 徳本 浩一

(74)代理人 100161001

弁理士 渡辺 篤司

(74)代理人 100179154

弁理士 児玉 真衣

(74)代理人 100180231

弁理士 水島 亜希子

(74)代理人 100184424

弁理士 増屋 徹

(72)発明者 ハーバ,ベルガセム

アメリカ合衆国カリフォルニア州 9 5 0 7 0 , サラトガ, ミラー・コート 1 9 4 8 7

(72)発明者 パン,ギョン モ

アメリカ合衆国カリフォルニア州 9 5 1 3 4 , サン・ノゼ, オーチャード・パークウェイ 3 0 2  
5

F ターム(参考) 5F044 AA05 CC05 EE20

5F136 BA30 BB18 BC05 DA44 EA23

【要約の続き】

【選択図】図 1