

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-514601

(P2024-514601A)

(43)公表日 令和6年4月2日(2024.4.2)

(51)国際特許分類	F I
H 0 1 L 25/00 (2006.01)	H 0 1 L 25/00 B
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12 5 0 1 B
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/08 C

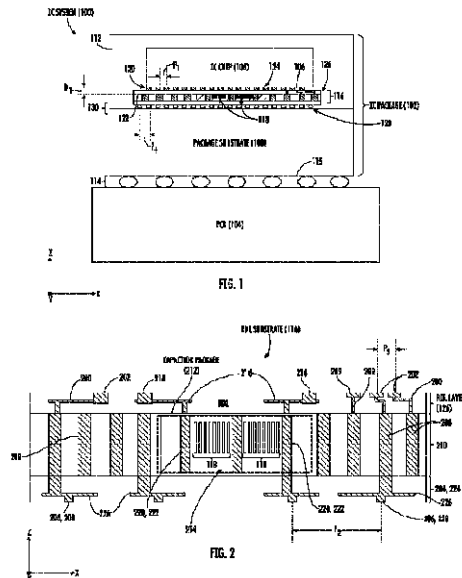
審査請求 未請求 予備審査請求 未請求 (全45頁)

(21)出願番号	特願2023-562736(P2023-562736)	(71)出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(86)(22)出願日	令和4年4月8日(2022.4.8)	(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
(85)翻訳文提出日	令和5年10月12日(2023.10.12)	(72)発明者	チェ、ジョン アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
(86)国際出願番号	PCT/US2022/071621	(72)発明者	ナッラパティ、ジリダール アメリカ合衆国、カリフォルニア州 9
(87)国際公開番号	WO2022/226465		
(87)国際公開日	令和4年10月27日(2022.10.27)		
(31)優先権主張番号	17/237,828		
(32)優先日	令和3年4月22日(2021.4.22)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, .RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		最終頁に続く

(54)【発明の名称】 集積回路(IC)チップをパッケージ基板にインターフェースするためのキャパシタ埋込み、再配線層(RDL)基板を採用する ICパッケージ、および関係する方法

(57)【要約】

キャパシタ埋込み、再配線層(RDL)基板を採用する集積回路(IC)パッケージ、および関係する作製方法。埋込みキャパシタは、電流抵抗(IR)ドロップを低減するために、減結合キャパシタンスを与えるために、配電網(PDN)に結合され得る。RDL基板は、PDNにおける寄生インダクタンスを低減し、したがって、PDN雑音を低減するために、(1つまたは複数の)埋込みキャパシタと(1つまたは複数の) ICチップとの間の距離を最小限に抑えるように、(1つまたは複数の) ICチップとパッケージ基板との間に配設される。パッケージ基板と(1つまたは複数の) ICチップとの間に配設されたRDL基板では、RDL基板は、パッケージ基板と(1つまたは複数の) ICチップとの間のスルー相互接続をサポートする必要がある。この点について、RDL基板は、小ピッチ金属相互接続をサポートし、ならびにファンアウト能力を与えるために、(1つまたは複数の) ICチップに隣接する外側RDL層を含む。これは、PDNにおいて、より近接して位置する埋込みキャパシタをもサポートしながら、より高い密度のダ



【特許請求の範囲】

【請求項 1】

集積回路（IC）パッケージであって、
複数のパッケージ基板相互接続を備えるパッケージ基板と、
複数のダイ相互接続を備える IC チップと、
前記パッケージ基板と前記 IC チップとの間に配設された再配線層（RDL）基板と、
前記 RDL 基板が、

前記複数のダイ相互接続の中のダイ相互接続に結合された RDL 相互接続を各々備える複数の再配線金属線を備える RDL 層と、

複数の基板相互接続を備える基板層と、

前記 RDL 層と前記基板層との間に配設されたキャパシタとを備える、

前記複数のダイ相互接続の中のダイ相互接続と前記キャパシタとに電気的に結合された少なくとも 1 つの垂直相互接続アクセス（ビア）とを備える、集積回路（IC）パッケージ。

【請求項 2】

前記基板層が、第 2 の RDL 相互接続を各々備える複数の第 2 の再配線金属線を備える第 2 の RDL 層を備える、請求項 1 に記載の IC パッケージ。

【請求項 3】

前記複数のダイ相互接続の中のダイ相互接続と、前記基板層中の前記複数の基板相互接続の中の少なくとも 1 つの基板相互接続とに結合された少なくとも 1 つの第 2 のビアをさらに備える、請求項 2 に記載の IC パッケージ。

【請求項 4】

前記キャパシタと前記 RDL 層との間に配設されたパッシベーション層をさらに備える、請求項 1 に記載の IC パッケージ。

【請求項 5】

前記少なくとも 1 つのビアが、前記 RDL 基板を通して配設され、前記ダイ相互接続に結合された前記複数の再配線金属線の中の再配線金属線に電気的に結合された、少なくとも 1 つのスルーシリコンビア（TSV）を備える、請求項 1 に記載の IC パッケージ。

【請求項 6】

前記少なくとも 1 つの TSV の高さ対幅のアスペクト比が、少なくとも 2.0 である、請求項 5 に記載の IC パッケージ。

【請求項 7】

前記 RDL 基板を通して配設され、前記 RDL 層中の複数の RDL 相互接続の中の RDL 相互接続と、前記基板層中の前記複数の基板相互接続の中の基板相互接続とに電気的に結合された、複数の第 2 のビアをさらに備える、請求項 1 に記載の IC パッケージ。

【請求項 8】

前記複数の第 2 のビアの高さ対幅のアスペクト比が、少なくとも 1.0 である、請求項 7 に記載の IC パッケージ。

【請求項 9】

前記 RDL 層と前記基板層との間に配設された誘電体材料を備える誘電体層と、前記誘電体層に埋め込まれたキャパシタパッケージと、前記キャパシタパッケージが前記キャパシタを備える、

をさらに備える、請求項 1 に記載の IC パッケージ。

【請求項 10】

前記少なくとも 1 つのビアが、前記キャパシタパッケージを通して配設され、前記ダイ相互接続に結合された前記複数の再配線金属線の中の再配線金属線に電気的に結合された、少なくとも 1 つのスルーシリコンビア（TSV）を備える、請求項 9 に記載の IC パッケージ。

【請求項 11】

前記 RDL 基板を通して配設され、前記 RDL 層中の複数の RDL 相互接続の中の RDL

10

20

30

40

50

L 相互接続と、前記基板層中の前記複数の基板相互接続の中の基板相互接続とに電氣的に結合された、複数の第 2 のピアをさらに備え、

ここにおいて、前記複数の第 2 のピアが、前記 R D L 基板の前記誘電体層を通して前記キャパシタパッケージの外に配設される、
請求項 9 に記載の I C パッケージ。

【請求項 1 2】

前記複数の再配線金属線の中の少なくとも 1 つの再配線金属線が、そのそれぞれの R D L 相互接続の垂直経路外にファンアウトされる、請求項 1 に記載の I C パッケージ。

【請求項 1 3】

前記複数のダイ相互接続が、第 1 のピッチを有し、

前記基板層中の前記複数の基板相互接続が、前記第 1 のピッチよりも大きい第 2 のピッチを有し、

前記複数のパッケージ基板相互接続が、前記第 2 のピッチを有する、
請求項 1 に記載の I C パッケージ。

【請求項 1 4】

前記 R D L 基板を通して配設され、前記 R D L 層中の複数の R D L 相互接続の中の R D L 相互接続と、前記複数のパッケージ基板相互接続の中のパッケージ基板相互接続に結合された前記基板層中の前記複数の基板相互接続の中の基板相互接続とに電氣的に結合された、複数の第 2 のピアをさらに備える、請求項 1 3 に記載の I C パッケージ。

【請求項 1 5】

前記パッケージ基板が第 1 の外側表面をさらに備え、前記複数のパッケージ基板相互接続が前記第 1 の外側表面を通して配設され、

前記 I C チップが活性表面をさらに備え、前記複数のダイ相互接続が前記活性表面を通して配設され、

前記第 1 の外側表面と前記活性表面との間の距離が、少なくとも 2 マイクロメートル (μm) である、

請求項 1 に記載の I C パッケージ。

【請求項 1 6】

セットトップボックスと、エンターテインメントユニットと、ナビゲーションデバイスと、通信デバイスと、固定ロケーションデータユニットと、モバイルロケーションデータユニットと、全地球測位システム (G P S) デバイスと、スマートフォンと、セルラーフォンと、スマートフォンと、セッション開始プロトコル (S I P) フォンと、タブレットと、ファブレットと、サーバと、コンピュータと、ポータブルコンピュータと、モバイルコンピューティングデバイスと、ウェアラブルコンピューティングデバイスと、デスクトップコンピュータと、携帯情報端末 (P D A) と、モニタと、コンピュータモニタと、テレビジョンと、チューナーと、無線機と、衛星無線機と、音楽プレーヤと、デジタル音楽プレーヤと、ポータブル音楽プレーヤと、デジタルビデオプレーヤと、ビデオプレーヤと、デジタルビデオディスク (D V D) プレーヤと、ポータブルデジタルビデオプレーヤと、自動車と、ビークル構成要素と、アビオニクスシステムと、ドローンと、マルチコプターとからなるグループから選択されたデバイスに組み込まれる、請求項 1 に記載の I C パッケージ。

【請求項 1 7】

I C パッケージを作製する方法であって、

複数のパッケージ基板相互接続を備えるパッケージ基板を形成することと、

前記パッケージ基板上に再配線層 (R D L) 基板を形成することと、前記形成することが、

R D L 相互接続を各々備える複数の再配線金属線を備える R D L 層を形成することと

、
複数の基板相互接続を備える基板層を形成することと、

前記 R D L 層と前記基板層との間にキャパシタを配設することとを備える、

10

20

30

40

50

前記キャパシタに電氣的に結合され、ICチップの複数のダイ相互接続の中の少なくとも1つのダイ相互接続に電氣的に結合されるように構成された、少なくとも1つの垂直相互接続アクセス(ビア)を形成することと、

ICチップの複数のダイ相互接続の中の少なくとも1つのダイ相互接続を、前記複数の再配線金属線の中の少なくとも1つのRDL相互接続に結合することとを備える、方法。

【請求項18】

前記基板層を形成することが、第2のRDL相互接続を各々備える複数の第2の再配線金属線を備える第2のRDL層を形成することを備え、

前記複数のパッケージ基板相互接続の中の少なくとも1つのパッケージ基板相互接続を複数の第2のRDL相互接続の中の少なくとも1つの第2のRDL相互接続に結合すること

をさらに備え、

前記RDL層と前記基板層との間に前記キャパシタを配設することが、前記RDL層と前記第2のRDL層との間に前記キャパシタを配設することを備える、

請求項17に記載の方法。

【請求項19】

前記複数のダイ相互接続の中の少なくとも1つのダイ相互接続と、前記複数の基板相互接続の中の少なくとも1つの基板相互接続とに電氣的に結合された少なくとも1つの第2のビアを形成することをさらに備える、請求項17に記載の方法。

【請求項20】

前記少なくとも1つの第2のビアを形成することが、前記キャパシタの垂直経路外に前記少なくとも1つの第2のビアを形成することをさらに備える、請求項19に記載の方法。

【請求項21】

前記基板層を形成することが、第2のRDL相互接続を各々備える複数の第2の再配線金属線を備える第2のRDL層を、前記複数の第2の再配線金属線の中の前記第2のRDL相互接続を前記第2のRDL相互接続の中の少なくとも1つの第2のRDL相互接続に電氣的に結合するために、前記パッケージ基板上に形成することを備える、請求項17に記載の方法。

【請求項22】

前記第2のRDL層に隣接する前記キャパシタの第2の側の反対側の前記キャパシタの第1の側の上方にパッシベーション層を形成することをさらに備える、請求項21に記載の方法。

【請求項23】

前記少なくとも1つのビアと、前記少なくとも1つの第2のビアと、前記キャパシタとの上に、誘電体材料を備える誘電体層を形成することをさらに備える、請求項19に記載の方法。

【請求項24】

前記少なくとも1つのビアの各々の上部表面を前記誘電体層から露出するために、前記誘電体層の表面を研削することをさらに備える、請求項23に記載の方法。

【請求項25】

前記少なくとも1つのビアを前記複数の再配線金属線の中の少なくとも1つのRDL相互接続に電氣的に結合するために、前記第2のRDL層の反対側の前記誘電体層の第1の側で前記誘電体層の上方に前記RDL層を形成することをさらに備える、請求項24に記載の方法。

【請求項26】

キャリアを与えることと、

前記キャリア上に複数の第2のビアを形成することとをさらに備える、請求項17に記載の方法。

10

20

30

40

50

【請求項 27】

再配線層（RDL）基板であって、
RDL相互接続を各々備える複数の再配線金属線を備えるRDL層と、
複数の基板相互接続を備える基板層と、
前記RDL層と前記基板層との間に配設された誘電体材料を備える誘電体層と、
前記誘電体層に埋め込まれたキャパシタパッケージと、前記キャパシタパッケージがキャパシタを備える、
前記キャパシタパッケージを通して配設され、複数のRDL相互接続の中のRDL相互接続に電気的に結合された、複数のスルーシリコン垂直相互接続アクセス（ビア）（TSV）と
を備える、再配線層（RDL）基板。

10

【請求項 28】

前記キャパシタパッケージが、前記キャパシタに結合された少なくとも1つの金属線を備える金属層をさらに備え、
前記複数のTSVの中の少なくとも1つのTSVが、前記キャパシタに結合された前記少なくとも1つの金属線に結合される、
請求項27に記載のRDL基板。

【請求項 29】

前記複数のTSVの中の少なくとも1つのTSVが、前記基板層中の前記複数の基板相互接続の中の少なくとも1つの基板相互接続に結合される、請求項27に記載のRDL基板。

20

【請求項 30】

前記基板層が、第2のRDL相互接続を各々備える複数の第2の再配線金属線を備える第2のRDL層を備える、請求項27に記載のRDL基板。

【請求項 31】

前記RDL層が外側表面を備え、前記複数の再配線金属線の前記RDL相互接続が前記外側表面を通して配設される、請求項27に記載のRDL基板。

【請求項 32】

前記キャパシタパッケージと前記RDL層との間に配設されたパッシベーション層をさらに備える、請求項27に記載のRDL基板。

30

【請求項 33】

前記複数のTSVが、前記パッシベーション層を通過して延びる、請求項32に記載のRDL基板。

【請求項 34】

前記複数のTSVの高さ対幅のアスペクト比が、少なくとも2マイクロメートル（ μm ）である、請求項27に記載のRDL基板。

【請求項 35】

前記誘電体層を通して配設され、複数のRDL相互接続の中のRDL相互接続と、前記複数の基板相互接続の中の基板相互接続とに電気的に結合された、複数のビアをさらに備える、請求項27に記載のRDL基板。

40

【請求項 36】

前記RDL基板の前記誘電体層を通して配設され、前記RDL層における複数のRDL相互接続の中のRDL相互接続と、前記基板層における前記複数の基板相互接続の中の基板相互接続とに電気的に結合された、複数の第2のビアをさらに備える、請求項27に記載のRDL基板。

【請求項 37】

前記複数の第2のビアの高さ対幅のアスペクト比が、少なくとも1.0である、請求項36に記載のRDL基板。

【請求項 38】

前記複数の第2のビアが、前記RDL基板の前記誘電体層を通して前記キャパシタパッ

50

ケージの外に配設される、請求項 36 に記載の RDL 基板。

【請求項 39】

前記キャパシタパッケージが、前記誘電体材料を備える前記誘電体層を備え、ここにおいて、前記キャパシタが、前記誘電体層に埋め込まれる、請求項 27 に記載の RDL 基板。

【発明の詳細な説明】

【技術分野】

【0001】

優先権出願

【0001】 本出願は、その全体が参照により本明細書に組み込まれる、2021年4月22日に
10
出願された、「INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING A CAPACITOR-EMBEDDED, REDISTRIBUTION LAYER (RDL) SUBSTRATE FOR INTERFACING AN IC CHIP(S) TO A PACKAGE SUBSTRATE, AND RELATED METHODS」と題する米国特許出願第17/237,828号の優先権を主張する。

【0002】

【0002】 本開示の分野は、集積回路 (IC: integrated circuit) パッケージ (package) に関し、より詳細には、電流抵抗 (IR: current-resistance) ドロップ (drop) および電圧ドループ (voltage droop) を低減するために、ICパッケージの配電網 (PDN: power distribution network) において減結合キャパシタンス (decoupling capacitance) を与える (provide) ことに関する。
20

【背景技術】

【0003】

【0003】 集積回路 (IC) は、電子デバイスの基礎である。ICは、一般に、「半導体パッケージ」または「チップパッケージ」とも呼ばれる、ICパッケージ中でパッケージングされる。ICパッケージは、パッケージ基板 (package substrate) および1つまたは複数のICチップ (chip)、または電氣的接続性をICチップに与えるためにパッケージ基板に取り付けられた他の電子モジュールを含む。たとえば、ICパッケージ中のICチップは、システムオンチップ (SOC) であり得る。ICチップは、パッケージ基板における金属線 (metal line) への電氣的結合を通して、ICパッケージ中の他のICチップにおよび/または他の構成要素に電氣的に結合される。ICチップはまた、ICパッケージの外部金属相互接続 (たとえば、はんだバンプ) の電氣的接続を通して、ICパッケージの外の他の回路に電氣的に結合され得る。
30

【0004】

【0004】 ICパッケージ中の高性能コンピュータチップは、有効な配電網 (PDN) が、ICチップ中の回路および他の構成要素に電力を効率的に分配することを必要とする。たとえば、ICパッケージは、ICパッケージ中の他のICチップに電圧を分配するように構成された電圧調節器回路を含む、別個の電力管理チップ (PMC) を含み得る。PDNにおける直列抵抗およびインダクタンスによる、PMCと電力供給されるICチップとの間の電流抵抗 (IR) ドロップにより、PDNにおいて雑音が発生することがある。電力供給されるICチップからPDNへの電流ドロウの変化が、PDNにおける雑音を誘起することがある。PDNにおける雑音の大きさが、あるしきい値を超える場合、それは、ICチップおよびその回路に送出される電圧を許容できる値よりも下に変え、これは、回路の誤動作を生じることがある。PDNが許容差内で電圧をICチップに供給する場合でも、PDN雑音は、依然として、他の問題を生じることがある。それは、信号線上のクロストーク (crosstalk) を生じるか、または信号線上のクロストークとして現れ得る。さらに、PDN相互接続は、一般に、高い電流を搬送するので、高周波PDN雑音 (high-frequency PDN noise) が電磁放射干渉をもたらす可能性を有し、場合によっては、他の障害を生じる。
40

【0005】

【0005】 したがって、PDNにおける雑音を制御することが、重要である。この点に
50

ついて、P D NにおけるP D N雑音をそらして、P D Nによって電力供給されるI Cチップへのその影響を低減するために、減結合キャパシタ (decoupling capacitor) が採用される。減結合キャパシタは、電源とI Cチップとの間の減結合キャパシタンスを与えるために、パッケージ基板上に取り付けられるか、またはI Cパッケージのパッケージ基板内に組み込まれ得る。しかしながら、減結合キャパシタとI Cチップとの間の電氣的経路接続 (electrical path connection) は、望ましくない様式でI RドロップおよびP D N雑音に寄与することがある寄生インダクタンス (parasitic inductance) を有する。

【発明の概要】

【0006】

【0006】 本明細書で開示される態様は、(1つまたは複数の)集積回路(I C)チップをパッケージ基板にインターフェースするための、埋込みキャパシタ (embedded-capacitor)、再配線層(R D L : redistribution layer)基板を採用するI Cパッケージを含む。R D L基板は、金属相互接続のファンアウトをサポートする1つまたは複数の金属再配線を含むR D L層(RDL layer)を含む基板である。(1つまたは複数の)埋込みキャパシタは、一例として、電流抵抗(I R)ドロップを低減するために、減結合キャパシタンスをI Cパッケージ中の配電網(P D N)に与えることができる。関係する作製方法も開示される。I Cパッケージは、パッケージ基板と、パッケージ基板に電氣的に結合された1つまたは複数のI Cチップとを含む。パッケージ基板は、(1つまたは複数の)I Cチップへのおよびそれからの電氣信号ルーティングを与えるために、金属トレースまたは線が埋め込まれている、1つまたは複数の基板層(substrate layer)を含む。パッケージ基板は、動作のために(1つまたは複数の)I Cチップへの分配のために、所与の電圧における電力信号を搬送するP D Nをサポートする。例示的な態様では、埋込みキャパシタをサポートするR D L基板は、(1つまたは複数の)埋込みキャパシタと(1つまたは複数の)I Cチップとの間の距離(distance)を最小限に抑えるように、(1つまたは複数の)I Cチップとパッケージ基板との間に配設(dispose)される。これは、P D NにおけるI Rドロップを低減するために、(1つまたは複数の)埋込みキャパシタと(1つまたは複数の)I Cチップとの間の配電線における寄生インダクタンスを低減することができ、これは、P D N雑音を低減する。しかしながら、パッケージ基板と(1つまたは複数の)I Cチップとの間に配設された(disposed)R D L基板では、R D L基板は、パッケージ基板と(1つまたは複数の)I Cチップとの間の電氣的インターフェースのためのスルー相互接続(through-interconnection)をサポートする必要がある。(1つまたは複数の)I Cチップは、パッケージ基板に電氣的に結合される必要があるダイ相互接続(die interconnect)の高い密度を有し得る。この点について、R D L基板は、(1つまたは複数の)I Cチップに隣接する第1の外側R D L層を含むように与えられる。第1の外側R D L層は、R D Lプロセスから形成され、第1の外側R D L層が、小ピッチ金属相互接続(small pitch metal interconnect)をサポートし、ならびにファンアウト能力(fan-out capability)を与えることを可能にする。これは、R D L基板が、I Rドロップを最小限に抑えるように、I Cチップに近接して位置する埋込みキャパシタをサポートすると同時に、より高い密度のダイ相互接続I Cチップとの拡張された接続性適合性(connectivity compatibility)を提供することを可能にする。

【0007】

【0007】 例示的な態様では、R D L基板は、パッケージ基板に隣接する第2の外側R D L層をも含むことができる。第2の外側R D L層の金属相互接続は、I Cパッケージ中で適合パッケージ基板を与える際のより大きいフレキシビリティのために、第1の外側R D L層の金属相互接続とは異なるピッチで形成され得る。たとえば、I Cチップのダイ相互接続ピッチは、パッケージ基板の金属相互接続ピッチよりもはるかに密に(すなわち、小さく)なり得る。この点について、R D L層は、パッケージ作製プロセスにおける拡張された適合性および容易さのために、異なるピッチの金属相互接続を有するI Cチップと

10

20

30

40

50

パッケージ基板との間の電氣的結合を可能にすることができる。これはまた、例として、低減されたコストおよび/または製造可能性における容易さのために、(1つまたは複数の) ICチップとパッケージ基板との間のピッチ適合性を達成するために、ICパッケージ中で採用されるパッケージ基板の選定において、より大きいフレキシビリティを与えることができる。

【0008】

【0008】 別の例示的な態様では、埋込みキャパシタは、RDL基板に埋め込まれたキャパシタパッケージ中に含まれ得る。別の例示的な態様では、埋込みキャパシタの垂直経路(vertical path)における(1つまたは複数の) ICチップとパッケージ基板との間の垂直相互接続経路妨害を最小限に抑えるために、スルーシリカ垂直相互接続アクセス(ビア)(TSV)(through-silica-vertical interconnect access (via) (TSV))が採用され得る。TSVは、(1つまたは複数の) ICチップとパッケージ基板との間の、および/または(1つまたは複数の)埋込みキャパシタへの電氣的スルー接続を与えるために、埋込みキャパシタパッケージのパッケージング誘電体を通して配設される。このようにして、RDL基板は、埋込みキャパシタパッケージのエリア外のみ(1つまたは複数の) ICチップとパッケージ基板との間の垂直相互接続をサポートすることに限定されない。別の例示的な態様では、ICパッケージは、RDL基板を通して埋込みキャパシタパッケージの外に延びる、スルーモールドビア(TMV: through-mold-via)などのスルー相互接続をも含む。これらの他のスルー相互接続は、(1つまたは複数の) ICチップとパッケージ基板との間のパススルー電氣的接続(たとえば、入出力(I/O)接続)を与える。RDL基板はまた、パッケージ基板と(1つまたは複数の) ICチップとの間に配設されたRDL基板によるパッケージ基板と(1つまたは複数の) ICチップとの間の距離の増加により必要とされ得る、より大きい直径および/または高いアスペクト比のスルー相互接続をより容易に可能にすることができる。

【0009】

【0009】 この点について、例示的な一態様では、集積回路(IC)パッケージが提供される。ICパッケージは、複数のパッケージ基板相互接続(package substrate interconnect)を備えるパッケージ基板を備える。ICパッケージは、複数のダイ相互接続を備えるICチップをも備える。ICパッケージは、パッケージ基板とICチップとの間に配設されたRDL基板をも備える。RDL基板は、複数のダイ相互接続の中のダイ相互接続に結合されたRDL相互接続(interconnect)を各々備える複数の再配線金属線(redistribution metal line)を備えるRDL層を備える。RDL基板は、複数の基板相互接続を備える基板層をも備える。RDL基板は、RDL層と基板層との間に配設されたキャパシタをも備える。ICパッケージは、複数のダイ相互接続の中のダイ相互接続とキャパシタとに電氣的に結合された少なくとも1つのビア(via)をも備える。

【0010】

【0010】 別の例示的な態様では、ICパッケージを作製する方法が提供される。本方法は、複数のパッケージ基板相互接続を備えるパッケージ基板を形成することを備える。本方法は、パッケージ基板上にRDL基板を形成すること、形成することが、RDL相互接続を各々備える複数の再配線金属線を備えるRDL層を形成することと、複数の基板相互接続を備える基板層を形成することと、RDL層と基板層との間にキャパシタを配設することとを備える、をも備える。本方法は、キャパシタに電氣的に結合され、ICチップの複数のダイ相互接続の中の少なくとも1つのダイ相互接続に電氣的に結合されるように構成された、少なくとも1つのビアを形成することをも備える。本方法は、ICチップの複数のダイ相互接続の中の少なくとも1つのダイ相互接続を、複数の再配線金属線の中の少なくとも1つのRDL相互接続に結合することをも備える。

【0011】

【0011】 別の例示的な態様では、RDL基板が提供される。RDL基板は、RDL相互接続を各々備える複数の再配線金属線を備えるRDL層を備える。RDL基板は、複数の基板相互接続を備える基板層をも備える。RDL基板は、RDL層と基板層との間に配

10

20

30

40

50

設された誘電体材料 (dielectric material) を備える誘電体層 (dielectric layer) をも備える。RDL基板は、誘電体層に埋め込まれたキャパシタパッケージ、キャパシタパッケージがキャパシタを備える、をも備える。RDL基板は、キャパシタパッケージを通して配設され、複数のRDL相互接続の中のRDL相互接続に電氣的に結合された、複数のTSVをも備える。

【図面の簡単な説明】

【0012】

【図1】[0012] プリント回路板 (PCB) に取り付けられた集積回路 (IC) パッケージを含む例示的なICシステム、ここにおいて、ICパッケージは、ICパッケージ中の配電網 (PDN) に減結合キャパシタンスを与えることができる、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み (capacitor-embedded)、再配線層 (RDL) 基板を含む、の側面図。

10

【図2】[0013] 図1中のICパッケージ中で採用され得る例示的なRDL基板、ここにおいて、RDL基板は、キャパシタを含む埋込みキャパシタパッケージを含む、の側面図。

【図3】[0014] 図2中の別の例示的なキャパシタ埋込み、RDL基板の別の側面図。

【0013】

[0015]

【図4】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する例示的なプロセスを示すフローチャート。

20

【図5A】[0016] 限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

【図5B】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

30

【図5C】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

【図5D】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

40

【図5E】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

【図5F】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる

50

前に形成される、を示す図。

【図 5 G】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層はキャパシタパッケージが RDL 基板に埋め込まれる前に形成される、を示す図。

【図 6 A】[0017] 図 5 A ~ 図 5 B 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 6 B】図 5 C ~ 図 5 D 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 6 C】図 5 E ~ 図 5 F 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 6 D】図 5 G 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 7 A】[0018] 限定はしないが、図 1 ~ 図 3 および図 5 G 中の IC パッケージと RDL 基板とを含む、IC パッケージの RDL 基板に埋め込まれ得る埋込みキャパシタパッケージを作製する例示的なプロセスの例示的な作製段階を示す図。

【図 7 B】限定はしないが、図 1 ~ 図 3 および図 5 G 中の IC パッケージと RDL 基板とを含む、IC パッケージの RDL 基板に埋め込まれ得る埋込みキャパシタパッケージを作製する例示的なプロセスの例示的な作製段階を示す図。

【図 7 C】限定はしないが、図 1 ~ 図 3 および図 5 G 中の IC パッケージと RDL 基板とを含む、IC パッケージの RDL 基板に埋め込まれ得る埋込みキャパシタパッケージを作製する例示的なプロセスの例示的な作製段階を示す図。

【図 8】[0019] 図 7 A ~ 図 7 C 中の例示的な作製段階による、埋込みキャパシタパッケージを作製する例示的なプロセスを示すフローチャート。

【図 9 A】[0020] 限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL 基板の RDL 層はキャパシタパッケージが RDL 基板に埋め込まれる前に形成される、を示す図。

【図 9 B】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL 基板の RDL 層はキャパシタパッケージが RDL 基板に埋め込まれる前に形成される、を示す図。

【図 9 C】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL 基板の RDL 層はキャパシタパッケージが RDL 基板に埋め込まれる前に形成される、を示す図。

【図 9 D】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL 基板の RDL 層はキャパシタパッケージが RDL 基板に埋め込まれる前に形成される、を示す図。

【図 9 E】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1

10

20

30

40

50

つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

【図9F】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

【図9G】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

【図9H】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの別の例示的な作製段階、ここにおいて、RDL基板のRDL層はキャパシタパッケージがRDL基板に埋め込まれる前に形成される、を示す図。

【図10A】[0021] 図9A～図9C中の例示的な作製段階による、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する例示的なプロセスを示すフローチャート。

【図10B】図9D～図9E中の例示的な作製段階による、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する例示的なプロセスを示すフローチャート。

【図10C】図9F～図9G中の例示的な作製段階による、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する例示的なプロセスを示すフローチャート。

【図10D】図9H中の例示的な作製段階による、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する例示的なプロセスを示すフローチャート。

【図11A】[0022] 限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層は埋込みキャパシタパッケージがRDL基板に埋め込まれた後に形成される、を示す図。

【図11B】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層は埋込みキャパシタパッケージがRDL基板に埋め込まれた後に形成される、を示す図。

【図11C】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層は埋込みキャパシタパッケージがRDL基板に埋め込まれた後に形成される、を示す図。

【図11D】限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の) ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL基板のRDL層は埋込みキャパシタパッケージがRDL基板に埋め

10

20

30

40

50

込まれた後に形成される、を示す図。

【図 1 1 E】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

【図 1 1 F】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

10

【図 1 1 G】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

【図 1 1 H】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

20

【図 1 1 I】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

【図 1 1 J】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

30

【図 1 1 K】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

【図 1 1 L】限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する別の例示的なプロセスの例示的な作製段階、ここにおいて、RDL 基板の RDL 層は埋込みキャパシタパッケージが RDL 基板に埋め込まれた後に形成される、を示す図。

40

【図 1 2 A】[0023] 図 1 1 A ~ 図 1 1 C 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 1 2 B】図 1 1 D ~ 図 1 1 E 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 1 2 C】図 1 1 F ~ 図 1 1 G 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

50

【図 1 2 D】図 1 1 H ~ 図 1 1 I 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 1 2 E】図 1 1 J ~ 図 1 1 K 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 1 2 F】図 1 1 L 中の例示的な作製段階による、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセスを示すフローチャート。

【図 1 3】[0024] 限定はしないが、図 1 ~ 図 3、図 5 G、図 9 H、および図 1 1 L 中の IC パッケージを含む、(1 つまたは複数の) IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む 1 つまたは複数の IC パッケージから形成された電氣的構成要素を含む例示的なワイヤレス通信デバイスのブロック図。

【発明を実施するための形態】

【0014】

[0025] 次に図面を参照しながら、本開示のいくつかの例示的な態様が説明される。

「例示的」という単語は、本明細書では「例、事例、または例示の働きをすること」を意味するために使用される。「例示的」として本明細書で説明されるいかなる態様も、必ずしも他の態様よりも好適または有利であると解釈されるべきであるとは限らない。

【0015】

[0026] 本明細書で開示される態様は、(1 つまたは複数の) 集積回路 (IC) チップをパッケージ基板にインターフェースするための、埋込みキャパシタ、再配線層 (RDL) 基板を採用する IC パッケージを含む。RDL 基板は、金属相互接続のファンアウトをサポートする 1 つまたは複数の金属再配線を含む RDL 層を含む基板である。(1 つまたは複数の) 埋込みキャパシタは、一例として、電流抵抗 (IR) ドロップを低減するために、減結合キャパシタンスを IC パッケージ中の配電網 (PDN) に与えることができる。関係する作製方法も開示される。IC パッケージは、パッケージ基板と、パッケージ基板に電氣的に結合された 1 つまたは複数の IC チップとを含む。パッケージ基板は、(1 つまたは複数の) IC チップへのおよびそれからの電気信号ルーティングを与えるために、金属トレースまたは線が埋め込まれている、1 つまたは複数の基板層を含む。パッケージ基板は、動作のために (1 つまたは複数の) IC チップへの分配のために、所与の電圧における電力信号を搬送する配電網 (PDN) をサポートする。例示的な態様では、埋込みキャパシタをサポートする RDL 基板は、(1 つまたは複数の) 埋込みキャパシタと (1 つまたは複数の) IC チップとの間の距離を最小限に抑えるように、(1 つまたは複数の) IC チップとパッケージ基板との間に配設される。これは、PDN における IR ドロップを低減するために、(1 つまたは複数の) 埋込みキャパシタと (1 つまたは複数の) IC チップとの間の配電線における寄生インダクタンスを低減することができ、これは、PDN 雑音を低減する。しかしながら、パッケージ基板と (1 つまたは複数の) IC チップとの間に配設された RDL 基板では、RDL 基板は、パッケージ基板と (1 つまたは複数の) IC チップとの間の電氣的インターフェースのためのスルー相互接続をサポートする必要がある。(1 つまたは複数の) IC チップは、パッケージ基板に電氣的に結合される必要があるダイ相互接続の高い密度を有し得る。この点について、RDL 基板は、(1 つまたは複数の) IC チップに隣接する外側 RDL 層を含むように与えられる。外側 RDL 層は、RDL プロセスから形成され、外側 RDL 層が、小ピッチ金属相互接続をサポートし、ならびにファンアウト能力を与えることを可能にする。これは、RDL 基板が、IR ドロップを最小限に抑えるように、IC チップに近接して位置する埋込みキャパシタをサポートすると同時に、より高い密度のダイ相互接続 IC チップとの拡張された接続性適合性を提供することを可能にする。

【0016】

[0027] この点について、図 1 は、プリント回路板 (PCB) 104 に取り付けられ

10

20

30

40

50

た IC パッケージ 102 を含む例示的な IC システム 100 の側面図である。IC パッケージ 102 は、パッケージ基板 108 によってサポートされる IC チップ 106 を含む。IC チップ 106 とパッケージ基板 108 とは、この例では、オーバーモールド材料 112 によってカプセル化される。IC チップ 106 は、非限定的な例として、無線周波数 (RF) トランシーバまたはコンピュータベースシステムオンチップ (SoC) など、特定のタイプの適用例のための回路を含むことができる。パッケージ基板 108 は、IC パッケージ 102 の IC チップ 106 をサポートし、IC チップ 106 と IC パッケージ 102 の外部の他の回路との間のシグナリングをサポートするために IC チップ 106 と PCB 104 との間の電氣的結合経路を与えるための金属線の 1 つまたは複数の金属層 (metal layer) を含む。パッケージ基板 108 は、金属トレースがその中に形成されている有機材料積層の層から形成され得、それらは、次いで、一例として、一緒に積層される。パッケージ基板 108 は、別の例として、電氣的接続のファンアウトをサポートするための RDL 層をも含むことができる。IC チップ 106 は、パッケージ基板 108 の下部表面 115 上に形成され、IC チップ 106 に電氣的に結合されたその中の金属線に電氣的に結合された、「相互接続バンプ」とも呼ばれる、外部パッケージ相互接続 114 を通して他の外部回路に電氣的に結合される。

10

【0017】

【0028】 以下でより詳細に説明されるように、IC パッケージ 102 は、IC チップ 106 とパッケージ基板 108 との間に配設されたキャパシタ埋込み、RDL 基板 116 (「RDL 基板」とも呼ばれる) を含む。以下で説明されるように、RDL 基板 116 は、金属相互接続のファンアウトをサポートする 1 つまたは複数の金属再配線を含む RDL 層を含む基板である。RDL 基板 116 は、1 つまたは複数のキャパシタ 118 を含む。(1 つまたは複数の) キャパシタ 118 は、一例として、IR ドロップを低減するために、IC パッケージ 102 中の PDN に減結合キャパシタンスを与えることができる。たとえば、IC チップ 106 の接地電力導体は、接地に対する電力信号 (たとえば、電圧信号) のための減結合キャパシタンスを与えるために、そのダイ相互接続 120 のうちの 1 つを通して、RDL 基板 116 を通して (1 つまたは複数の) キャパシタ 118 に結合され得る。RDL 基板 116 は、(1 つまたは複数の) 埋込みキャパシタ 118 と IC チップ 106 との間の距離 D_1 を最小限に抑えるように、IC チップ 106 とパッケージ基板 108 との間に配設されるように、(1 つまたは複数の) 埋込みキャパシタ 118 をサポートする。距離 D_1 は、パッケージ基板 108 の外側表面 (outer surface) 122 と IC チップ 106 の活性表面 (active surface) 124 との間の距離として、図 1 に示されている。たとえば、距離 D_1 は、少なくとも 2 マイクロメートル (μm) であり得る。これは、PDN における IR ドロップを低減するために、(1 つまたは複数の) 埋込みキャパシタ 118 と (1 つまたは複数の) IC チップ 106 との間の PDN の配電線における寄生インダクタンスを低減することができ、これは、PDN 雑音を低減する。

20

30

【0018】

【0029】 しかしながら、パッケージ基板 108 と IC チップ 106 との間に配設された RDL 基板 116 では、RDL 基板 116 は、パッケージ基板 108 と IC チップ 106 との間の電氣的インターフェースのためのスルー相互接続をサポートする必要がある。IC チップ 106 は、パッケージ基板 108 に電氣的に結合される必要があるダイ相互接続 120 の高い密度を有し得る。この点について、図 1 の RDL 基板 116 のより詳細な側面図を示す図 2 に示されているように、RDL 基板 116 は、外側 RDL 層 126 を含むように与えられる。図 1 に示されているように、外側 RDL 層 126 は、IC チップ 106 の活性表面 124 に隣接している。外側 RDL 層 126 は、一例では、RDL プロセスから形成され、IC チップ 106 が RDL 基板 116 上に配設されたとき、IC チップ 106 のダイ相互接続 120 に結合され得るそれぞれの RDL 相互接続 202 を各々備える複数の再配線金属線 200 を含む。はんだバンプが形成され、一例として、ダイ相互接続 120 に結合されるべき RDL 相互接続 220 に結合され得る。このようにして、RDL 基板 116 の外側 RDL 層 126 は、IC チップ 106 の小さい、高い密度のピッチの

40

50

ダイ相互接続 120 をサポートし、ならびにダイ相互接続 120 と RDL 基板 116 との間のファンアウト能力を与えることができる。これは、RDL 基板 116 が、IC パッケージ 102 中の PDN に結合されたときに IR ドロップを最小限に抑えるように、IC チップにより近接して位置するキャパシタ 118 などの埋込みキャパシタをサポートすると同時に、IC チップ 106 などのより高い密度のダイ相互接続 IC チップとの拡張された接続性適合性を提供することを可能にする。

【0019】

【0030】 図 2 を参照すると、RDL 基板 116 は、(図 1 に示されている) IC チップ 106 のそれぞれのダイ相互接続 120 に結合され得る、それぞれの RDL 相互接続 202 を含むことができる再配線金属線 200 を含む、(Z 軸方向において図 2 中の最上層として示されている) 外側 RDL 層 126 を含む。再び図 1 を参照すると、パッケージ基板 108 は、RDL 基板 116 を通してパッケージ基板 108 と IC チップ 106 との間の電氣的インターフェースを与えるために RDL 基板 116 に電氣的に結合され得る、パッケージ基板層 130 中の複数のパッケージ基板相互接続 128 を含む。再び図 2 を参照すると、RDL 基板 116 は、RDL 層 126 の下に位置する下部層である基板層 204 を含む。基板層 204 は、図 1 に示されているパッケージ基板 108 の、上部の、隣接するパッケージ基板層 130 中のそれぞれのパッケージ基板相互接続 128 に結合されるように構成された基板相互接続 206 を含む。これは、パッケージ基板 108 と RDL 基板 116 との間の電氣的インターフェースを与える。電氣的インターフェースは、RDL 基板 116 において、RDL 層 126 と基板層 204 との間の誘電体層 210 を通って延びるそれぞれのビア 208 を通して、RDL 層 126 中の RDL 相互接続 202 と、基板層 204 中の基板相互接続 206 との間の電氣的結合によって与えられる。この点について、ビア 208 は、誘電体層 210 を通って延びるスルーモールドビア (TMV) と見なされ得る。たとえば、ビア 208 は銅ピラーであり得る。ビア 208 は、RDL 基板 116 の誘電体層 210 を通ってキャパシタパッケージ 212 のエリア外に延びる。基板相互接続 206 は、図 1 に示されているパッケージ基板 108 のそれぞれのパッケージ基板相互接続 128 に結合され得る。外部パッケージ相互接続 114 は、パッケージ基板 108 のパッケージ基板層 130 中のパッケージ基板相互接続 128 に電氣的に結合され得る。

【0020】

【0031】 このようにして、電氣的インターフェースは、図 1 中の IC パッケージ 102 において、IC チップ 106 に与えられる。電氣的インターフェースは、外部パッケージ相互接続 114 と、パッケージ基板相互接続 128、RDL 基板 116 の基板相互接続 206、RDL 基板 116 のビア 208 および RDL 相互接続 202、ならびに(図 1 中の) IC チップ 106 のダイ相互接続 120 へのそれらの電氣的結合とを含む。

【0021】

【0032】 図 2 中の RDL 基板 116 のこの例では、キャパシタ 118 は、キャパシタパッケージ 212 中に含まれる。キャパシタパッケージ 212 は、RDL 層 126 と基板層 204 との間に配設された誘電体材料を備える誘電体層 214 を含む。キャパシタ 118 は、キャパシタパッケージ 212 の誘電体層 214 に埋め込まれる。キャパシタパッケージ 212 は、RDL 基板 116 の誘電体層 210 に埋め込まれる。キャパシタパッケージ 212 は、以下でより詳細に説明されるように、チップレットなどの別個のパッケージとして形成され得る。図 2 中のこの例示的な RDL 基板 116 では、IC チップ 106 とキャパシタパッケージ 212 中のキャパシタ 118 との間の電氣的インターフェースを与えるために、パッケージ基板 108 の RDL 層 126 はまた、IC チップ 106 のそれぞれのダイ相互接続 120 (図 1 参照) に結合され得るそれぞれの RDL 相互接続 218 を含むことができる再配線金属線 216 を含む。しかしながら、この例では、RDL 相互接続 218 は、ビア 220 を通してキャパシタ 118 に結合される。たとえば、ビア 220 は、キャパシタパッケージ 212 の誘電体層 214 を通って延びるスルーシリコンビア (TSV: through-silicon-via) 222 であり得る。このようにして、RDL 基板 116 の RDL 層 126 の再配線金属線 216 およびそれらのそれぞれの RDL 相互接続 21

8は、たとえば、減結合キャパシタンスをICチップ106中のPDNに与えるために、キャパシタ118とICチップ106との間のインターフェースを与える。たとえば、キャパシタ118は、RDL相互接続218に結合されたダイ相互接続120に結合された、ICチップ106中のPDNにおける接地ノードに結合され得る(図1も参照)。

【0022】

【0033】 また、図2を参照すると、図2中のRDL基板116の基板層204はまた、第2のRDL層(second RDL layer)224として与えられ得ることに留意されたい。第2のRDL層224は、一例では、RDLプロセスから形成されていることがある。第2のRDL層224は、RDL基板116がパッケージ基板108上に配設されたとき、パッケージ基板108のパッケージ基板相互接続128に結合され得るそれぞれのRDL相互接続228を各々備える複数の再配線金属線226を含むことができる。ビア208、220は、一例として、RDL堆積およびアンダーパンプメタライゼーション(UBM)形成を通して、第2のRDL層224中の第2のRDL相互接続(second RDL interconnect)228に結合され得る。はんだパンプが形成され、対応するビア208、220を第2のRDL層224中の第2のRDL相互接続228に結合するために、第2のRDL相互接続228に結合され得る。ビア208、220はまた、別の代替として、第2のRDL層228と直接接触して形成された銅ピラーであり得る。これは、RDL基板116の第2のRDL層224が、パッケージ基板108のパッケージ基板相互接続128へのファンアウト接続をサポートすることを可能にする。これは、RDL基板116が、ICパッケージ102中のPDNに結合されたときにIRドロップを最小限に抑えるように、ICチップ106により近接して位置するキャパシタ118などの埋込みキャパシタをサポートすると同時に、異なるパッケージ基板108とのさらに拡張された接続性適合性を提供することを可能にし得る。たとえば、製造するのにあまりコストがかからないパッケージ基板は、大きいピッチを有する基板相互接続をサポートするにすぎない。代替として、図2中のRDL基板116の基板層204は、RDLを含まない有機材料の積層を備える積層基板としても与えられ得ることに留意されたい。

【0023】

【0034】 図3は、図1および図2中のICパッケージ102中のRDL基板116として与えられ得る別のRDL基板316の側面図である。RDL基板316は、次に説明されることになる追加の例示的な特徴を含む。図3中のRDL基板316と図1および図2中のRDL基板116との間の共通の要素は、共通の要素番号で示されている。

【0024】

【0035】 図3に示されているように、パッシベーション層(passivation layer)302が、RDL基板316において与えられ、キャパシタパッケージ212とRDL基板316のRDL層126との間に配設され得る。誘電体材料のパッシベーション層302を与えることは、キャパシタ118による、低減された抵抗と、したがって低減されたIRドロップとのために、TSV222の上部表面(top surface)304と再配線金属線216との間の拡張された整合を与え得る。パッシベーション層302は、後でより詳細に説明されるように、パターンングされ、開口されて、再配線金属線216が、TSV222と再配線金属線216との間の拡張された整合のために開口中に形成されることを可能にし得る。この例では、TSV222は、RDL層126の再配線金属線216と接触しているように、パッシベーション層302を通して延びる。

【0025】

【0036】 引き続き図3を参照すると、ビア220が、キャパシタパッケージ212中のキャパシタ118とRDL層126中のRDL相互接続218とへの接続性を与えるために採用され得ることに留意されたい。また、ビア220はまた、図1中のパッケージ基板108への結合を与えるために、基板相互接続206に結合されるように、スルービアとして、キャパシタパッケージ212とそれの誘電体層214とを通過するように作製され得ることに留意されたい。この点について、ビア220は、キャパシタパッケージ212を通して延びるように、前に説明されたTSV222として与えられ得る。これは、R

10

20

30

40

50

D L 基板 1 1 6 中のキャパシタパッケージ 2 1 2 の垂直経路相互接続妨害を最小限に抑えるために、R D L 層 1 2 6 と基板層 2 0 4 との間の接続性を可能にするための、キャパシタパッケージ 2 1 2 の経路中の Z 軸方向における垂直経路空間を可能にする。ビア 2 2 0 を T S V 2 2 2 として与えることは、R D L 基板 3 1 6 が、I C チップ 1 0 6 と、R D L 基板 3 1 6 と、パッケージ基板 1 0 8 との間の接続性を与えるためにビア 2 2 0 のより大きい密度をサポートすることを可能にするための、より大きい高さ H_1 対幅 W_1 アスペクト比を可能にし得る。これは、R D L 基板 3 1 6 がその R D L 層 1 2 6 を与えられて、R D L 相互接続 2 0 2、2 1 8 のファンアウトをサポートし、これは、より高い密度のダイ相互接続 1 2 0 を有する I C チップ 1 0 6 との相互接続適合性をサポートし得るので、特に有利であり得る。また、キャパシタパッケージ 2 1 2 と埋込みキャパシタ 1 1 8 とをサポートするための R D L 基板 3 1 6 の全体的な高さ幅 H_2 は、R D L 基板 3 1 6 において与えられる相互接続の密度をサポートするために、T S V 2 2 2 のある所望の高さ H_1 対幅 W_1 アスペクト比を必要とし得る。たとえば、T S V 2 2 2 の高さ H_1 対幅 W_1 のアスペクト比は、少なくとも 2 . 0 であり得る。また、ビア 2 0 8 は、T S V としても与えられ得、また、T S V 2 2 2 について上記で説明されたのと同じ理由のために、少なくとも 1 . 0 のより高い H_1 対幅 W_2 アスペクト比を含み得る。

【 0 0 2 6 】

【0037】 上記で説明されたように、R D L 基板 1 1 6、3 1 6 に R D L 層 1 2 6 を与えることは、再配線金属線 2 0 0、2 1 6 のファンアウトを可能にして、それらのそれぞれの R D L 相互接続 2 0 2、2 1 8 のより高い密度をサポートする。たとえば、図 2 および図 3 において、R D L 基板 1 1 6、3 1 6 において示されているように、再配線金属線 2 0 0 は、それらのそれぞれの R D L 相互接続 2 0 2 の垂直経路 V_1 外にファンアウトされる。同様に、図 2 および図 3 において、R D L 基板 1 1 6、3 1 6 において示されているように、再配線金属線 2 1 6 は、それらのそれぞれの R D L 相互接続 2 1 8 の垂直経路 V_2 外にファンアウトされる。これは、図 1 中の I C チップ 1 0 6 中のダイ相互接続 1 2 0 が、基板層 2 0 4 中の基板相互接続 2 0 6 のピッチ P_2 よりも密な（すなわち、小さい）ピッチ P_1 を有することを可能にする。R D L 基板 1 1 6、3 1 6 の R D L 層 1 2 6 の R D L 相互接続 2 0 2 のピッチ P_3 は、パッケージ基板 1 0 8 のパッケージ基板相互接続 1 2 8 のピッチ P_4 と同じであり得る。R D L 基板 1 1 6、3 1 6 の基板層 2 0 4 の基板相互接続 2 0 6 のピッチ P_2 は、前に説明されたパッケージ基板 1 0 8 のパッケージ基板相互接続 1 2 8 のピッチ P_4 に適合するように構成され得る。R D L 基板 1 1 6、3 1 6 の基板層 2 0 4 の基板相互接続 2 0 6 のピッチ P_2 は、パッケージ基板 1 0 8 のパッケージ基板相互接続 1 2 8 のピッチ P_4 と同じであり得る。

【 0 0 2 7 】

【0038】 また、R D L 基板 1 1 6、3 1 6 はまた、図 2 において、I C パッケージ 1 0 2 のような I C パッケージにおいて与えられる I C チップ 1 0 6 のような 2 つまたはそれ以上の I C チップ間のインターポーザとして働くように構成され得ることに留意されたい。追加の I C チップが、上記の I C チップ 1 0 6 のような構成要素を含む I C パッケージ 1 0 2 において与えられ得る。R D L 基板 1 1 6、3 1 6 は、パッケージ基板 1 0 8 と（1 つまたは複数の）追加の I C チップとの間に配設されることになる。R D L 基板 1 1 6、3 1 6 は、（1 つまたは複数の）追加の I C チップのダイ相互接続に結合された追加の第 2 の R D L 相互接続を各々含む追加の第 2 の再配線金属線（second redistribution metal line）をさらに含むことができる。追加の第 2 の再配線金属線のうちの 1 つまたは複数は、R D L 基板 1 1 6 中の再配線金属線 2 0 0 のうちの 1 つまたは複数に結合され得、電氣的に I C チップ 1 0 6 に、（1 つまたは複数の）別の I C チップに至る。

【 0 0 2 8 】

【0039】 図 4 は、限定はしないが、図 1 中の I C パッケージ 1 0 2 と図 1 ~ 図 3 中のそれぞれの R D L 基板とを含む、（1 つまたは複数の）I C チップとパッケージ基板との間に配設されたキャパシタ埋込み、R D L 基板を含む I C パッケージを作製する例示的なプロセス 4 0 0 を示すフローチャートである。例示的なプロセス 4 0 0 は、図 2 中の I C パッ

ケージ 102 と、図 2 および図 3 中の RDL 基板 116、316 とを参照しながら、図 2 において言及されることになる。

【0029】

[0040] この点について、IC パッケージ 102 を作製するための作製プロセス 400 における第 1 のステップは、複数のパッケージ基板相互接続 128 を備えるパッケージ基板 108 を形成することであり得る（図 4 中のブロック 402）。IC パッケージ 102 を作製するための作製プロセス 400 における次のステップは、パッケージ基板 108 上に RDL 基板 116、316 を形成することであり得る（図 4 中のブロック 404）。RDL 基板 116、316 を形成するプロセスは、RDL 相互接続 202、218 を各々備える複数の再配線金属線 200、216 を備える RDL 層 126 を形成することを含むことができる（図 4 中のブロック 406）。RDL 基板 116、316 を形成するプロセスは、複数の基板相互接続 206 を備える基板層 204 を形成することをも含むことができる（図 4 中のブロック 408）。RDL 基板 116、316 を形成するプロセスは、RDL 層 126 と基板層 204 との間にキャパシタ 118 を配設することをも含むことができる（図 4 中のブロック 410）。IC パッケージ 102 を作製するための作製プロセス 400 における次のステップは、キャパシタ 118 に電氣的に結合され、IC チップ 106 の複数のダイ相互接続 120 の中の少なくとも 1 つのダイ相互接続 120 に電氣的に結合されるように構成された、少なくとも 1 つのビア 220、222 を形成することであり得る（図 4 中のブロック 412）。IC パッケージ 102 を作製するための作製プロセス 400 における次のステップは、IC チップ 106 の複数のダイ相互接続 120 の中の少なくとも 1 つのダイ相互接続 120 を、複数の再配線金属線 200、216 の中の少なくとも 1 つの RDL 相互接続 202、218 に結合することであり得る（図 4 中のブロック 414）。

【0030】

[0041] 限定はしないが、図 1 中の IC パッケージ 102 と図 1 ~ 図 3 中のその RDL 基板とを含む、（1 つまたは複数の）IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージは、他の作製プロセスにおいて作製され得る。たとえば、図 5 A ~ 図 5 G は、限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、（1 つまたは複数の）IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する図 6 A ~ 図 6 D 中の別の例示的なプロセス 600 の例示的な作製段階 500 A ~ 500 G を示す。図 6 A ~ 図 6 D は、図 5 A ~ 図 5 G 中の例示的な作製段階 500 A ~ 500 G による、（1 つまたは複数の）IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセス 600 を示すフローチャートである。図 6 A ~ 図 6 D 中の例示的なプロセス 600 では、および図 5 A ~ 図 5 G 中の例示的な作製段階 500 A ~ 500 G によれば、以下で説明されるように、IC パッケージの RDL 基板の RDL 層は、キャパシタパッケージが RDL 基板に埋め込まれる前に形成される。図 6 A ~ 図 6 D 中の例示的なプロセス 600 は、図 5 A ~ 図 5 G 中の作製段階 500 A ~ 500 G を参照しながら以下で説明される。図 6 A ~ 図 6 D 中の例示的なプロセス 600 はまた、例として、図 1 中の IC パッケージ 102 と、図 2 および図 3 中の RDL 基板 116、316 とを参照しながら説明される。

【0031】

[0042] この点について、図 5 A は、図 1 中の IC パッケージ 102 の第 1 の作製段階 500 A を示す。この作製段階 500 A において、キャリア（carrier）502 が与えられる。RDL 層 224 が、最終的に形成される RDL 基板 116、316 中に与えられるために、キャリア 502 上に形成される（図 6 A 中のブロック 602）。キャリア 502 は、キャパシタパッケージ 212 が RDL 基板 116、316 に埋め込まれる前に、IC パッケージ 102 の RDL 層 224 および RDL 基板 116、316 が形成されることを可能にするために、使用される。図 5 B は、図 1 中の IC パッケージ 102 の次の作製段階 500 B を示す。図 5 B 中の次の作製段階 500 B に示されているように、TMV で

あり得、キャパシタパッケージ 2 1 2 が配設されることになるエリア 5 0 4 の外にあるビア 2 0 8 が、RDL 層 2 2 4 上に、および RDL 層 2 2 4 の再配線金属線 2 2 6 に電氣的に接触して形成される（図 6 A 中のブロック 6 0 4）。

【 0 0 3 2 】

【0043】 図 5 C 中の次の作製段階 5 0 0 C に示されているように、キャパシタパッケージ 2 1 2 は、RDL 層 2 2 4 上に配設されて、キャパシタパッケージ 2 1 2 を、RDL 層 2 2 4 を含む最終的に形成される RDL 基板 1 1 6、3 1 6 に埋め込まれるように準備する（図 6 B 中のブロック 6 0 6）。TSV 2 2 2 は、以下の図 7 A ~ 図 8 を参照しながら説明されるキャパシタパッケージ 2 1 2 を作製するための別個のプロセスを通して、パッシベーション層 3 0 2 を通って露出されることに留意されたい。図 5 D 中の次の作製段階 5 0 0 D に示されているように、次いで、誘電体層 2 1 0 が、RDL 基板を形成することの一部として、ビア 2 0 8 と、キャパシタパッケージ 2 1 2 と、露出された TSV 2 2 2 との上に配設される（図 6 B 中のブロック 6 0 8）。図 5 E 中の次の作製段階 5 0 0 E に示されているように、誘電体層 2 1 0 は、上部表面 5 0 5 まで研削されて、ビア 2 0 8 および TSV 2 2 2 の上部表面 5 0 6、5 0 8 を露出して、これらのビア 2 0 8 および TSV 2 2 2 を、RDL 基板 1 1 6、3 1 6 のために形成されるように RDL 層 1 2 6 への接続のために準備する（図 6 C 中のブロック 6 1 0）。図 5 F 中の次の作製段階 5 0 0 F に示されているように、RDL 層 1 2 6 は、研削された誘電体層 2 1 0 の上部表面 5 0 5 上に形成されて、RDL 基板 1 1 6、3 1 6 を形成する。再配線金属線 2 0 0、2 1 6 は、RDL 層 1 2 6 を形成することの一部として、ビア 2 0 8 および TSV 2 2 2 のそれぞれの上部表面 5 0 6、5 0 8 に電氣的に結合される（図 6 C 中のブロック 6 1 2）。図 5 G 中の次の作製段階 5 0 0 G に示されているように、次いで、IC チップ 1 0 6 が、RDL 基板 1 1 6、3 1 6 の RDL 層 1 2 6 に結合されて、IC パッケージ 1 0 2 を形成する（図 6 D 中のブロック 6 1 4）。

【 0 0 3 3 】

【0044】 図 7 A ~ 図 7 C は、限定はしないが、図 1 ~ 図 3 および図 5 G 中の IC パッケージ 1 0 2 と RDL 基板 1 1 6、3 1 6 とを含む、IC パッケージの RDL 基板に埋め込まれ得るキャパシタパッケージ 2 1 2 を作製する例示的なプロセスの例示的な作製段階 7 0 0 A ~ 7 0 0 C を示す。図 8 は、図 7 A ~ 図 7 C 中の例示的な作製段階 7 0 0 A ~ 7 0 0 C による、キャパシタパッケージ 2 1 2 を作製する例示的なプロセス 8 0 0 を示すフローチャートである。図 7 A ~ 図 7 C と図 8 とは、関連して説明されることになる。

【 0 0 3 4 】

【0045】 この点について、図 7 A 中の作製段階 7 0 0 A に示されているように、キャパシタ 1 1 8 および TSV 2 2 2 が形成され、誘電体層 2 1 4 がキャパシタ 1 1 8 および TSV 2 2 2 の上に配設される（図 8 中のブロック 8 0 2）。図 7 B 中の次の作製段階 7 0 0 B に示されているように、誘電体層 2 1 4 は、上部表面 7 0 2 まで研削されて、TSV 2 2 2 の上部表面 7 0 4 を露出する（expose）。次いで、パッシベーション層 3 0 2 が、誘電体層 2 1 4 の上部表面 7 0 2 および TSV 2 2 2 の上に配設される（図 8 中のブロック 8 0 4）。図 7 C 中の次の作製段階 7 0 0 C に示されているように、パッシベーション層 3 0 2 はエッチングされて、TSV 2 2 2 の上部表面 7 0 4 を露出して、それを、RDL 基板 1 1 6、3 1 6 の RDL 層 1 2 6 の再配線金属線 2 1 6 への電氣的接続のために準備する（図 8 中のブロック 8 0 6）。

【 0 0 3 5 】

【0046】 図 9 A ~ 図 9 H は、限定はしないが、図 1 ~ 図 3 中の IC パッケージと RDL 基板とを含む、（1 つまたは複数の）IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する図 1 0 A ~ 図 1 0 D 中の別の例示的なプロセス 1 0 0 0 の例示的な作製段階 9 0 0 A ~ 9 0 0 H を示す。図 1 0 A ~ 図 1 0 D は、図 9 A ~ 図 9 H 中の例示的な作製段階 9 0 0 A ~ 9 0 0 H による、（1 つまたは複数の）IC チップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL 基板を含む IC パッケージを作製する例示的なプロセス 1 0 0 0 を示すフローチャート

である。図10A～図10D中の例示的なプロセス1000では、および図9A～図9H中の例示的な作製段階900A～900Hによれば、以下で説明されるように、ICパッケージのRDL基板のRDL層は、上記で説明された図8A～8D中のプロセス800の場合のように、キャパシタパッケージがRDL基板に埋め込まれる前に形成される。ただし、パッシベーション層302は、図10A～図10D中のプロセス1000において、キャパシタパッケージ312中に含まれない。図10A～図10D中の例示的なプロセス1000は、図9A～図9H中の作製段階900A～900Hを参照しながら以下で説明される。図10A～図10D中の例示的なプロセス1000はまた、例として、図1中のICパッケージ102と、図2および図3中のRDL基板116、316とを参照しながら説明される。

10

【0036】

[0047] この点について、図9Aは、代替の作製プロセスによる、図1中のICパッケージ102の第1の作製段階900Aを示す。この作製段階900Aにおいて、キャリア902が与えられる。RDL層224が、最終的に形成されるRDL基板116、316中に与えられるために、キャリア902上に形成される(図10A中のブロック1002)。キャリア902は、キャパシタパッケージ212がRDL基板116、316に埋め込まれる前に、ICパッケージ102のRDL層224およびRDL基板116、316が形成されることを可能にするために、使用される。図9Bは、図1中のICパッケージ102の次の作製段階900Bを示す。図9B中の次の作製段階900Bに示されているように、TMVであり得、キャパシタパッケージ212が配設されることになるエリア904の外にあるビア208が、RDL層224上に、およびRDL層224の再配線金属線226に電氣的に接触して形成される(図10A中のブロック1004)。図9C中の次の作製段階900Cに示されているように、キャパシタパッケージ212は、RDL層224上に配設されて、キャパシタパッケージ212を、RDL層224を含む最終的に形成されるRDL基板116、316に埋め込まれるように準備する(図10A中のブロック1006)。図5A～図8中の上記のプロセスにおいて説明されたようなキャパシタパッケージ212中に含まれるパッシベーション層302がないことに留意されたい。

20

【0037】

[0048] 図9D中の次の作製段階900Dに示されているように、次いで、誘電体層210が、RDL基板を形成することの一部として、ビア208と、キャパシタパッケージ212との上に配設される(図10B中のブロック1008)。図9E中の次の作製段階900Eに示されているように、誘電体層210は、上部表面906まで研削されて、ビア208およびTSV222の上部表面908、910を露出して、これらのビア208およびTSV222を、RDL基板116、316のために形成されるようにRDL層126への接続のために準備する(図10B中のブロック1010)。図9F中の次の作製段階900Fに示されているように、RDL層126は、研削された誘電体層210の上部表面906上に形成されて、RDL基板116、316を形成する。再配線金属線200、216は、RDL層126を形成することの一部として、ビア208およびTSV222のそれぞれの上部表面908、910に電氣的に結合される(図10C中のブロック1012)。

30

40

【0038】

[0049] 図9G中の次の作製段階900Gに示されているように、キャリア902上に配設されたRDL基板116、316は反転されて、キャリア902を、除去されるように準備する(図10D中のブロック1014)。図9H中の次の作製段階900Hに示されているように、次いで、ICチップ106が、RDL基板116、316のRDL層126に結合されて、ICパッケージ102を形成する(図10D中のブロック1016)。

【0039】

[0050] 図11A～図11Lは、限定はしないが、図1～図3中のICパッケージとRDL基板とを含む、(1つまたは複数の)ICチップとパッケージ基板との間に配設さ

50

れたキャパシタ埋込み、RDL基板を含むICパッケージを作製する図12A～図12F中の別の例示的なプロセス1200の例示的な作製段階1100A～1100Lを示す。図12A～図12Fは、図11A～図11L中の例示的な作製段階1100A～1100Lによる、(1つまたは複数の)ICチップとパッケージ基板との間に配設されたキャパシタ埋込み、RDL基板を含むICパッケージを作製する例示的なプロセス1200を示すフローチャートである。図12A～図12F中の例示的なプロセス1200では、および図11A～図11L中の例示的な作製段階1100A～1100Lによれば、以下で説明されるように、ICパッケージのRDL基板のRDL層は、キャパシタパッケージがRDL基板に埋め込まれた後に形成される。図12A～図12F中の例示的なプロセス1200は、図11A～図11L中の作製段階1100A～1100Lを参照しながら以下で説明される。図12A～図12F中の例示的なプロセス1200はまた、例として、図1中のICパッケージ102と、図2および図3中のRDL基板116、316とを参照しながら説明される。

10

【0040】

[0051] 図11A中の作製段階1100Aに示されているように、キャリア1102のパッケージ基板108が、準備され始める。積層基板などのキャリア1102が与えられ、光熱変換(LTHC)解放層1104を通してコーティングがキャリア1002上に配設される(図12A中のブロック1202)。図11B中の次の作製段階1100Bに示されているように、積層されたポリイミド層1106が、LTHC解放層1104上に配設される(図12A中のブロック1204)。図11C中の次の作製段階1100Cに示されているように、シード層1108(たとえば、TiCu層)が、ビア208を形成するために準備するために、積層されたポリイミド層1106上に配設される(図12A中のブロック1206)。図11D中の次の作製段階1100Dに示されているように、フォトレジスト層1110が、シード層1108上に配設されて、フォトレジスト層1110がパターンニングされるように準備して、示されているように、ビア208を形成するための開口1112を形成する(図12B中のブロック1208)。図11E中の次の作製段階1100Eに示されているように、ビア208が、開口1112中に形成される(図12B中のブロック1210)。たとえば、ビア208は銅ピラーであり得る。

20

【0041】

[0052] 図11F中の次の作製段階1100Fに示されているように、次いで、キャパシタパッケージ212が、ビア208間のエリア1114中に配設されて、最終的に、作製されるRDL基板116、316の一部になる(図12C中のブロック1212)。図11G中の次の作製段階1100Gに示されているように、誘電体層210が、ビア208およびキャパシタパッケージ212上に配設される(図12D中のブロック1214)。図11H中の次の作製段階1100Hに示されているように、誘電体層210は、上部表面1116まで研削されて、ビア208およびキャパシタパッケージ212のTSV222の上部表面1118、1120を露出する(図12D中のブロック1216)。図11I中の次の作製段階1100Iに示されているように、RDL層126が、誘電体層210の上部表面1116上に形成されて、RDL基板116、316の一部を形成する(図12E中のブロック1218)。図11J中の次の作製段階1100Jに示されているように、キャリア1102は、反転され、除去され、埋込みキャパシタパッケージ212をもつ誘電体層210およびRDL層126が分離されて、RDL基板116、316の第2のRDL層224を形成するために準備する(図12E中のブロック1220)。

30

40

【0042】

[0053] 図11K中の次の作製段階1100Kに示されているように、RDL基板116、316の第2のRDL層224が形成されて、RDL基板116、316を形成する(図12E中のブロック1222)。図11L中の次の作製段階11Lに示されているように、次いで、ICチップ106が、RDL基板116、316のRDL層126に結合されて、ICパッケージ102を形成する(図12F中のブロック1224)。

50

【 0 0 4 3 】

[0054] 本願明細書で使用される、「上部」、「の上方に」、「下部」、「の下方に」という用語は、相対的な用語であり、厳密な配向を限定または暗示するものではないことを理解されたい。「上部」の参照される要素は、常に、接地に対して「下部」の参照される要素の上方にあるように配向されるとは限らず、またその逆も同様である。「上部」または「下部」として参照される要素は、その例のみ、および特定の示される例に関して、上部または下部にあり得る。別の要素「の上方に」または「の下方に」として参照される要素は、接地に対してのものである必要がなく、またその逆も同様である。「の上方に」または「の下方に」として参照される要素は、その例のみ、および特定の示される例に関して、そのような他の参照される要素上に、その上方にまたは下方に、およびそれに対してのものであり得る。

【 0 0 4 4 】

[0055] 限定はしないが、図 1 ~ 図 3、図 5 G、図 9 H、および図 1 1 L 中の IC パッケージを含む、および本明細書で開示されるいずれかの態様による、(1つまたは複数の) IC チップとパッケージ基板との間に配設された(1つまたは複数の)埋込みキャパシタをもつ RDL 基板を含む IC パッケージは、任意のプロセッサベースデバイスにおいて与えられるか、またはそれに組み込まれ得る。例は、限定はしないが、セットトップボックスと、エンターテインメントユニットと、ナビゲーションデバイスと、通信デバイスと、固定ロケーションデータユニットと、モバイルロケーションデータユニットと、全地球測位システム(GPS)デバイスと、スマートフォンと、セルラーフォンと、スマートフォンと、セッション開始プロトコル(SIP)フォンと、タブレットと、ファブレットと、サーバと、コンピュータと、ポータブルコンピュータと、モバイルコンピューティングデバイスと、ウェアラブルコンピューティングデバイス(たとえば、スマートウォッチ、ヘルストラッカーまたはフィットネストラッカー、アイウェアなど)と、デスクトップコンピュータと、携帯情報端末(PDA)と、モニタと、コンピュータモニタと、テレビジョンと、チューナーと、無線機と、衛星無線機と、音楽プレーヤと、デジタル音楽プレーヤと、ポータブル音楽プレーヤと、デジタルビデオプレーヤと、ビデオプレーヤと、デジタルビデオディスク(DVD)プレーヤと、ポータブルデジタルビデオプレーヤと、自動車と、ビークル構成要素と、アビオニクスシステムと、ドローンと、マルチコプター(multicopter)とを含む。

【 0 0 4 5 】

[0056] 図 1 3 は、1つまたは複数の IC 1 3 0 2 から形成された電氣的構成要素を含む例示的なワイヤレス通信デバイス 1 3 0 0 を示し、ここにおいて、IC 1 3 0 2 のいずれも、IC パッケージ 1 3 0 3 中に含まれ得る。IC パッケージ 1 3 0 3 は、限定はしないが、図 1 ~ 図 3、図 5 G、図 9 H、および図 1 1 L 中の IC パッケージを含む、および本明細書で開示されるいずれかの態様による、(1つまたは複数の) IC チップとパッケージ基板との間に配設された(1つまたは複数の)埋込みキャパシタをもつ RDL 基板を含む IC パッケージを含むことができる。

【 0 0 4 6 】

[0057] ワイヤレス通信デバイス 1 3 0 0 は、例として、上記のデバイスのいずれかを含むか、または上記のデバイスのいずれかにおいて提供され得る。図 1 3 に示されているように、ワイヤレス通信デバイス 1 3 0 0 は、トランシーバ 1 3 0 4 とデータプロセッサ 1 3 0 6 とを含む。データプロセッサ 1 3 0 6 は、データとプログラムコードとを記憶するためのメモリを含み得る。トランシーバ 1 3 0 4 は、双方向通信をサポートする送信機 1 3 0 8 と受信機 1 3 1 0 とを含む。概して、ワイヤレス通信デバイス 1 3 0 0 は、任意の数の通信システムと周波数帯域とのための任意の数の送信機 1 3 0 8 および/または受信機 1 3 1 0 を含み得る。トランシーバ 1 3 0 4 の全部または一部分が、1つまたは複数のアナログ IC、RF IC (RFIC)、混合信号 IC などの上に実装され得る。

【 0 0 4 7 】

[0058] 送信機 1 3 0 8 または受信機 1 3 1 0 は、スーパーヘテロダイナーキテク

チャまたは直接変換アーキテクチャを用いて実装され得る。スーパーヘテロダインアーキテクチャでは、信号が、受信機 1310 について、複数の段階において RF とベースバンドとの間で、たとえば、1つの段階において RF から中間周波数 (IF) に、次いで別の段階において IF からベースバンドに周波数変換される。直接変換アーキテクチャでは、信号が1つの段階において RF とベースバンドとの間で周波数変換される。スーパーヘテロダインアーキテクチャおよび直接変換アーキテクチャは、異なる回路ブロックを使用し、および/または異なる要件を有し得る。図 13 中のワイヤレス通信デバイス 1300 では、送信機 1308 および受信機 1310 は、直接変換アーキテクチャを用いて実装される。

【0048】

10

[0059] 送信経路では、データプロセッサ 1306 は、送信されるべきデータを処理し、送信機 1308 に I および Q アナログ出力信号を与える。例示的なワイヤレス通信デバイス 1300 では、データプロセッサ 1306 は、さらなる処理のために、データプロセッサ 1306 によって生成されたデジタル信号を、I および Q アナログ出力信号、たとえば、I および Q 出力電流に変換するためのデジタルアナログ変換器 (DAC) 1312 (1)、1312 (2) を含む。

【0049】

[0060] 送信機 1308 内で、ローパスフィルタ 1314 (1)、1314 (2) が、前のデジタルアナログ変換によって生じた望ましくない信号を除去するために、それぞれ、I および Q アナログ出力信号をフィルタ処理する。増幅器 (AMP) 1316 (1)、1316 (2) が、それぞれ、ローパスフィルタ 1314 (1)、1314 (2) からの信号を増幅し、I および Q ベースバンド信号を与える。アップコンバータ 1318 が、アップコンバートされた信号 1324 を与えるために、送信 (TX) 局部発振器 (LO) 信号生成器 1322 からのミキサ 1320 (1)、1320 (2) を通る I および Q TX LO 信号を用いて I および Q ベースバンド信号をアップコンバートする。フィルタ 1326 が、周波数アップコンバージョンによって生じた望ましくない信号ならびに受信周波数帯域中の雑音を除去するために、アップコンバートされた信号 1324 をフィルタ処理する。電力増幅器 (PA) 1328 は、所望の出力電力レベルを取得するためにフィルタ 1326 からのアップコンバートされた信号 1324 を増幅し、送信 RF 信号を与える。送信 RF 信号は、デュプレクサまたはスイッチ 1330 を通してルーティングされ、アンテナ 1332 を介して送信される。

20

30

【0050】

[0061] 受信経路では、アンテナ 1332 は、基地局によって送信された信号を受信し、受信 RF 信号を与え、受信 RF 信号は、デュプレクサまたはスイッチ 1330 を通してルーティングされ、低雑音増幅器 (LNA) 1334 に与えられる。デュプレクサまたはスイッチ 1330 は、受信 (RX) 信号が TX 信号から隔離されるように、特定の RX - TX デュプレクサ周波数分離を用いて動作するように設計される。受信 RF 信号は、LNA 1334 によって増幅され、所望の RF 入力信号を取得するためにフィルタ 1336 によってフィルタ処理される。ダウンコンバージョンミキサ 1338 (1)、1338 (2) が、I および Q ベースバンド信号を生成するために、フィルタ 1336 の出力を、RX LO 信号生成器 1340 からの I および Q RX LO 信号 (すなわち、LO_I および LO_Q) と混合する。I および Q ベースバンド信号は、データプロセッサ 1306 に与えられる I および Q アナログ入力信号を取得するために、AMP 1342 (1)、1342 (2) によって増幅され、ローパスフィルタ 1344 (1)、1344 (2) によってさらにフィルタ処理される。この例では、データプロセッサ 1306 は、アナログ入力信号を、データプロセッサ 1306 によってさらに処理されるべきデジタル信号に変換するためのアナログデジタル変換器 (ADC) 1346 (1)、1346 (2) を含む。

40

【0051】

[0062] 図 13 のワイヤレス通信デバイス 1300 では、TX LO 信号生成器 1322 は、周波数アップコンバージョンのために使用される I および Q TX LO 信号を

50

生成し、RX LO 信号生成器 1340 は、周波数ダウンコンバージョンのために使用される I および Q RX LO 信号を生成する。各 LO 信号は、特定の基本周波数をもつ周期信号である。TX 位相ロックループ (PLL) 回路 1348 が、データプロセッサ 1306 からタイミング情報を受信し、TX LO 信号生成器 1322 からの TX LO 信号の周波数および / または位相を調整するために使用される制御信号を生成する。同様に、RX PLL 回路 1350 が、データプロセッサ 1306 からタイミング情報を受信し、RX LO 信号生成器 1340 からの RX LO 信号の周波数および / または位相を調整するために使用される制御信号を生成する。

【0052】

【0063】 本明細書で開示される態様に関して説明される、様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムは、電子ハードウェアとして実装されるか、メモリまたは別のコンピュータ可読媒体に記憶され、プロセッサまたは他の処理デバイスによって実行される命令として実装されるか、あるいはその両方の組合せとして実装され得ることを当業者はさらに諒解されよう。本明細書で説明されるマスタデバイスおよびスレーブデバイスは、例として、任意の回路、ハードウェア構成要素、IC、または IC チップにおいて採用され得る。本明細書で開示されるメモリは、任意のタイプおよびサイズのメモリであり得、所望される任意のタイプの情報を記憶するように構成され得る。この互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップが、上記では概してそれらの機能に関して説明された。そのような機能がどのように実装されるかは、特定の適用例、設計選択、および / または全体的なシステムに課される設計制約に依存する。当業者は、説明された機能を特定の適用例ごとに様々な方法で実装し得るが、そのような実装の決定は、本開示の範囲からの逸脱を生じるものと解釈されるべきではない。

10

20

【0053】

【0064】 本明細書で開示される態様に関して説明された様々な例示的な論理ブロック、モジュール、および回路は、プロセッサ、デジタル信号プロセッサ (DSP)、特定用途向け集積回路 (ASIC)、フィールドプログラマブルゲートアレイ (FPGA) または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明された機能を実施するように設計されたそれらの任意の組合せを用いて実装または実施され得る。プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来プロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ (たとえば、DSP とマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSP コア と連携する 1 つまたは複数のマイクロプロセッサ、または任意の他のそのような構成) として実装され得る。

30

【0054】

【0065】 本明細書で開示される態様は、ハードウェアで実施され、および、ハードウェアに記憶され、たとえば、ランダムアクセスメモリ (RAM)、フラッシュメモリ、読取り専用メモリ (ROM)、電氣的プログラマブル ROM (EPROM)、電氣的消去可能プログラマブル ROM (EEPROM (登録商標))、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態のコンピュータ可読媒体中に存在し得る命令で実施され得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサと一体であり得る。プロセッサおよび記憶媒体は ASIC 中に存在し得る。ASIC はリモート局中に存在し得る。代替として、プロセッサおよび記憶媒体は、個別構成要素としてリモート局、基地局、またはサーバ中に存在し得る。

40

【0055】

【0066】 また、本明細書の例示的な態様のいずれかにおいて説明された動作ステップは、例および説明を与えるために説明されたことに留意されたい。説明された動作は、図

50

示されたシーケンス以外の多数の異なるシーケンスで実施され得る。さらに、単一の動作ステップで説明された動作は、実際は、いくつかの異なるステップで実施され得る。さらに、例示的な態様において説明された1つまたは複数の動作ステップは組み合わせられ得る。フローチャート図に示された動作ステップは、当業者には容易に明らかになるように、多数の異なる修正を受け得ることを理解されたい。また、情報および信号は様々な異なる技術および技法のいずれかを使用して表され得ることを、当業者は理解されよう。たとえば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁性粒子、光場または光学粒子、あるいはそれらの任意の組合せによって表され得る。

【0056】

10

【0067】 本開示の前述の説明は、いかなる当業者でも本開示を作成または使用することができるように提供される。本開示への様々な修正は当業者には容易に明らかであり、本明細書で定義された一般原理は他の変形形態に適用され得る。したがって、本開示は、本明細書で説明された例および設計に限定されるものではなく、本明細書で開示された原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

【0057】

【0068】 また、実装例が、以下の番号付けされた条項において説明される。

【0058】

条項1 . 集積回路 (IC) パッケージであって、
 複数のパッケージ基板相互接続を備えるパッケージ基板と、
 複数のダイ相互接続を備えるICチップと、
 パッケージ基板とICチップとの間に配設された再配線層 (RDL) 基板と、RDL基板が、

20

複数のダイ相互接続の中のダイ相互接続に結合されたRDL相互接続を各々備える複数の再配線金属線を備えるRDL層と、
 複数の基板相互接続を備える基板層と、
 RDL層と基板層との間に配設されたキャパシタとを備える、
 複数のダイ相互接続の中のダイ相互接続とキャパシタとに電気的に結合された少なくとも1つの垂直相互接続アクセス (ビア) と
 を備える、集積回路 (IC) パッケージ。

30

【0059】

条項2 . 基板層が、第2のRDL相互接続を各々備える複数の第2の再配線金属線を備える第2のRDL層を備える、条項1に記載のICパッケージ。

【0060】

条項3 . 複数のダイ相互接続の中のダイ相互接続と、基板層中の複数の基板相互接続の中の少なくとも1つの基板相互接続とに結合された少なくとも1つの第2のビア (second via) をさらに備える、条項2に記載のICパッケージ。

【0061】

条項4 . キャパシタとRDL層との間に配設されたバッシベーション層をさらに備える、条項1から3のいずれかに記載のICパッケージ。

40

【0062】

条項5 . 少なくとも1つのビアが、RDL基板を通して配設され、ダイ相互接続に結合された複数の再配線金属線の中の再配線金属線に電気的に結合された、少なくとも1つのスルーシリコンビア (TSV) を備える、条項1から4のいずれかに記載のICパッケージ。

【0063】

条項6 . 少なくとも1つのTSVの高さ対幅のアスペクト比 (aspect ratio of height to width) が、少なくとも2.0である、条項5に記載のICパッケージ。

【0064】

条項7 . RDL基板を通して配設され、RDL層中の複数のRDL相互接続の中のR

50

D L 相互接続と、基板層中の複数の基板相互接続の中の基板相互接続とに電氣的に結合された、複数の第 2 のビアをさらに備える、条項 1 から 6 のいずれかに記載の I C パッケージ。

【 0 0 6 5 】

条項 8 . 複数の第 2 のビアの高さ対幅のアスペクト比が、少なくとも 1 . 0 である、条項 7 に記載の I C パッケージ。

【 0 0 6 6 】

条項 9 . R D L 層と基板層との間に配設された誘電体材料を備える誘電体層と、誘電体層に埋め込まれたキャパシタパッケージと、キャパシタパッケージがキャパシタを備える、
をさらに備える、条項 1 から 8 のいずれかに記載の I C パッケージ。

10

【 0 0 6 7 】

条項 1 0 . 少なくとも 1 つのビアが、キャパシタパッケージを通して配設され、ダイ相互接続に結合された複数の再配線金属線の中の再配線金属線に電氣的に結合された、少なくとも 1 つのスルーシリコンビア (T S V) を備える、条項 9 に記載の I C パッケージ。

【 0 0 6 8 】

条項 1 1 . R D L 基板を通して配設され、R D L 層中の複数の R D L 相互接続の中の R D L 相互接続と、基板層中の複数の基板相互接続の中の基板相互接続とに電氣的に結合された、複数の第 2 のビアをさらに備え、

20

ここにおいて、複数の第 2 のビアが、R D L 基板の誘電体層を通してキャパシタパッケージの外に配設される、
条項 9 に記載の I C パッケージ。

【 0 0 6 9 】

条項 1 2 . 複数の再配線金属線の中の少なくとも 1 つの再配線金属線が、それぞれの R D L 相互接続の垂直経路外にファンアウトされる、条項 1 から 1 1 のいずれかに記載の I C パッケージ。

【 0 0 7 0 】

条項 1 3 . 複数のダイ相互接続が、第 1 のピッチ (first pitch) を有し、
基板層中の複数の基板相互接続が、第 1 のピッチよりも大きい第 2 のピッチ (second pitch) を有し、
複数のパッケージ基板相互接続が、第 2 のピッチを有する、
条項 1 から 1 2 のいずれかに記載の I C パッケージ。

30

【 0 0 7 1 】

条項 1 4 . R D L 基板を通して配設され、R D L 層中の複数の R D L 相互接続の中の R D L 相互接続と、複数のパッケージ基板相互接続の中のパッケージ基板相互接続に結合された基板層中の複数の基板相互接続の中の基板相互接続とに電氣的に結合された、複数の第 2 のビアをさらに備える、条項 1 3 に記載の I C パッケージ。

【 0 0 7 2 】

条項 1 5 . パッケージ基板が第 1 の外側表面 (first outer surface) をさらに備え、複数のパッケージ基板相互接続が第 1 の外側表面を通して配設され、
I C チップが活性表面をさらに備え、複数のダイ相互接続が活性表面を通して配設され、
第 1 の外側表面と活性表面との間の距離が、少なくとも 2 マイクロメートル (μm) である、
条項 1 から 1 4 のいずれかに記載の I C パッケージ。

40

【 0 0 7 3 】

条項 1 6 . セットトップボックスと、エンターテインメントユニットと、ナビゲーションデバイスと、通信デバイスと、固定ロケーションデータユニットと、モバイルロケーションデータユニットと、全地球測位システム (G P S) デバイスと、モバイルフォンと

50

、セルラーフォンと、スマートフォンと、セッション開始プロトコル（SIP）フォンと、タブレットと、ファブレットと、サーバと、コンピュータと、ポータブルコンピュータと、モバイルコンピューティングデバイスと、ウェアラブルコンピューティングデバイスと、デスクトップコンピュータと、携帯情報端末（PDA）と、モニタと、コンピュータモニタと、テレビジョンと、チューナーと、無線機と、衛星無線機と、音楽プレーヤと、デジタル音楽プレーヤと、ポータブル音楽プレーヤと、デジタルビデオプレーヤと、ビデオプレーヤと、デジタルビデオディスク（DVD）プレーヤと、ポータブルデジタルビデオプレーヤと、自動車と、ビークル構成要素と、アビオニクスシステムと、ドローンと、マルチコプターとからなるグループから選択されたデバイスに組み込まれる、条項 1 から 15 のいずれかに記載の IC パッケージ。

10

【0074】

条項 17 . IC パッケージを作製する方法であって、
 複数のパッケージ基板相互接続を備えるパッケージ基板を形成することと、
 パッケージ基板上に再配線層（RDL）基板を形成することと、形成することが、
 RDL 相互接続を各々備える複数の再配線金属線を備える RDL 層を形成することと

、
 複数の基板相互接続を備える基板層を形成することと、
 RDL 層と基板層との間にキャパシタを配設することとを備える、
 キャパシタに電氣的に結合され、IC チップの複数のダイ相互接続の中の少なくとも 1 つのダイ相互接続に電氣的に結合されるように構成された、少なくとも 1 つの垂直相互接続アクセス（ビア）を形成することと、

20

IC チップの複数のダイ相互接続の中の少なくとも 1 つのダイ相互接続を、複数の再配線金属線の中の少なくとも 1 つの RDL 相互接続に結合することと
 を備える、方法。

【0075】

条項 18 . 基板層を形成することが、第 2 の RDL 相互接続を各々備える複数の第 2 の再配線金属線を備える第 2 の RDL 層を形成することを備え、

複数のパッケージ基板相互接続の中の少なくとも 1 つのパッケージ基板相互接続を複数の第 2 の RDL 相互接続の中の少なくとも 1 つの第 2 の RDL 相互接続に結合することをさらに備え、

30

RDL 層と基板層との間にキャパシタを配設することが、RDL 層と第 2 の RDL 層との間にキャパシタを配設することを備える、

条項 17 に記載の方法。

【0076】

条項 19 . 複数のダイ相互接続の中の少なくとも 1 つのダイ相互接続と、複数の基板相互接続の中の少なくとも 1 つの基板相互接続とに電氣的に結合された少なくとも 1 つの第 2 のビアを形成することをさらに備える、条項 17 から 18 のいずれかに記載の方法。

【0077】

条項 20 . 少なくとも 1 つの第 2 のビアを形成することが、キャパシタの垂直経路外に少なくとも 1 つの第 2 のビアを形成することをさらに備える、条項 19 に記載の方法。

40

【0078】

条項 21 . 基板層を形成することが、第 2 の RDL 相互接続を各々備える複数の第 2 の再配線金属線を備える第 2 の RDL 層を、複数の第 2 の再配線金属線の中の第 2 の RDL 相互接続を第 2 の RDL 相互接続の中の少なくとも 1 つの第 2 の RDL 相互接続に電氣的に結合するために、パッケージ基板上に形成することを備える、条項 17 および 19 から 20 のいずれかに記載の方法。

【0079】

条項 22 . 第 2 の RDL 層に隣接するキャパシタの第 2 の側の反対側のキャパシタの第 1 の側の上方にパッシベーション層を形成することをさらに備える、条項 21 に記載の方法。

50

【 0 0 8 0 】

条項 2 3 . 少なくとも 1 つのビアと、少なくとも 1 つの第 2 のビアと、キャパシタとの上に、誘電体材料を備える誘電体層を形成することをさらに備える、条項 1 9 から 2 2 のいずれかに記載の方法。

【 0 0 8 1 】

条項 2 4 . 少なくとも 1 つのビアの各々の上部表面を誘電体層から露出するために、誘電体層の表面を研削する (grind) ことをさらに備える、条項 2 3 に記載の方法。

【 0 0 8 2 】

条項 2 5 . 少なくとも 1 つのビアを複数の再配線金属線の中の少なくとも 1 つの R D L 相互接続に電気的に結合するために、第 2 の R D L 層の反対側の誘電体層の第 1 の側で誘電体層の上方に R D L 層を形成することをさらに備える、条項 2 4 に記載の方法。 10

【 0 0 8 3 】

条項 2 6 . キャリアを与えることと、
キャリア上に複数の第 2 のビアを形成することと
をさらに備える、条項 1 7 から 2 5 のいずれかに記載の方法。

【 0 0 8 4 】

条項 2 7 . 再配線層 (R D L) 基板であって、
R D L 相互接続を各々備える複数の再配線金属線を備える R D L 層と、
複数の基板相互接続を備える基板層と、
R D L 層と基板層との間に配設された誘電体材料を備える誘電体層と、 20
誘電体層に埋め込まれたキャパシタパッケージと、キャパシタパッケージがキャパシタを備える、
キャパシタパッケージを通して配設され、複数の R D L 相互接続の中の R D L 相互接続に電気的に結合された、複数のスルーシリコン垂直相互接続アクセス (ビア) (T S V) と
を備える、再配線層 (R D L) 基板。

【 0 0 8 5 】

条項 2 8 . キャパシタパッケージが、キャパシタに結合された少なくとも 1 つの金属線を備える金属層をさらに備え、
複数の T S V の中の少なくとも 1 つの T S V が、キャパシタに結合された少なくとも 1 30
つの金属線に結合される、
条項 2 7 に記載の R D L 基板。

【 0 0 8 6 】

条項 2 9 . 複数の T S V の中の少なくとも 1 つの T S V が、基板層中の複数の基板相互接続の中の少なくとも 1 つの基板相互接続に結合される、条項 2 7 に記載の R D L 基板。

【 0 0 8 7 】

条項 3 0 . 基板層が、第 2 の R D L 相互接続を各々備える複数の第 2 の再配線金属線を備える第 2 の R D L 層を備える、条項 2 7 から 2 9 のいずれかに記載の R D L 基板。

【 0 0 8 8 】

条項 3 1 . R D L 層が外側表面を備え、複数の再配線金属線の R D L 相互接続が外側表面を通して配設される、条項 2 7 から 3 0 のいずれかに記載の R D L 基板。 40

【 0 0 8 9 】

条項 3 2 . キャパシタパッケージと R D L 層との間に配設されたパッシベーション層をさらに備える、条項 2 7 から 3 1 のいずれかに記載の R D L 基板。

【 0 0 9 0 】

条項 3 3 . 複数の T S V が、パッシベーション層を通過して延びる、条項 3 2 に記載の R D L 基板。

【 0 0 9 1 】

条項 3 4 . 複数の T S V の高さ対幅のアスペクト比が、少なくとも 2 マイクロメートル 50

ル (μm) である、条項 27 から 33 のいずれかに記載の RDL 基板。

【 0092 】

条項 35 . 誘電体層を通して配設され、複数の RDL 相互接続の中の RDL 相互接続と、複数の基板相互接続の中の基板相互接続とに電氣的に結合された、複数のビアをさらに備える、条項 27 から 34 のいずれかに記載の RDL 基板。

【 0093 】

条項 36 . RDL 基板の誘電体層を通して配設され、RDL 層における複数の RDL 相互接続の中の RDL 相互接続と、基板層における複数の基板相互接続の中の基板相互接続とに電氣的に結合された、複数の第 2 のビアをさらに備える、条項 27 から 35 のいずれかに記載の RDL 基板。

10

【 0094 】

条項 37 . 複数の第 2 のビアの高さ対幅のアスペクト比が、少なくとも 1.0 である、条項 36 に記載の RDL 基板。

【 0095 】

条項 38 . 複数の第 2 のビアが、RDL 基板の誘電体層を通してキャパシタパッケージの外に配設される、条項 36 から 37 のいずれかに記載の RDL 基板。

【 0096 】

条項 39 . キャパシタパッケージが、誘電体材料を備える誘電体層を備え、ここにおいて、キャパシタが、誘電体層に埋め込まれる、条項 27 から 38 のいずれかに記載の RDL 基板。

20

【 図面 】

【 図 1 】

【 図 2 】

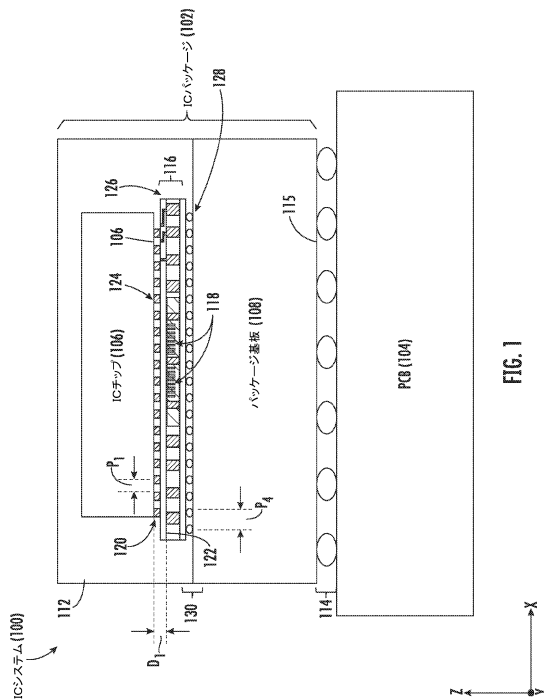


FIG. 1

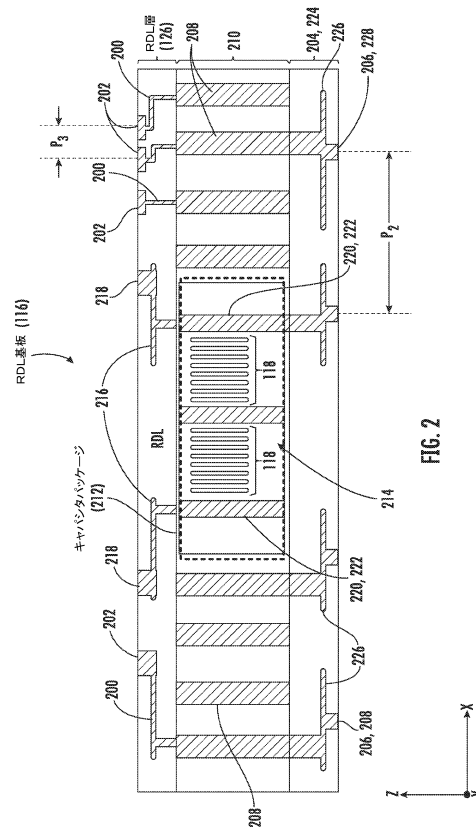


FIG. 2

30

40

50

【 図 3 】

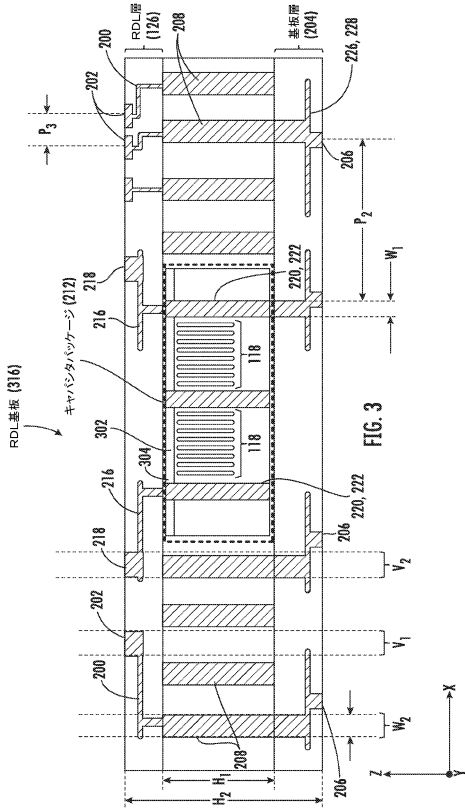


FIG. 3

【 図 4 】

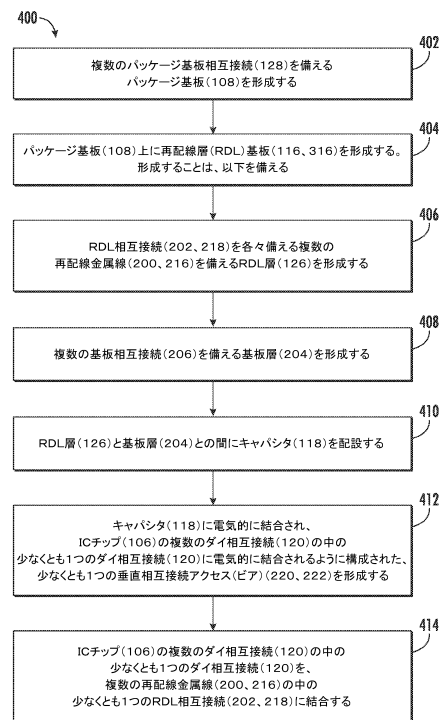


FIG. 4

【 図 5 A 】

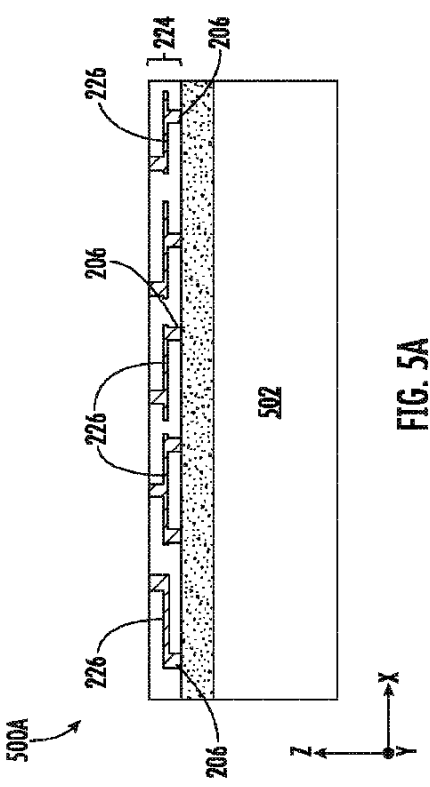


FIG. 5A

【 図 5 B 】

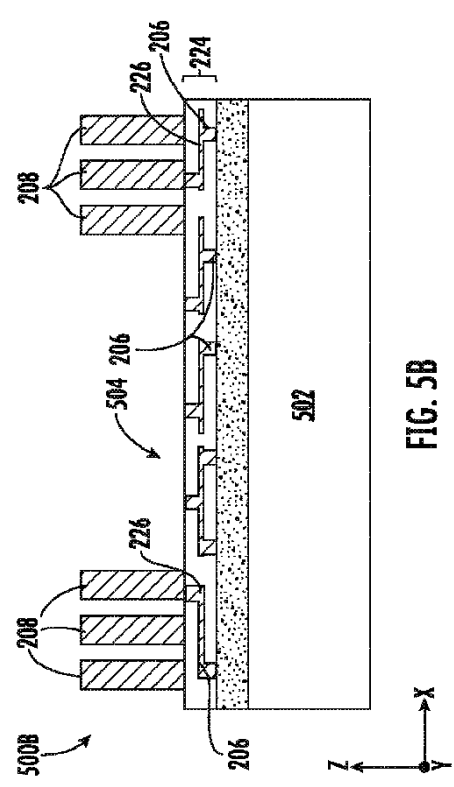


FIG. 5B

10

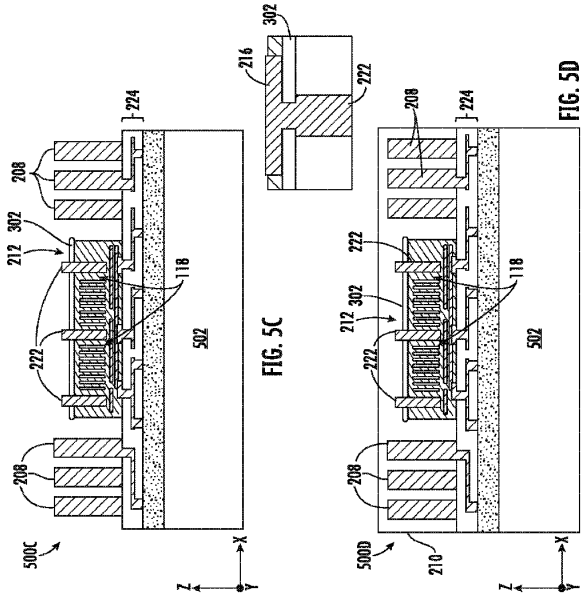
20

30

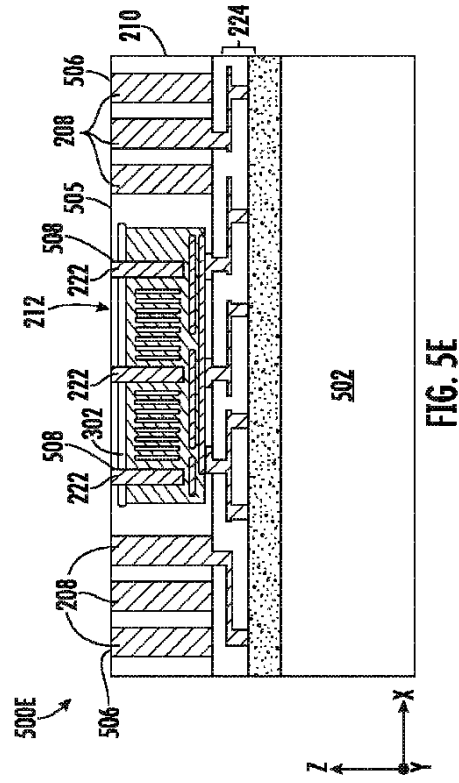
40

50

【 図 5 C - 5 D 】



【 図 5 E 】



10

20

【 図 5 F 】

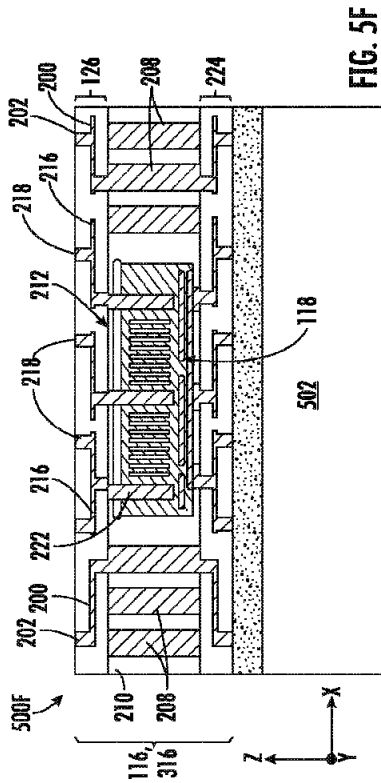


FIG. 5F

30

【 図 5 G 】

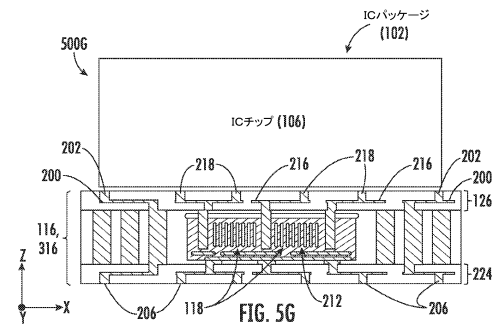


FIG. 5G

40

50

【 図 6 A 】

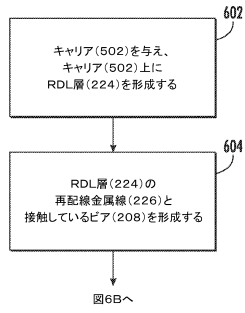


FIG. 6A

【 図 6 B 】

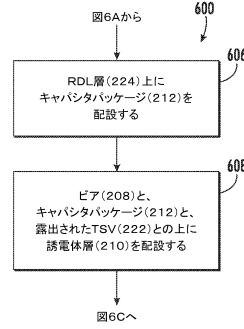


FIG. 6B

10

20

【 図 6 C 】

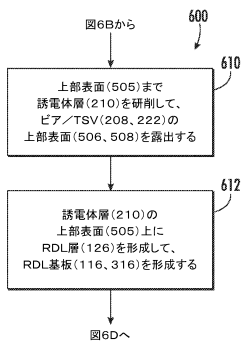


FIG. 6C

【 図 6 D 】

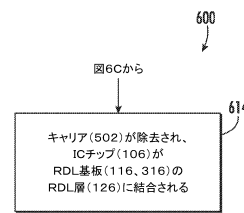


FIG. 6D

30

40

50

【 図 7 A 】

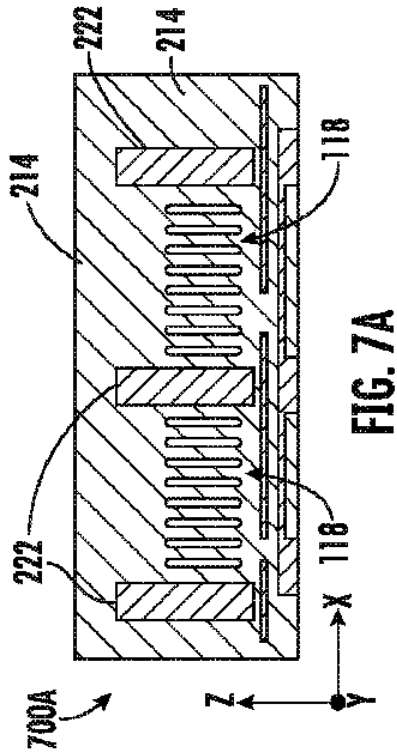


FIG. 7A

【 図 7 B 】

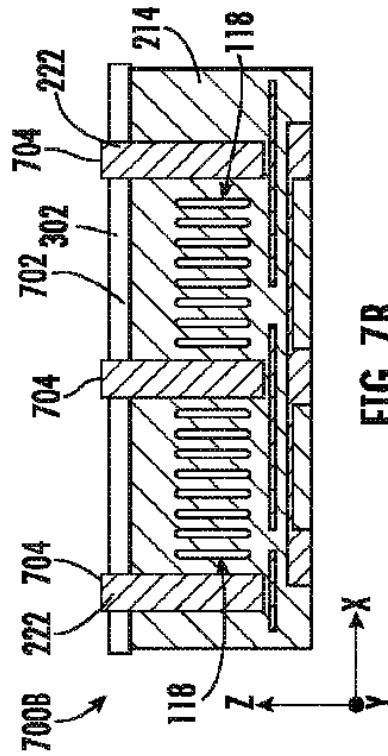


FIG. 7B

10

20

【 図 7 C 】

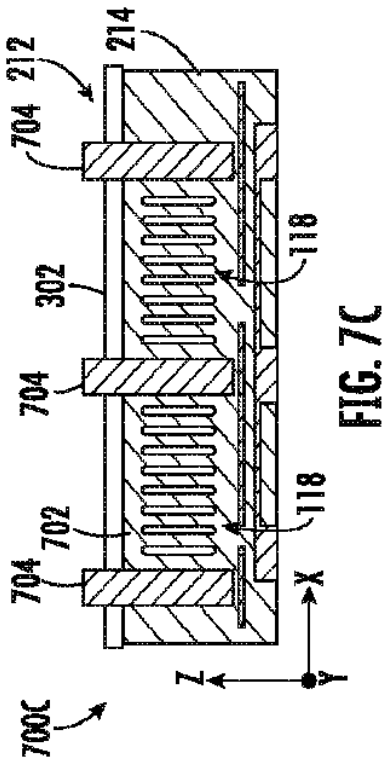


FIG. 7C

【 図 8 】

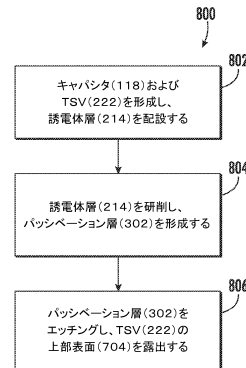


FIG. 8

30

40

50

【 図 9 A 】

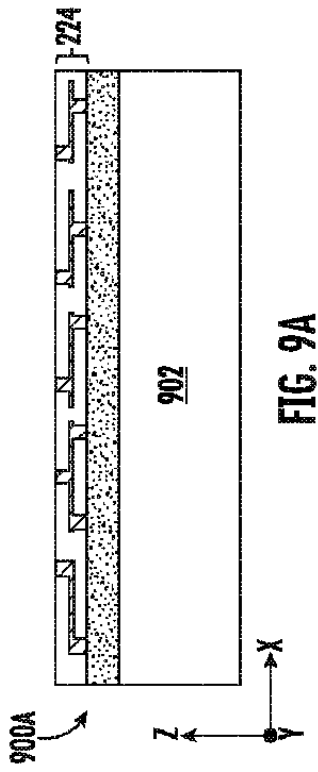


FIG. 9A

【 図 9 B 】

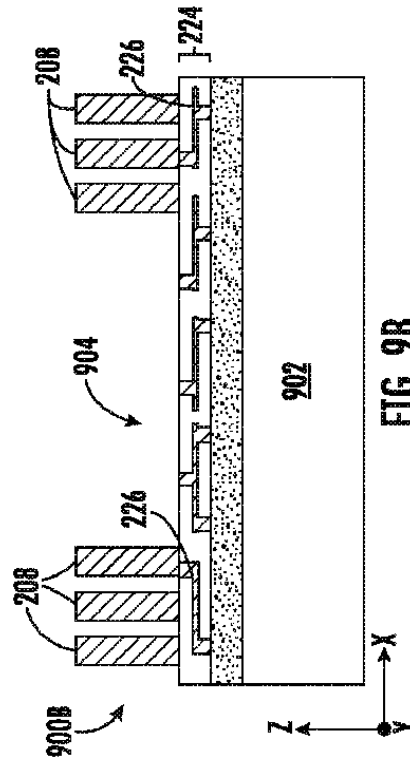


FIG. 9B

10

20

【 図 9 C 】

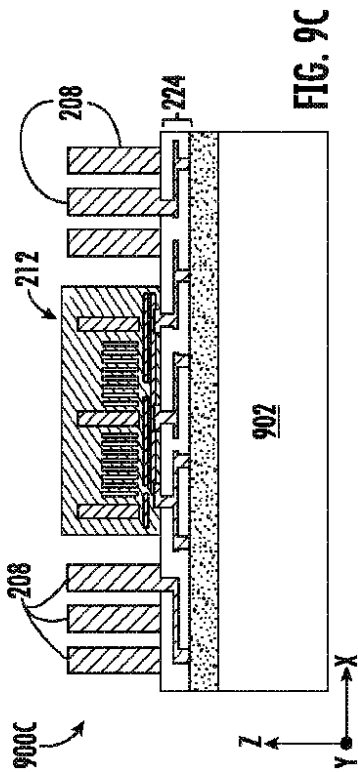


FIG. 9C

【 図 9 D 】

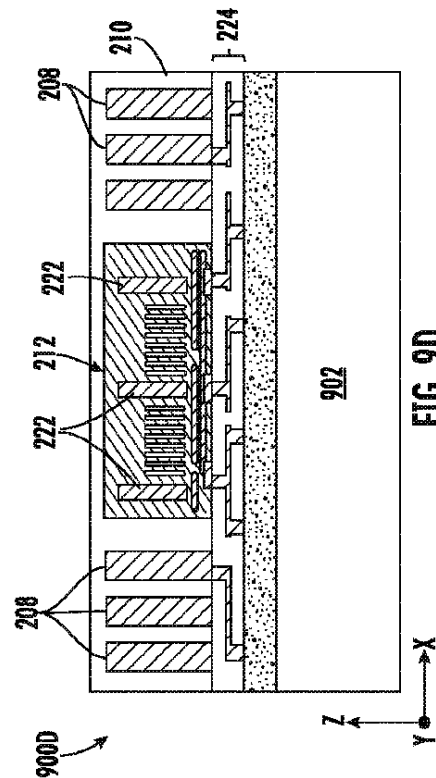


FIG. 9D

30

40

50

【 図 9 E 】

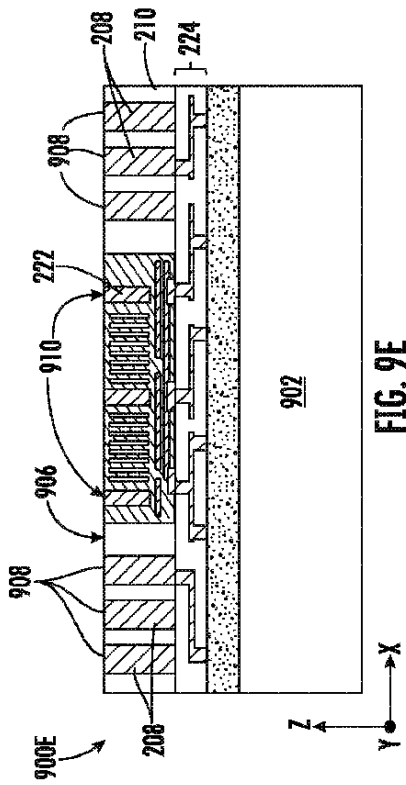


FIG. 9E

【 図 9 F 】

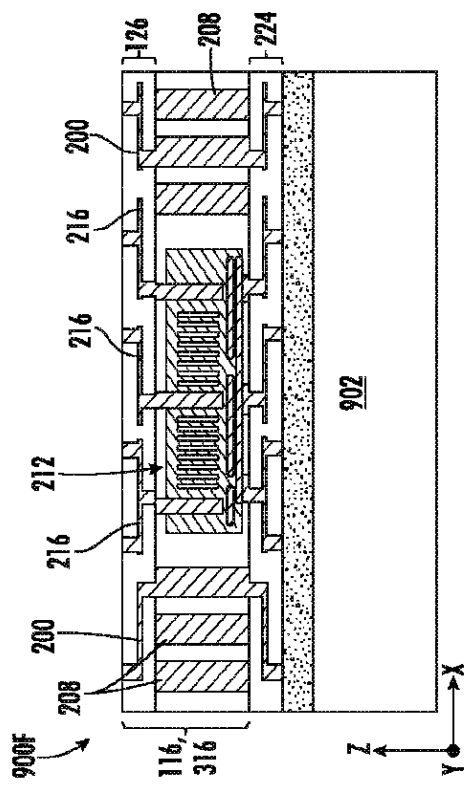


FIG. 9F

10

20

【 図 9 G 】

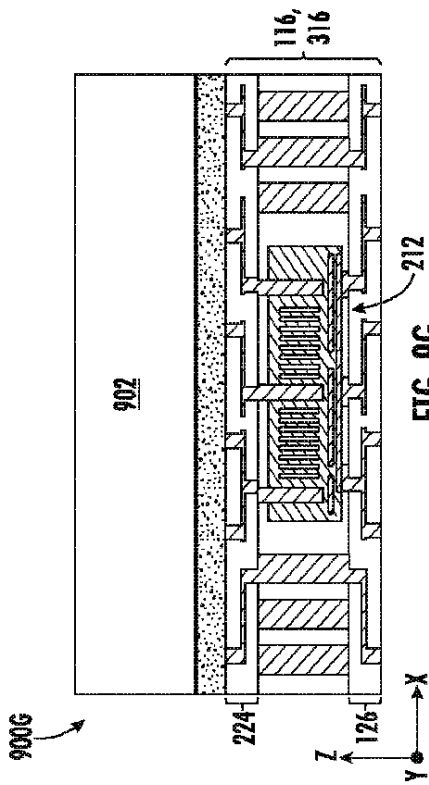


FIG. 9G

【 図 9 H 】

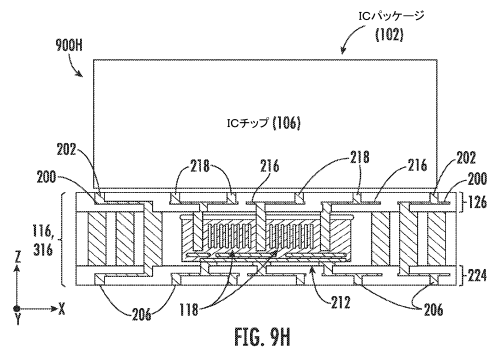


FIG. 9H

30

40

50

【 図 1 0 A 】

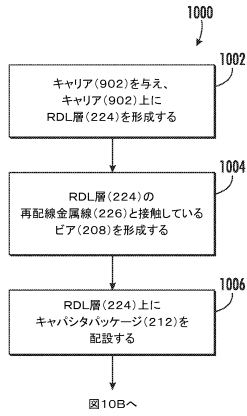


FIG. 10A

【 図 1 0 B 】

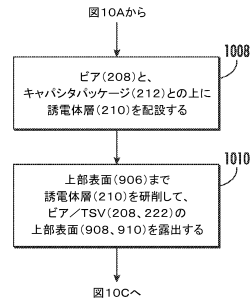


FIG. 10B

10

20

【 図 1 0 C 】

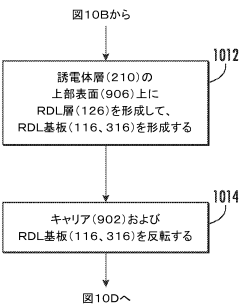


FIG. 10C

【 図 1 0 D 】

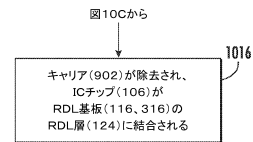


FIG. 10D

30

40

50

【 図 1 1 A 】

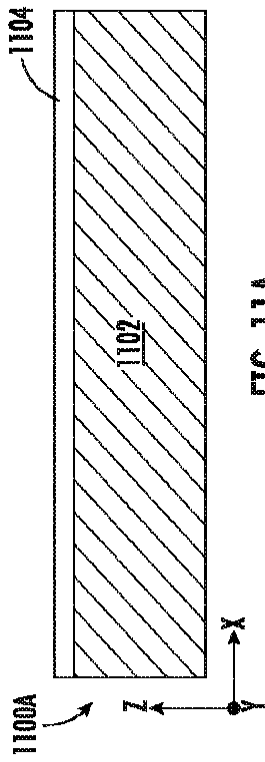


FIG. 11A

【 図 1 1 B 】

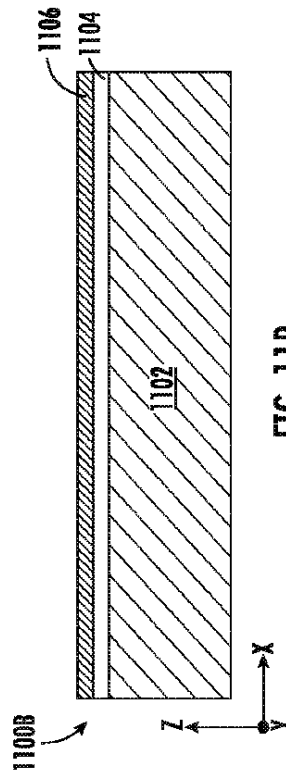


FIG. 11B

10

20

【 図 1 1 C 】

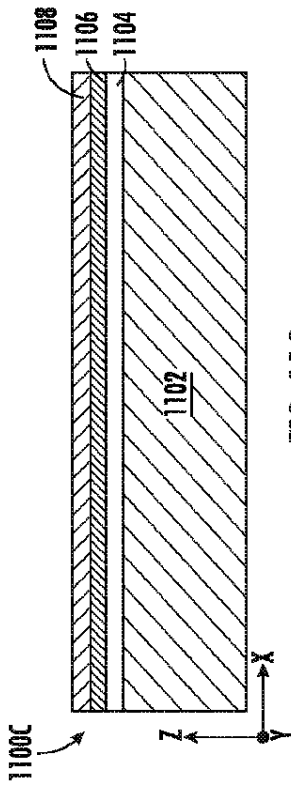


FIG. 11C

【 図 1 1 D 】

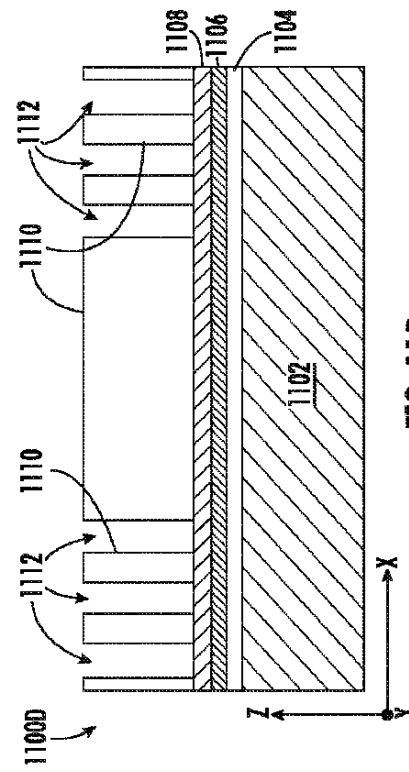


FIG. 11D

30

40

50

【 図 1 1 E 】

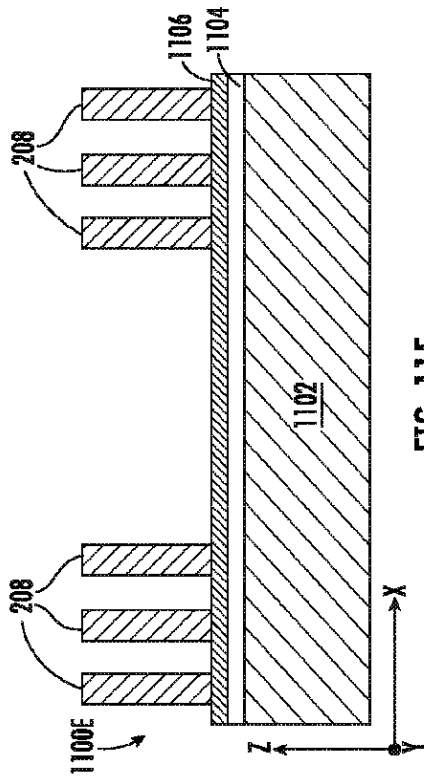


FIG. 11E

【 図 1 1 F 】

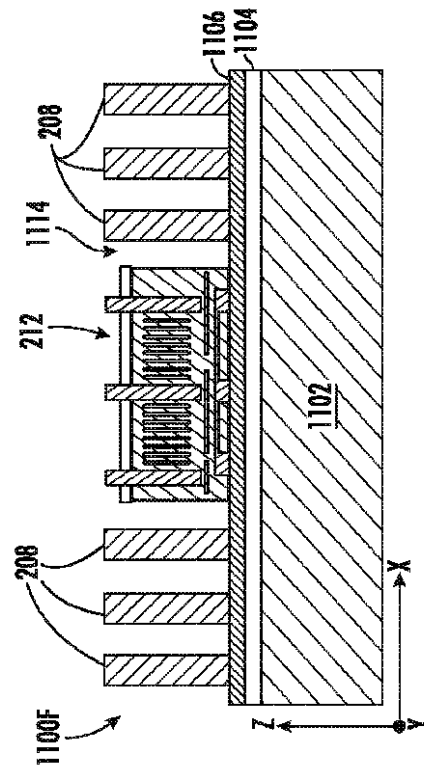


FIG. 11F

10

20

【 図 1 1 G 】

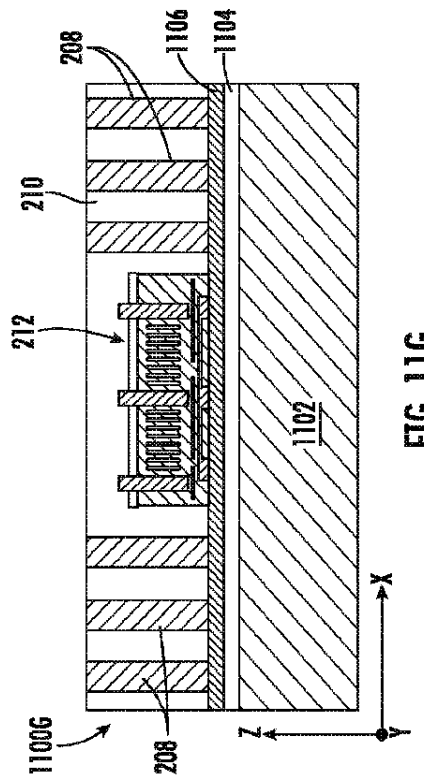


FIG. 11G

【 図 1 1 H 】

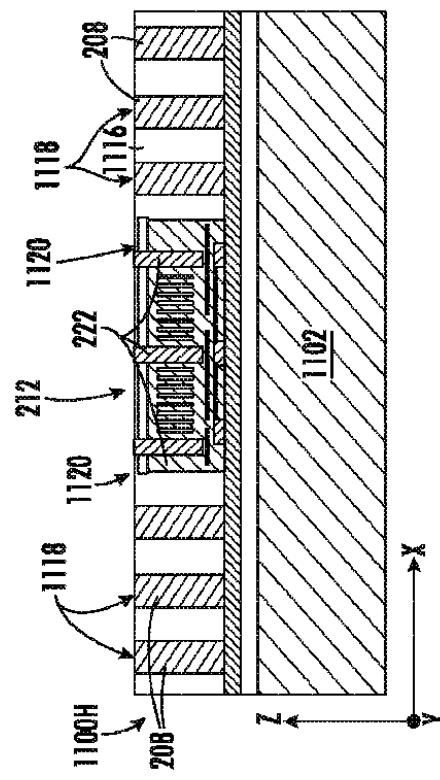


FIG. 11H

30

40

50

【図 11 I】

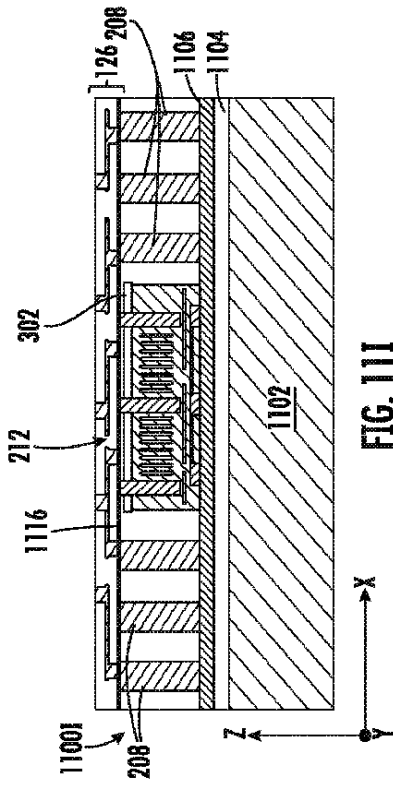


FIG. 11I

【図 11 J】

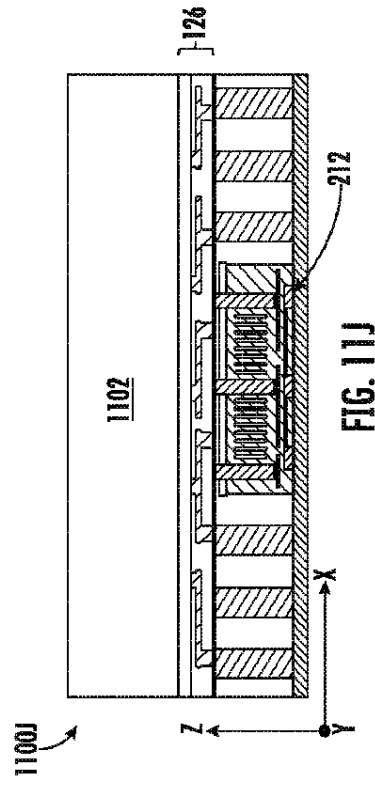


FIG. 11J

10

20

【図 11 K】

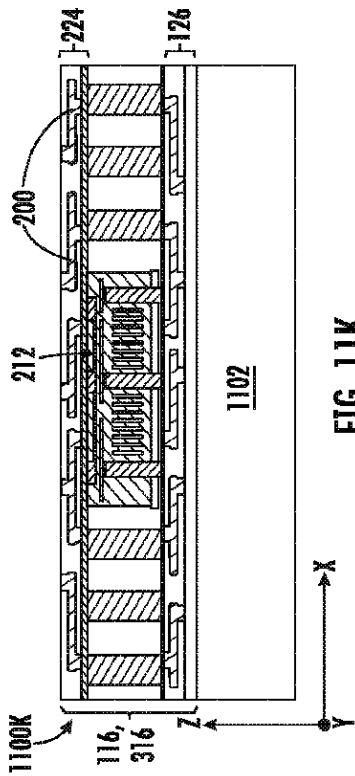


FIG. 11K

【図 11 L】

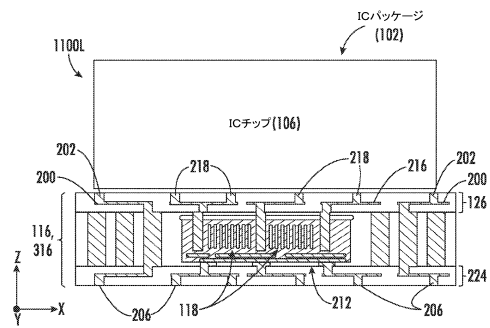


FIG. 11L

30

40

50

【 図 1 2 A 】

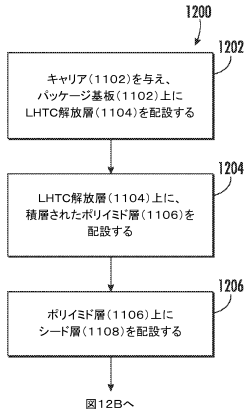


FIG. 12A

【 図 1 2 B 】

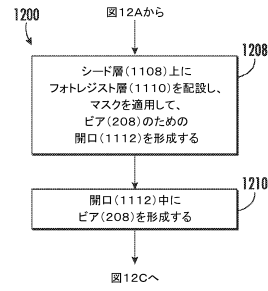


FIG. 12B

10

20

【 図 1 2 C 】

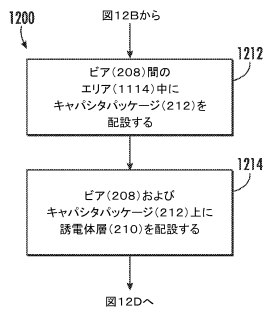


FIG. 12C

【 図 1 2 D 】

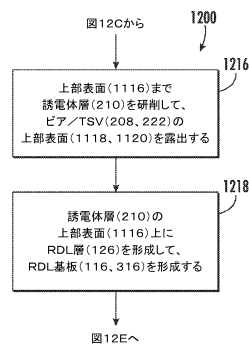


FIG. 12D

30

40

50

【 図 1 2 E 】

【 図 1 2 F 】

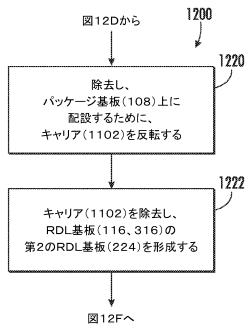


FIG. 12E

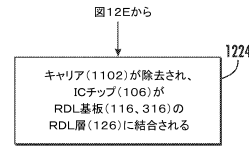


FIG. 12F

10

20

【 図 1 3 】

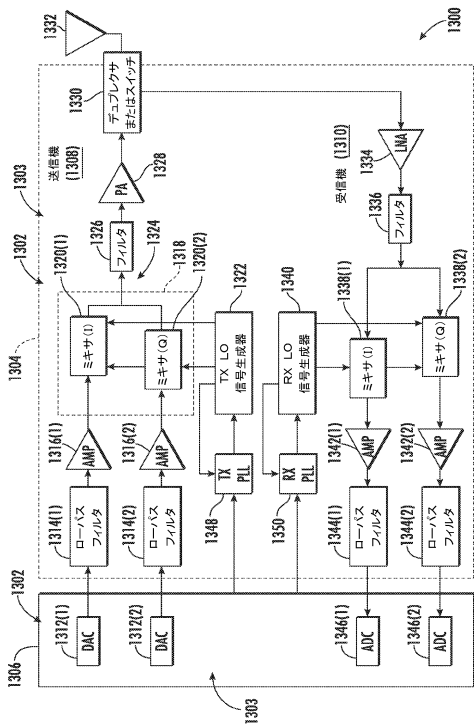


FIG. 13

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/071621

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L23/498 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/038981 A1 (IMANAKA YOSHIHIKO [JP] ET AL) 14 February 2013 (2013-02-14) figure 18 -----	1, 9, 17, 23, 27, 31, 39
Y	US 9 935 052 B1 (LIU HUI [US] ET AL) 3 April 2018 (2018-04-03) figure 4 -----	1-8, 10-22, 24-30, 32-38
Y	US 2005/207091 A1 (KAMBE ROKURO [JP] ET AL) 22 September 2005 (2005-09-22) figure 4 -----	1-8, 10-22, 24-30, 32-38
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 July 2022		Date of mailing of the international search report 22/07/2022
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Kästner, Martin

Form PCT/ISA/210 (second sheet) (April 2005)

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2022/071621

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013038981 A1	14-02-2013	JP 5429019 B2	26-02-2014
		JP 2011228390 A	10-11-2011
		US 2013038981 A1	14-02-2013
		WO 2011129360 A1	20-10-2011

US 9935052 B1	03-04-2018	NONE	

US 2005207091 A1	22-09-2005	JP 2005039243 A	10-02-2005
		US 2005207091 A1	22-09-2005

US 2017338207 A1	23-11-2017	CN 107393865 A	24-11-2017
		US 2017338207 A1	23-11-2017
		US 2018122781 A1	03-05-2018

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ, TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ストーン、ウィリアム

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 シュ、ジエンウェン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 キム、ジョンヘ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 チダムバラム、ペリアンナン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 シェイド、アフメル

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

【要約の続き】

イ相互接続 I C チップとの拡張された接続性適合性を提供する。