



[12] 发明专利说明书

[21] ZL 专利号 98107762.5

[45] 授权公告日 2003 年 10 月 22 日

[11] 授权公告号 CN 1125465C

[22] 申请日 1998.4.29 [21] 申请号 98107762.5

[71] 专利权人 世界先进积体电路股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 林元泰 霍华德·C·基尔希

审查员 邓 茜

[74] 专利代理机构 北京市柳沈律师事务所

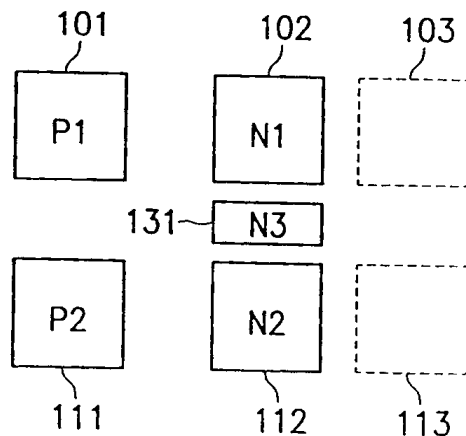
代理人 马 莹

权利要求书 3 页 说明书 5 页 附图 5 页

[54] 发明名称 存储器中的字线解码器电路的形成方法及其构造

[57] 摘要

本发明是一种减少存储器中区域字线解码器的半导体面积的方法和电路。该区域字线解码器的半导体面积的减少可借助去除具有三个晶体管的区域字线解码器中的一个晶体管，以及加入可供二个区域字线解码器共用的第五个晶体管来实现。因为该第五个晶体管被安置在二个已存在的晶体管之间而不会增加任何面积，所以被去除的两个晶体管所占用的面积可不再需要。



- 1.一种在半导体存储器中的一第一区域字线解码器和第二区域字线解码器间共享一n型金属氧化物半导体的方法,包括步骤:
- 5 提供具有一第一区域字线的一第一区域字线解码器;
提供具有一第二区域字线的一第二区域字线解码器;
提供一n型沟道金属氧化物半导体器件;
将该n型沟道金属氧化物半导体器件连接于该第一区域字线和该第二区域字线之间;以及
- 10 在该第一区域字线解码器和该第二区域字线解码器之间共享该n型沟道金属氧化物半导体器件。
- 2.如权利要求1所述的方法,其中所述n型金属氧化物半导体器件参与所述第一区域字线的解码。
- 3.如权利要求1所述的方法,其中所述n型金属氧化物半导体器件参与所述第二区域字线的解码。
- 15 4.一种具有可供一第一区域字线解码器和第二区域字线解码器共享的一n型金属氧化物半导体的一字线解码器电路,包括:
一参考电位;
一第一区域字线解码器,用来起动一第一区域字线,具有一输入
20 (mwln0)、输入(wldr)及输出(1w10),该第一区域字线解码器起动该输出(1w10);
一第二区域字线解码器,用来起动一第二区域字线,其具有一输入(mwln1)、输入(wldr)及输出(1w11),该第二区域字线解码器起动该输出(1w11);以及
- 25 一n型金属氧化物半导体器件,它连接于该第一区域字线解码器的输出(1w10)和该第二区域字线解码器的输出(1w11)之间,且具有一输入(wldrn)。
- 5.如权利要求4所述的字线解码器电路,其中所述第一区域字线解码器包括:
- 30 一第一p型沟道晶体管,其具有一源极-漏极路径及一栅极,该第一p型沟道晶体管的该源极-漏极路径连接到所述输入(wldr)和所述输出(1w10)

之间，而该第一 p 型沟道晶体管的该栅极连接到所述输入(mw1n0)；

一第一 n 型沟道晶体管，其具有一漏极 - 源极路径及一栅极，该第一 n 型沟道晶体管的该漏极 - 源极连接到所述输出(1w10)及所述参考电位之间，而该第一 n 型沟道晶体管的该栅极连接到所述输入(mw1n0)。

5 6. 如权利要求 4 所述的字线解码器电路，其中所述第二区域字线解码器包括：

一第二 p 型沟道晶体管，其具有一源极 - 漏极路径及一栅极，该第二 p 型沟道晶体管的该源极 - 漏极路径连接于所述输入(w1dr)和所述输出(1w11)之间，而该第二 p 型沟道晶体管的该栅极连接到所述输入(mw1n1)；

10 一第二 n 型沟道晶体管，其具有一漏极 - 源极路径及一栅极，该第二 n 型沟道晶体管的该漏极 - 源极路径连接于所述输出(1w11)及所述参考电位之间，而该第二 n 型沟道晶体管的该栅极连接到所述输入(mw1n1)。

7. 如权利要求 4 所述的字线解码器电路，其中所述 n 型沟道金属氧化物半导体器件包括：

15 一第三 n 型沟道晶体管，其具有一漏极 - 源极路径及一栅极，该第三 n 型沟道晶体管的该漏极 - 源极连接于所述输出(1w10)和所述输出(1w11)之间，而该第三 n 型沟道晶体管的该栅极连接到所述输入(w1drn)。

8. 一种具有可供一第一区域字线解码器和第二区域字线解码器共享的一 n 型金属氧化物半导体的一字线解码器电路的结构，包括：

20 一第一 n 型沟道晶体管，其具有一第一 n 型区域、第二 n 型区域及第一金属氧化物栅极，所述第一 n 型区域借助所述第一金属氧化物栅极而与所述第二 n 型区域隔离；

25 一第二 n 型沟道晶体管，其具有一第三 n 型区域、第四 n 型区域及第二金属氧化物栅极，所述第三 n 型区域借助所述第二金属氧化物栅极而与第四 n 型区域隔离；以及

一第三 n 型沟道晶体管，其具有该第二 n 型区域、第三 n 型区域及第三金属氧化物栅极，所述第二 n 型区域借助所述第三金属氧化物栅极而与第三 n 型区域隔离；

30 一第一 p 型沟道晶体管，其具有一第一 p 型区域、第二 p 型区域及第一金属氧化物栅极；以及

一第二 p 型沟道晶体管，其具有一第三 p 型区域、第四 p 型区域及第

二金属氧化物栅极;

其中所述第一 p 型沟道晶体管靠近所述第一 n 型沟道晶体管, 所述第二 p 型沟道晶体管靠近所述第二 n 型沟道晶体管。

5 9. 如权利要求 8 所述的一字线解码器电路的结构, 其中所有所述 n 型区域位于一有源区域中。

10. 如权利要求 8 所述的一字线解码器电路的结构, 其中所述金属氧化物栅极在所述 n 型区域中彼此平行。

11. 如权利要求 8 所述的一字线解码器电路的结构, 其中所述金属氧化物栅极在所述 p 型区域中彼此平行。

存储器中的字线解码器电路
的形成方法及其构造

5

本发明有关于半导体存储器，特别有关于减少区域字线解码器的半导体面积。

参考图 1，该图示出依据现有技术的二个区域字线解码器，而一区域字线解码器具有三个晶体管。如图 1 所示，其表示用来解码区域字线 0 的一电路 100 及用来解码区域字线 1 的一电路 110。p 型沟道晶体管(P1)101 及 n 型沟道晶体管(N1)102 在字线驱动输入 107 和一参考电位 109 之间以串联形式连接在一起。输入(mw1n0)104 连接到晶体管 101 与 102 的栅极。输出(1w10)106 连接到晶体管 101 及 102 的连接处。n 型沟道晶体管(N11)103 的漏极和源极分别连接于输出 106 和参考电位 109。晶体管 103 的栅极连接到输入(w1drn)108，此输入(w1drn)108 的信号与字线驱动输入 107 的信号反相。

10
15

现参考图 2，该图示出图 1 中电路的实际布置。晶体管(P1)101、(N1)102、(N11)103、(P2)111、(N2)112 及(N21)113 以二列三行方式排列。尺寸 Y 是由存储器单元间的距离所决定的。参考图 3，其表示出晶体管 N1 和 N2 的更详细的布置。401 和 402 为晶体管 N1 的有源区(AA)或 n 型区域(源极或漏极)。区域 405 为晶体管 N1 的金属氧化物栅极。403 和 404 为晶体管 N2 的有源区(AA)或 n 型区域(源极或漏极)。区域 406 为晶体管 N2 的金属氧化物栅极。n 型区域 402 和 403 分别连接到输出(1w10)106 及输出(1w11)116。

20

美国专利 5,446,698(McClure)针对区域字线的一多余全域字线而公开，但区域字线解码器的细节并没有被讨论。美国专利 5,587,960(FERRIS)公开一具有副位线的半导体存储器，但是并没有讨论副字线解码器的细节。

25

本发明的第一目的是提供一可减少存储器中区域字线解码器的半导体面积的方法和电路，用于在半导体存储器中的一第一区域字线解码器和第二区域字线解码器间共享一 n 型金属氧化物半导体，该方法包括步骤：提供具有一第一区域字线的一第一区域字线解码器；提供具有一第二区域字线的一第二区域字线解码器；提供一 n 型沟道金属氧化物半导体器件；将该 n 型沟道金属氧化物半导体器件连接于该第一区域字线和该第二区域字线之

30

间；以及在该第一区域字线解码器和该第二区域字线解码器之间共享该 n 型沟道金属氧化物半导体器件。

本发明的第二目的提供一种具有可供一第一区域字线解码器和第二区域字线解码器共享的一 n 型金属氧化物半导体的一字线解码器电路，包括：
5 一参考电位；一第一区域字线解码器，用来起动一第一区域字线，具有一输入(mw1n0)、输入(w1dr)及输出(1w10)，该第一区域字线解码器起动该输出(1w10)；一第二区域字线解码器，用来起动一第二区域字线，其具有一输入(mw1n1)、输入(w1dr)及输出(1w11)，该第二区域字线解码器起动该输出(1w11)；以及一 n 型金属氧化物半导体器件，它连接于该第一区域字线解码器
10 的输出(1w10)和该第二区域字线解码器的输出(1w11)之间，且具有一输入(w1drn)。根据该解码电路，可减少存储器晶片的面积。

本发明的第三目的提供一种具有可供一第一区域字线解码器和第二区域字线解码器共享的一 n 型金属氧化物半导体的一字线解码器电路的结构，包括：一第一 n 型沟道晶体管，其具有一第一 n 型区域、第二 n 型区域及
15 第一金属氧化物栅极，所述第一 n 型区域借助所述第一金属氧化物栅极而与所述第二 n 型区域隔离；一第二 n 型沟道晶体管，其具有一第三 n 型区域、第四 n 型区域及第二金属氧化物栅极，所述第三 n 型区域借助所述第二金属氧化物栅极而与所述第四 n 型区域隔离；以及一第三 n 型沟道晶体管，其具有该第二 n 型区域、第三 n 型区域及第三金属氧化物栅极，所述
20 第二 n 型区域借助所述第三金属氧化物栅极而与所述第三 n 型区域隔离；一第一 p 型沟道晶体管，其具有一第一 p 型区域、第二 p 型区域及第一金属氧化物栅极；以及一第二 p 型沟道晶体管，其具有一第三 p 型区域、第四 p 型区域及第二金属氧化物栅极；其中所述第一 p 型沟道晶体管靠近所述第一 n 型沟道晶体管，所述第二 p 型沟道晶体管靠近所述第二 n 型沟道
25 晶体管。根据该结构，可改善存储器单元的运用。

本发明上述的目的可借助去除具有三个晶体管的区域字线解码器中的一个晶体管，以及加入可供二个区域字线解码器共用的第五个晶体管来达到。因上述第五个晶体管被安置在二个已存在的晶体管之间而不会增加任何面积，所以被去除的两个晶体管所占用的面积可不再需要。

30 为了让本发明的上述目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合所附附图，作详细说明如下，附图中，

图 1 示出用以说明依据现有技术的字线解码器的电路图；

图 2 示出用以说明图 1 中字线解码器的实际布置；

图 3 示出用以说明图 2 的部分详细示意图；

图 4 示出用以说明本发明的高阶方框图；

5 图 5 示出用以说明依据本发明一较佳实施例的字线解码器的电路图；

图 6 示出图 5 中电路的输入和输出信号图；

图 7 示出用以说明图 5 中电路的实际字线解码器布置；以及

图 8 示出用以说明图 7 的部分详细示意图。

符号说明：

10 100 为用来解码区域字线 0 的电路、110 为用来解码区域字线 1 的电路、
101 为晶体管(P1)、102 为晶体管(N1)、103 为晶体管(N11)、111 为晶体管(P2)、
112 为晶体管(N2)、113 为晶体管(N21)、104 为主要字线输入 ϕ (mw1n0)、106
为区域字线输出 ϕ (1w10)、107 为字线驱动输入(w1dr)、108 为字线反相驱动
输入(w1drn)、109 为参考电位、114 为主要字线输入 I(mw1n1)、116 为区域
15 字线输出 I(1w11)、131 为晶体管(N3)、501 为第一区域字线解码器、502 为
第二区域字线解码器、503 为 NMOS 器件、401 和 402 为晶体管(N1)的有源
区(AA)、405 为晶体管 N1 的金属氧化物栅极、403 和 404 为晶体管(N2)的有
源区(AA)、406 为晶体管(N2)的金属氧化物栅极、曲线 1 为主要字线输入 ϕ
(mw1n0)上的信号、曲线 2 为主要字线输入 I(mw1n1)上的信号、曲线 3 为字
20 线驱动输入(w1dr)107 上的信号、曲线 4 为字线反相驱动输入(w1drn)108 上
的信号、曲线 5 为区域字线输出 ϕ (1w10)106 上的信号、曲线 6 为区域字线
输出 I(1w11)116 的信号。

实施例

参考图 4，该图示出在一半导体存储器中第一区域字线解码器和第二区
25 域字线解码器共用一 n 型沟道金属氧化物半导体(NMOS)器件。方块 501 为
具有一第一区域字线(1w10)106 做为输出的一第一区域字线解码器。方块 502
为具有一第二区域字线(1w11)116 做为输出的一第二区域字线解码器。接下
来，方块 503 为连接于上述第一区域字线(1w10)106 和第二区域字线
(1w11)116 之间的 NMOS 器件。因此，方块 503 由第一区域字线解码器和第
30 二区域字线解码器共用，其参与第一区域字线和第二区域字线的解码。

现参考图 5，该图示出依据本发明一较佳实施例的电路图。解码器 500

包括二个区域字线解码器 501、502 以及器件 503。第一区域字线解码器 501 具有一主要字线输入 ϕ (mwln0)104、p 型沟道晶体管(P1)101、n 型沟道晶体管(N1)102 及第一区域字线输出 ϕ (1w10)106，用来将第一主要字线解码。第二区域字线解码器 502 具有一主要字线输入 I(mwln1)114、晶体管(P2)111、晶体管(N2)112 及第二区域字线输出 I(1w11)116，用来将第二主要字线解码。器件 503 为一 n 型沟道晶体管，它连接于输出(1w10)与输出(1w11)之间，并为这二个输出的解码所共享。

p 型沟道晶体管(P1)101 和 n 型沟道晶体管(N1)102 以串联形式连接于字线驱动输入(wldr)107 及一参考电位 109 之间。p 型沟道晶体管(P2)111 与 n 型沟道晶体管(N2)112 也具有相同的连接方式。晶体管 101 和 102 的栅极连接到输入 104，而晶体管 111 及 112 的栅极连接到输入 114。输出 106 连接到晶体管 101 和 102 的连接处。输出 116 连接到晶体管 111 和 112 的连接处。n 型沟道晶体管(N3)131 的源极和漏极分别连接到第一区域字输出 ϕ (1w10)106 和第二区域字输出 I(1w11)116，而 n 型沟道晶体管(N3)131 的栅极连接于字线反相驱动输入(wldrn)108。

现参考图 6，该图示出图 5 中电路的输入及输出信号。曲线 1 和 2 分别代表输入(mwln0)104 及输入(mwln1)114 上的信号，其中输入(mwln1)114 为一固定电位 V_h 。曲线 3 和 4 分别代表字线驱动输入(wldr)107 及字线反相驱动输入(wldrn)108 上的信号。曲线 5 表示出由于图 5 中的电路解码结果，而使得输出(1w10)106 在一周期间为一正电位。在本范围例中，因为区域字线解码器 502 没有被选择，所以曲线 6 显示输出(1w11)116 为 0 电位。

现参考图 7，该图示出图 5 的电路在一硅晶片上的晶体管排列。晶体管(P1)101、(N1)102、(P2)111 及(N2)112 为正交排列，其中晶体管(P1)和(P2)在同一行，而晶体管(N1)及(N2)是在另外一相邻行。此外，晶体管(P1)及(N1)是在同一列上，而晶体管(P2)和(N2)是在另外一相邻列上。一 n 型晶体管(N3)131 夹于晶体管(N1)和晶体管(N2)之间。值得注意的，是为节约空间，在本发明中已删除现有晶体管(N11)103 及(N21)113 所占的第三行。

参考图 8，该图示出晶体管(N1)、(N2)及(N3)的详细布置图。区域 401 和 402 代表电晶(N1)的有源区(AA)或 n 型区域(源极和漏极)，区域 405 为晶体管(N1)的金属氧化物栅极，其连接到输入(mwln0)104。区域 403 和 404 为晶体管(N2)的有源区(AA)或 n 型区域(源极和漏极)。区域 406 为晶体管(N2)

的金属氧化物栅极，其连接到输入(mw1n1)114。晶体管(N2)131 利用区域 402 和 403 做为其源极和漏极而安置于区域(AA)或 n 型区域 402 和 403 之间。因为插入 n 型沟道晶体管 N3，所以区域 402 和 403 不需有隔离程序，因此可放宽 n 型隔离规则以及可改善合格率。金属氧化物栅极 407 放置于区域 402 及 403 之间，成为晶体管(N3)的栅极。金属氧化物栅极 407 是连接输入(w1drn)108。n 型区域 402 及 403 分别连接到输出(1w10)106 和(1w11)116。因此晶体管 N3 不需要额外的空间，而每一区域字线解码器几乎只需用到二个晶体管所需的布置空间。

从图 7 和图 8 可明显了解，用来隔离 n 型区域的金属氧化物栅极彼此平行。同样地，n 型区域也是彼此平行，并且平行于上述金属氧化物栅极。晶体管(P1)和(P2)的结构和上述 n 型沟道晶体管(N1)和(N2)相似，其具有对应于源极和漏极的 p 型区域及用来将此 p 型区域隔离的金属氧化物栅极。此外，p 型沟道晶体管(P1)和(P2)和 n 型沟道晶体管(N1)和(N2)彼此靠近。

本发明的优点是可减少区域字线解码器的尺寸，进而减少晶片面积及借助放宽 n 型隔离规则来改善存储器单元的运用，进而改善合格率。当半导体制程进入到 0.35 μm 和 0.25 μm 制程时，晶体管的尺寸比字线间距以更快速度缩小之际，上述本发明所提出的改善显得更为重要。因为需要很多解码器电路，所以需减少使用区域字线的解码器的尺寸。

虽然本发明已以一较佳实施例揭露如上，然而该实施例并非用以限定本发明，任何熟习此项技术的人员，在不脱离本发明的精神和范围的情况下，可对其做出各种更动与润饰，而本发明的保护范围以后附的权利所限定的为准。

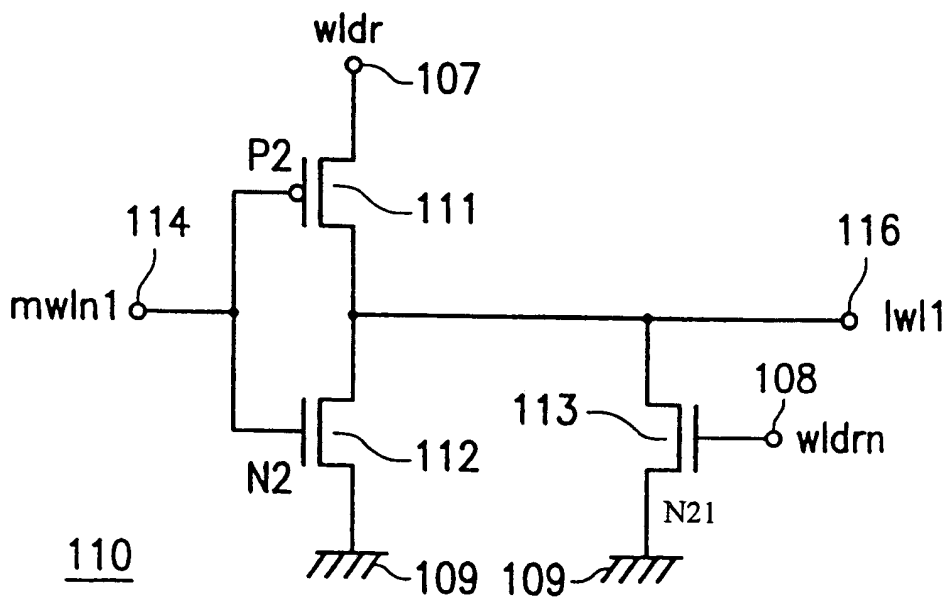
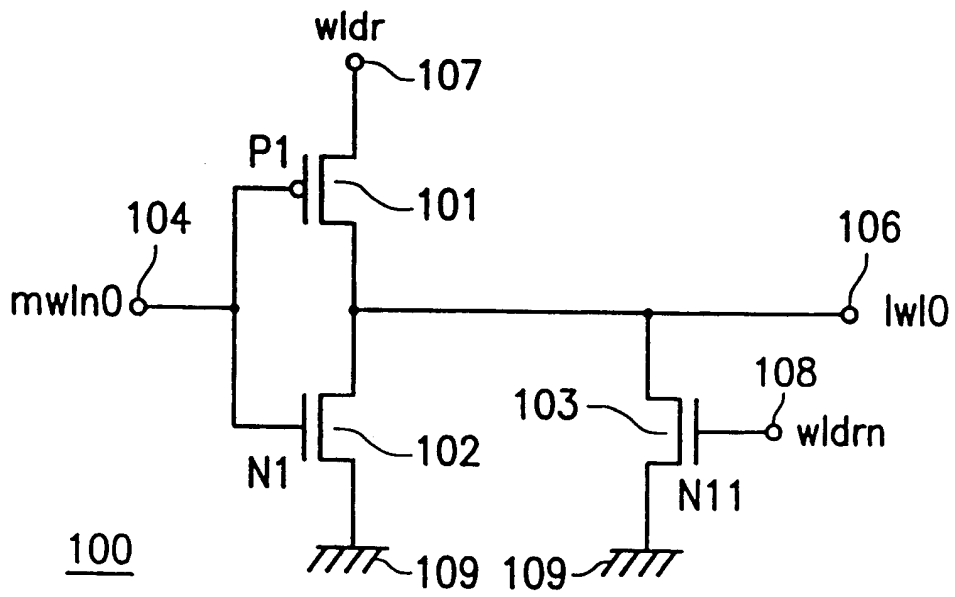


图 1

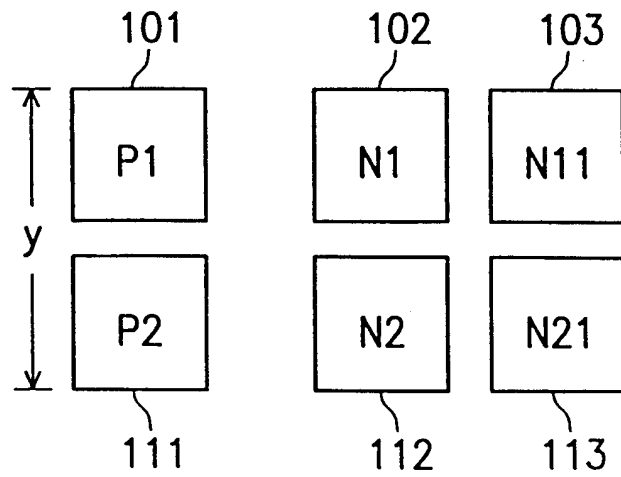


图 2

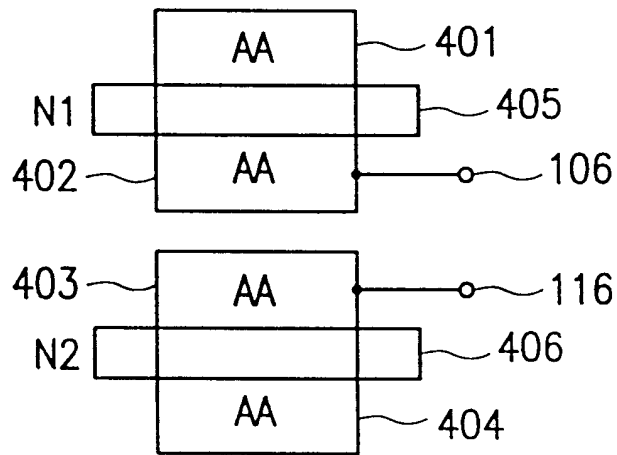


图 3

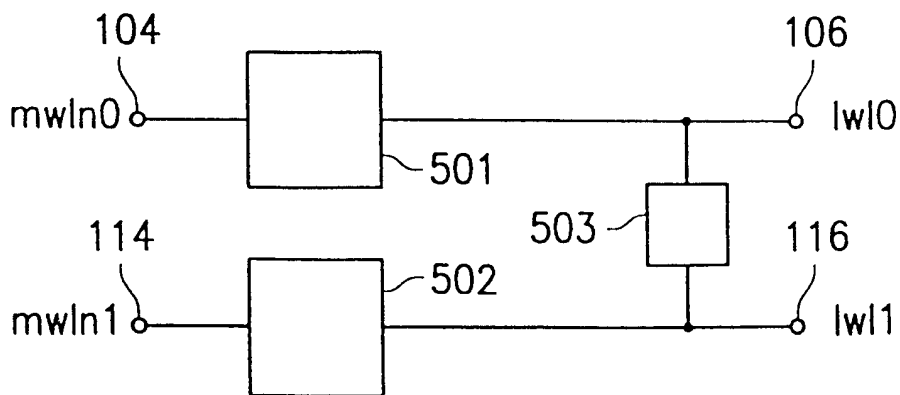


图 4

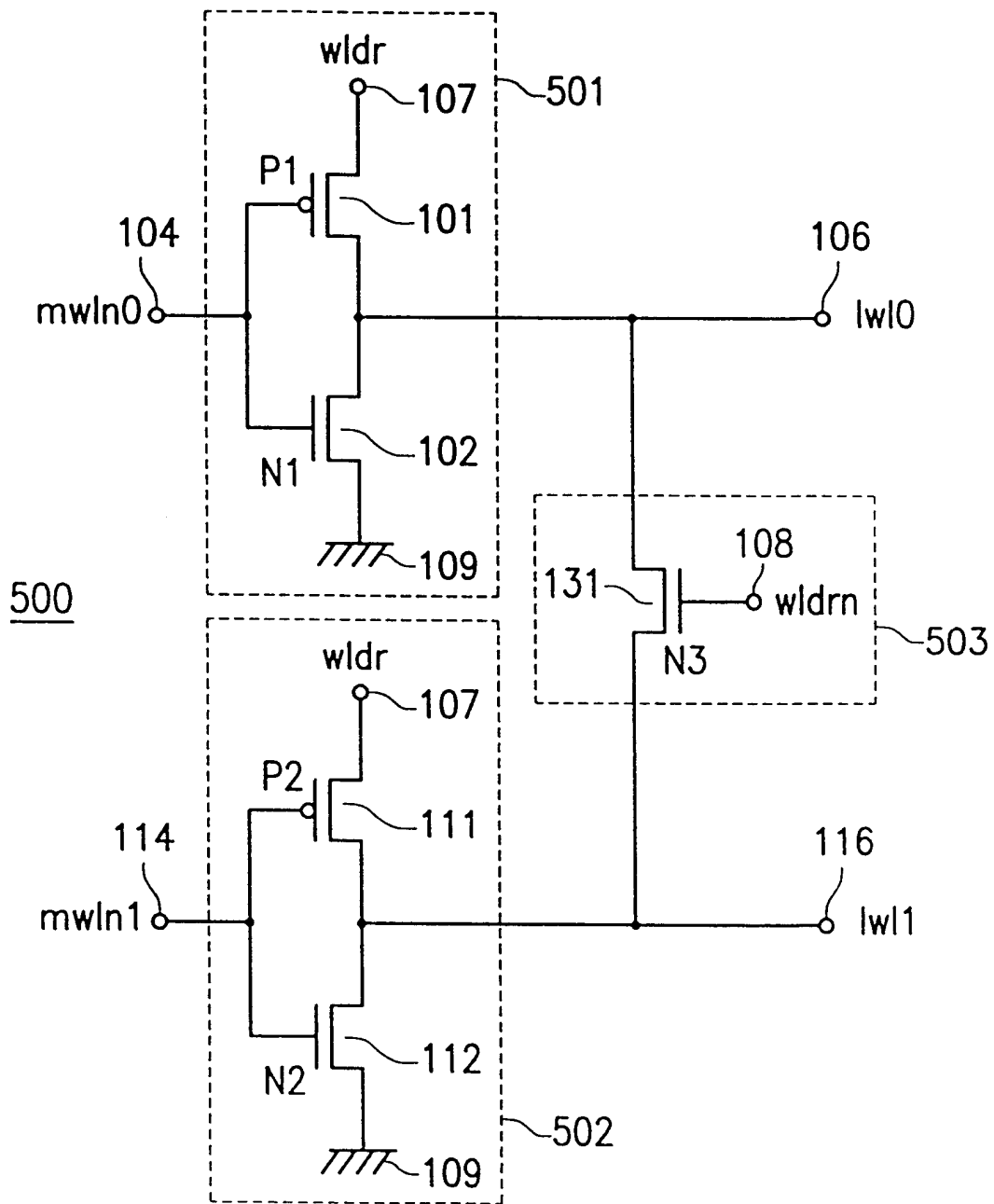


图 5

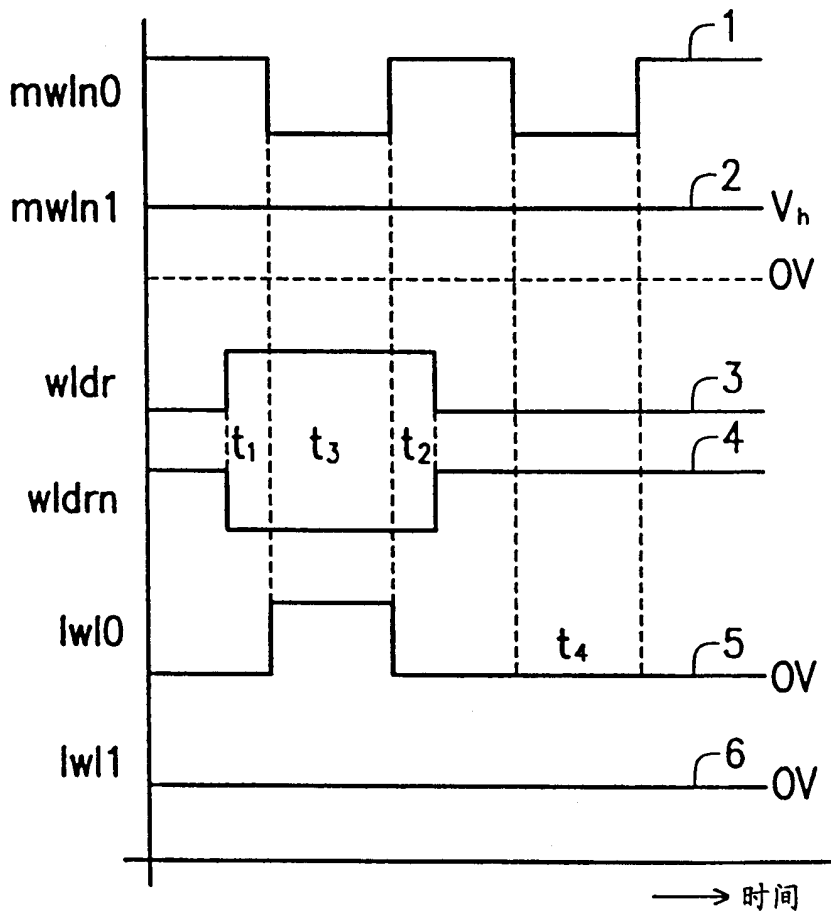


图 6

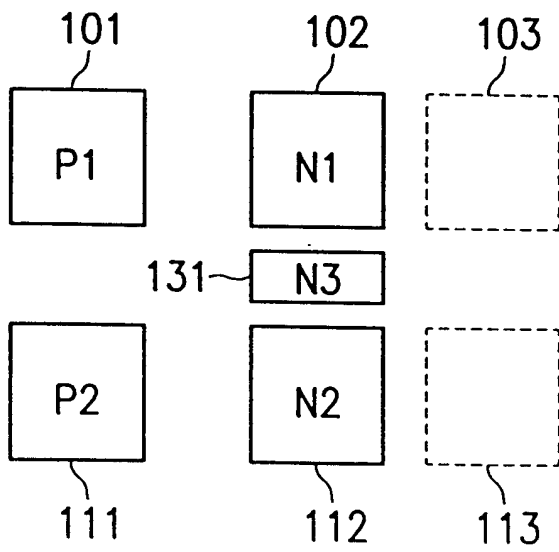


图 7

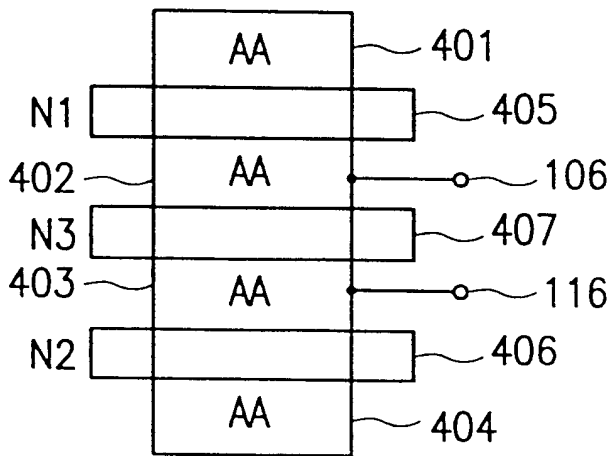


图 8