

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/4097 (2006.01)

H01L 27/108 (2006.01)

G11C 11/4094 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200810129584.7

[43] 公开日 2008年12月24日

[11] 公开号 CN 101329904A

[22] 申请日 2001.10.3

[21] 申请号 200810129584.7

分案原申请号 01817528.7

[30] 优先权

[32] 2000.10.17 [33] US [31] 09/690,513

[71] 申请人 英特尔公司

地址 美国加利福尼亚

[72] 发明人 施连·卢 迪内希·索马谢卡尔

维韦克·德

[74] 专利代理机构 永新专利商标代理有限公司

代理人 陈松涛 王 英

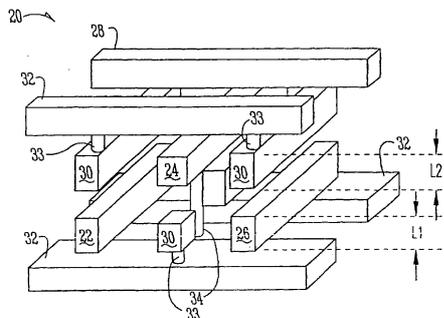
权利要求书 6 页 说明书 13 页 附图 4 页

## [54] 发明名称

开放式位线 DRAM 结构的噪声抑制

## [57] 摘要

一种开放式位线的动态随机存取存储器 (DRAM) 结构, 它使用了多层位线配置, 以减小器件内开关位线之间的耦合。在一种方式中, 一排 DRAM 单元中的每个后续单元都连接到一个不同于这排单元内前一个单元的金属化层上的位线段上。为了进一步减小噪声耦合, 还在公用金属化层上的相邻位线之间设置屏蔽元件。此外, 还提供了一种功能, 利用虚拟信号注入技术来减小 DRAM 器件中的字线一位线耦合影响。在这种方式中, 能够在 DRAM 器件中一个或多个读出放大器出现饱和情况之前, 减小或消除可能会使所述读出放大器出现饱和的共模噪声。在一种方式中, 为了实现这种信号注入而设置了虚拟单元和基准单元。本发明的主要原理特别适用于嵌入式 DRAM 结构, 在这种结构中, 各个单元内的低电荷存储容量降低了可实现的信号电压。



1. 一种动态随机存取存储器件，即 DRAM 器件，包括：

一个半导体衬底；

多个存储器单元，按开放式位线结构来布置，位于所述半导体衬底上，用来将数字数据存储在上述器件内；以及

多条位线，连接到所述多个存储器单元，用来给所述存储器单元输送数据或从所述存储器单元读取数据，所述多条位线在上述的半导体衬底上面占据两个或更多个不同的金属化层，

其中所述多个存储器单元中的至少一个存储器单元被直接连接到第一金属化层上的相应位线段，并且所述多个存储器单元中的至少另一个存储器单元被直接连接到第二金属化层上的相应位线段，其中所述第二金属化层不同于所述第一金属化层，其中：

所述多个位线包括第一位线和第二位线；

所述多个存储器单元包括：第一存储器单元，连接到所述第一位线和第一字线上；以及一个基准存储器单元，连接到所述第二位线和第二字线上；

所述 DRAM 器件还包括：

一个微分读出放大器，连接到所述第一和第二位线，用来比较所述第一和第二位线上的信号电平；

一个控制器，用来在读操作中，改变所述第一和第二字线上的信号电平，以激励所述第一存储器单元和所述基准存储器单元，所述第一和第二字线上的所述变化信号电平分别将噪声分别感应到所述第一和第二位线；以及

一个噪声降低子系统，连接到所述第一和第二位线，用来在上述读操作中，将消除信号注入所述第一和第二位线，以减小第一和第二位线内的噪声影响。

2. 一种动态随机存取存储器件，即 DRAM 器件，包括：

多条位线和多条字线；

一个存储器单元，用来将数字数据存储在所述 DRAM 器件内，所述 DRAM 器件具有开放式位线结构，所述存储器单元连接到所述多条位线中的第一位线和所述多条字线中的第一字线上；

一个基准单元，用来存储基准值，所述基准单元连接到所述多条位线中的第二位线和所述多条字线中的第二字线上，所述基准值用于读操作期间的比较；

一个微分读出放大器，连接到所述第一和第二位线，用来比较所述第一和第二位线上的信号电平；

一个控制器，用来在读操作中，改变所述第一和第二字线上的信号电平，以激活所述存储器单元和所述基准单元，所述第一和第二字线上的所述变化信号电平分别将噪声感应到所述第一和第二位线；以及一个噪声降低子系统，连接到所述第一和第二位线，用来在所述读操作中，将噪声消除信号注入所述第一和第二位线，以减小第一和第二位线内的噪声影响。

3. 根据权利要求 2 所述的 DRAM 器件，其中：

所述多个位线是被分布在支承衬底上的多个分立金属化层中。

4. 根据权利要求 2 或 3 所述的 DRAM 器件，其中：

所述噪声降低子系统被配置成：能够在所述控制器改变所述第一和第二字线上的信号电平之前，开始注入所述的噪声消除信号。

5. 根据权利要求 2 或 3 所述的 DRAM 器件，其中：

所述噪声消除信号的大小近似等于所述噪声的大小。

6. 根据权利要求 5 所述的 DRAM 器件，其中：

所述噪声消除信号的极性与噪声相反。

7. 根据权利要求 2 所述的 DRAM 器件，其中，所述噪声降低子系统包括：

第一虚拟单元和第二虚拟单元，所述第一虚拟单元连接到所述第一位线，所述第二虚拟单元连接到所述第二位线；

一个控制单元，连接到所述第一和第二虚拟单元，用来在激活所述存储器单元和所述基准单元之前那一刻，去活所述第一和第二虚拟

单元。

8. 根据权利要求 7 所述的 DRAM 器件，其中：

所述控制单元响应读操作的起动而激活所述第一和第二虚拟单元。

9. 根据权利要求 8 所述的 DRAM 器件，还包括：

一个均衡单元，连接到所述第一和第二位线，用来响应读操作的起动，给所述第一和第二位线施加一个预定电压，所述预定电压被存储在所述第一和第二虚拟单元内。

10. 根据权利要求 7 所述的 DRAM 器件，其中：

所述基准单元和所述第二虚拟单元共用一个公用存储电容器。

11. 一种动态随机存取存储器件，即 DRAM 器件，包括：

一个存储器单元，用来将数字数据存储在所述 DRAM 器件内，所述 DRAM 器件具有开放式位线结构，所述存储器单元连接到第一位线和第一字线上；

一个基准单元，用来存储基准值，所述基准单元连接到第二位线和第二字线上，所述基准值用于读操作期间的比较；

一个微分读出放大器，连接到所述第一和第二位线上，用来比较所述第一和第二位线上的信号电平；

一个控制器，用来在读操作中，改变所述第一和第二字线上的信号电平，以激活所述存储器单元和所述基准单元，所述第一和第二字线上的所述变化信号电平分别将噪声感应到所述第一和第二位线，噪声表现为对于所述微分读出放大器的共模噪声。

12. 根据权利要求 11 所述的 DRAM 器件，其中：

所述控制器改变所述第一和第二字线上的电压电平，以激活所述存储器单元和所述基准单元。

13. 根据权利要求 11 所述的 DRAM 器件，其中：

所述共模噪声至少部分由所述微分读出放大器来抑制。

14. 一种降低噪声的方法，用于降低动态随机存取存储器件，即 DRAM 器件在读操作中的噪声，包括：

提供一种开放式位线 DRAM 器件，该 DRAM 器件具有：第一和第二位线，连接到一个公用微分读出放大器；一个存储器单元，连接到所述第一位线和第一字线；一个基准单元，连接到所述第二位线和第二字线；第一虚拟单元，连接到所述第一位线和第三字线；以及第二虚拟单元，连接到所述第二位线和第四字线；

激活使用所述第三和第四字线的所述第一和第二虚拟单元；

接着是去活使用所述第三和第四字线的所述第一和第二虚拟单元；以及

在去活所述第一和第二虚拟单元之后，同时激活使用所述第一和第二字线的所述存储器单元和所述基准单元。

15. 根据权利要求 14 所述的方法，其中：

激活所述第一和第二虚拟单元包括：改变所述第三和第四字线上的信号电平。

16. 根据权利要求 14 所述的方法，其中：

接着的去活所述第一和第二虚拟单元包括：改变所述第三和第四字线上的信号电平。

17. 根据权利要求 14 所述的方法，其中：

在去活所述第一和第二虚拟单元之后，同时激活所述存储器单元和所述基准单元包括：改变第一和第二字线的每个字线上的信号电平。

18. 根据权利要求 14 所述的方法，其中：

接着的去活所述第一和第二虚拟单元是：将第一信号注入所述第一和第二位线，所述第一信号具有第一极性；以及

在去活所述第一和第二虚拟单元之后，同时激活所述存储器单元和所述基准单元是，将第二信号注入所述第一和第二位线，所述第二信号具有与所述第一极性不同的第二极性。

19. 根据权利要求 18 所述的方法，其中：对于所述第一和第二位线的每一个位线来说，所述第一信号的大小近似等于所述第二信号的大小。

20. 根据权利要求 14 至 18 中任一项所述的方法，其中：

接着的去活所述第一和第二虚拟单元，刚好是在同时激活所述存储器单元和所述基准单元之前进行的。

21. 一种动态随机存取存储器件，即 DRAM 器件，包括：

多条位线，分布在支承衬底上的多个分立金属化层中；

多条字线，设置所述支承衬底上；

第一存储器单元，用来将数字数据存储在上述 DRAM 器件内，所述 DRAM 器件具有开放式位线结构，所述第一存储器单元连接到所述多条位线中的第一位线和所述多条字线中的第一字线；

一个基准单元，用来存储基准值，所述基准单元连接到所述多条位线中的第二位线和所述多条字线中的第二字线上，所述基准值用于读操作期间的比较；

一个微分读出放大器，连接到所述第一和第二位线上，用来比较所述第一和第二位线上的信号电平；

一个控制器，用来在读操作中，改变所述第一和第二字线上的信号电平，以激活所述存储器单元和所述基准单元，所述第一和第二字线上的所述变化信号电平分别将噪声感应到所述第一和第二位线；以及

一个噪声降低子系统，连接到所述第一和第二位线，用来在上述读操作中，将噪声消除信号注入所述第一和第二位线，以减小第一和第二位线内的噪声影响。

22. 根据权利要求 21 所述的 DRAM 器件，还包括：

第二存储器单元，邻接着在上述支承衬底上的所述第一存储器单元，所述第二存储器单元连接到所述第一字线和第三位线，其中，所述第三位线与所述第一位线处于不同的金属化层上。

23. 根据权利要求 21 或 22 所述的 DRAM 器件，其中，所述噪声降低子系统包括：

第一虚拟单元和第二虚拟单元，所述第一虚拟单元连接到所述第一位线，所述第二虚拟单元连接到所述第二位线；以及

一个控制单元，用来在激活所述存储器单元和所述基准单元之前

那一刻，去活所述第一和第二虚拟单元。

## 开放式位线 DRAM 结构的噪声抑制

本申请为分案申请，其原申请是于 2001 年 10 月 3 日向中国专利局提交的专利申请，申请号为 01817528.7，发明名称为“开放式位线 DRAM 结构的噪声抑制”。

### 技术领域

本发明一般涉及半导体存储器，特别是涉及半导体存储器中所使用的噪声抑制技术。

### 背景技术

动态随机存取存储器（DRAM）属于半导体存储器件，可选择用来在芯片每个单位表面积上存储最大数量的数据位。一个典型 IT DRAM 单元仅含有一个单一的 MOS（金属氧化物半导体）存取晶体管和一个对应的存储电容器。比较起来，一个静态随机存取存储器（RAM）单元含有 4~6 个 MOS 器件。在 DRAM 单元工作期间，存储电容器保持一个充电电平来代表“逻辑 1”，而保持另一个充电电平来代表“逻辑 0”。在读和/或写操作中，这种存取晶体管用来可控制地连接存储电容器与位线。

人们经常希望将 DRAM 存储器件嵌入逻辑电路，以给逻辑电路提供高密度的芯片上的存储能力（capabilities）。在这类系统中，最好是在逻辑处理仅有少量或没有变化的情况下，在逻辑电路内实现 DRAM 存储器件。但是，在嵌入式 DRAM 器件中，在不改变逻辑处理的情况下，难以获得令人满意的、高容量的 DRAM 存储电容器。例如，普通存储器单元的电容是在 15~20 非母托法拉（femtofarads, fF）之间，而在嵌入式 DRAM 器件中，平面存储器单元的存储电容通常是在 1~5 非母托法拉（fF）之间。此外，由于物理尺寸的原因，这些平面存

存储器单元电容器所能够被施加的电压范围也受到限制。使用这些电容器,在 DRAM 工作期间,上述结构所造成的电容量小和电压范围有限,限制了能够被利用的总电压摆动。由于嵌入式 DRAM 伴随产生小的电压摆动,因此,在这些器件中,噪声是一个较大的问题。在 DRAM 器件中,有两个最大的噪声源:(a) 位线一位线噪声耦合;以及 (b) 字线一位线噪声耦合。在嵌入式 DRAM 中,由于在其存取晶体管中,存在较大的栅—源重叠耦合,因此,字线一位线噪声耦合特别大。

正如本领域所公知的那样,开放式位线结构所能实现的单元密度,明显高于较为常见的折叠式位线结构。例如,与折叠式位线结构相比,采用开放式位线结构能够将单元密度提高 100%或更高。因此,为了获得最大的单元密度,最好是采用开放式位线结构。但是,开放式位线结构对位线一位线噪声更为敏感,这是因为在这种结构中,开关位线非常接近。正如前面所描述过的那样,在嵌入式 DRAM 器件中,这种增大的噪声特别具有破坏性。

因此,需要一种能够实现低噪声工作的开放式位线结构。最好是,这种结构能够在逻辑处理仅有少量或没有变化的情况下,在嵌入式 DRAM 结构中实现。

## 发明内容

本发明的一个技术方案提供了一种 DRAM 器件,其包括:一个半导体衬底;多个存储器单元,按开放式位线结构来布置,位于所述半导体衬底上,用来将数字数据存储在上述器件内;以及多条位线,连接到所述多个存储器单元,用来给所述存储器单元输送数据或从所述存储器单元读取数据,所述多条位线在所述的半导体衬底上面占据两个或更多个不同的金属化层。

本发明的另一技术方案提供了一种集成电路,其包括:一个半导体衬底;逻辑电路,设置在所述半导体衬底上,所述逻辑电路包括多个逻辑门,每个逻辑门都含有至少一个逻辑晶体管;以及一个 DRAM 器件,位于所述半导体衬底上,并且连接到所述逻辑电路,以给所述

逻辑电路提供数据存储能力,所述 DRAM 器件包括:多个存储器单元,按开放式位线结构来布置,形成在所述半导体衬底上,用来将数字数据存储在所述器件内;多个位线,连接到所述多个存储器单元,用来给所述存储器单元输送数据或从所述存储器单元读取数据,所述多条位线在所述半导体衬底的上面占据两个或更多个不同的金属化层。

本发明的另一技术方案提供了一种 DRAM 器件,其包括:一个半导体衬底;多个存储器单元,按开放式位线结构来布置,以多排和多列形式设置在所述半导体衬底上,用来将数字数据存储在所述器件内,其中,所述多个存储器单元中的一个存储器单元与每个排/列交点有关;多条位线,用来给所述存储器单元输送数据或从所述存储器单元读取数据,每一列存储器单元都连接到所述多条位线内的公用位线上;以及多条字线,用来有选择地激励所述多个存储器单元内的各排存储器单元,每排存储器单元都连接到所述多条字线内的公用字线上:其中,在第一存储器单元排内的第一存储器单元之后的每个存储器单元分别连接到多个位线区中的一个,每个所述位线区位于与所述第一存储器单元排内连接到该位线区的该存储器单元的前一个存储器单元所处的位线区不同的金属化层上。

本发明的另一技术方案提供了一种 DRAM 器件,其包括:多条位线和多条字线;一个存储器单元,用来将数字数据存储在所述 DRAM 器件内,所述 DRAM 器件具有开放式位线结构,所述存储器单元连接到所述多条位线中的第一位线和所述多条字线中的第一字线上;一个基准单元,用来存储基准值,所述基准单元连接到所述多条位线中的第二位线和所述多条字线中的第二字线上,所述基准值用于读操作期间的比较;一个微分读出放大器,连接到所述第一和第二位线,用来比较所述第一和第二位线上的信号电平;一个控制器,用来在读操作中,改变所述第一和第二字线上的信号电平,以激活所述存储器单元和所述基准单元,所述第一和第二字线上的所述变化信号电平分别将噪声感应到所述第一和第二位线;以及一个噪声降低子系统,连接到所述第一和第二位线,用来在所述读操作中,将噪声消除信号注入所

述第一和第二位线，以减小第一和第二位线内的噪声影响。

本发明的另一技术方案提供了一种 DRAM 器件，其包括：一个存储器单元，用来将数字数据存储在所述 DRAM 器件内，所述 DRAM 器件具有开放式位线结构，所述存储器单元连接到第一位线和第一字线上；一个基准单元，用来存储基准值，所述基准单元连接到第二位线和第二字线上，所述基准值用于读操作期间的比较；一个微分读出放大器，连接到所述第一和第二位线上，用来比较所述第一和第二位线上的信号电平；一个控制器，用来在读操作中，改变所述第一和第二字线上的信号电平，以激活所述存储器单元和所述基准单元，所述第一和第二字线上的所述变化信号电平分别将噪声感应到所述第一和第二位线，噪声表现为对于所述微分读出放大器的共模噪声。

本发明的另一技术方案提供了一种降低噪声的方法，用于降低 DRAM 器件在读操作中的噪声，所述方法包括：提供一种开放式位线 DRAM 器件，该 DRAM 器件具有：第一和第二位线，连接到一个公用微分读出放大器；一个存储器单元，连接到所述第一位线和第一字线；一个基准单元，连接到所述第二位线和第二字线；第一虚拟单元，连接到所述第一位线和第三字线；以及第二虚拟单元，连接到所述第二位线和第四字线；激活使用所述第三和第四字线的所述第一和第二虚拟单元；接着是去活使用所述第三和第四字线的所述第一和第二虚拟单元；以及在去活所述第一和第二虚拟单元之后，同时激活使用所述第一和第二字线的所述存储器单元和所述基准单元。

本发明的另一技术方案提供了一种 DRAM 器件，其包括：多条位线，分布在支承衬底上的多个分立金属化层中；多条字线，设置所述支承衬底上；第一存储器单元，用来将数字数据存储在所述 DRAM 器件内，所述 DRAM 器件具有开放式位线结构，所述第一存储器单元连接到所述多条位线中的第一位线和所述多条字线中的第一字线；一个基准单元，用来存储基准值，所述基准单元连接到所述多条位线中的第二位线和所述多条字线中的第二字线上，所述基准值用于读操作期间的比较；一个微分读出放大器，连接到所述第一和第二位线上，用

来比较所述第一和第二位线上的信号电平；一个控制器，用来在读操作中，改变所述第一和第二字线上的信号电平，以激活所述存储器单元和所述基准单元，所述第一和第二字线上的所述变化信号电平分别将噪声感应到所述第一和第二位线；以及一个噪声降低子系统，连接到所述第一和第二位线，用来在所述读操作中，将噪声消除信号注入所述第一和第二位线，以减小第一和第二位线内的噪声影响。

### 附图的简要说明

图 1 和图 2 为示意图，表示能够用于动态随机存取存储 (DRAM) 器件中的可供选择的两种不同位线结构；

图 3 为透视图，表示本发明一个实施例的一种多层位线配置；

图 4 为顶视图，表示本发明一个实施例的一种 DRAM 结构，它使用了一种位线扭绞 (twisting) 技术，以均衡位线的加载；

图 5 为示意图，表示本发明一个实施例的用于实现降噪信号注入 (injection) 的电路；以及

图 6 为时间图，含有一系列波形，表示图 5 所示的电路在读操作期间的工作情况。

### 详细说明

下面，参照附图，以实例的形式，对本发明的具体实施例进行详细说明。对这些实施例进行的详细描述，足以使本领域的普通技术人员来实践本发明。应当知道，本发明的各个实施例，虽然不同，但并不一定互不交叉。例如，随同一个实施例所描述的一项具体特点、结构或特性，在不脱离本发明精神和范围的情况下，也可以用于其它实施例中。此外，还应当知道，在每个所描述的实施例中，各个元件的位置或布置，在不脱离本发明精神和范围的情况下，也可以改动。因此，下面进行的详细说明并非是用来限定本发明的范围的，本发明的范围仅仅由所附的权利要求来确定，对权利要求的合理解释以及与之等同的等同物的整个范围都属于权利要求的保护范围。在附图中，这

几幅图中的相同标号表示相同或相似的功能部分。

本发明涉及一种开放式位线的动态随机存取存储器（DRAM）结构，能够实现低噪声工作。这种结构采用的是多层位线配置，可大大降低在这种开放式结构中的位线一位线噪声生成。此外，还提供了电路，用于给器件中的位线注入噪声消除信号，以减小或消除字线一位线噪声影响（effect）。由于这种结构可实现低噪声工作，因此，用于嵌入式 DRAM 是理想的，在该嵌入式 DRAM 中，噪声会产生特别有害的影响。这种结构也能够应用于高密度、低噪声要求的其他任何存储器。

图 1 和图 2 为示意图，表示能够用于 DRAM 器件中的可供选择的两种不同位线结构，它们分别是：折叠式位线结构 16 和开放式位线结构 18。如附图所示，折叠式位线结构 16 和开放式位线结构 18 中的每一种结构，都含有正交排列的多条字线 10 和多条位线 14。折叠式位线结构 16 和开放式位线结构 18 中的每一种结构，还都含有多个存储器单元 12，每个存储器单元能存储一位数字数据。在这种对应结构中，每一个存储器单元 12 都与一条字线 10 和一条位线 14 有关。所示的各存储器结构 16、18 的工作方式是相似的。数据都是以多位数据字的形式读出或写入存储器。存储器中的每一排存储器单元 12，用来存储一个数据字。因此，在一排内的存储器单元 12 的数量，等于一个数据字中的位的数目。在一个具体排中，多个存储器单元 12 中的每一个存储器单元都连接到一条公用字线 10，在一个数据字被读出这一排时（即在读操作期间）或被写入这一排时（即在写操作期间），公用字线 10 用来使存储器单元 12 能够启用（enable）。在读或写操作期间，当一条字线 10 被加以脉冲时，与这条字线 10 有关的每一个存储器单元 12 中的存取晶体管，都被转换到“接通”状态，从而，将单元 12 中的存储电容器连接到一条对应的位线 14 上。在写操作期间，一个控制器将与单元 12 有关的位线 14 上的电压转换为一个数值，它将存储在单元 12 的存储电容器中的充电电平，该充电电平代表一个将被存储在单元 12 中的数据位值。在读操作期间，允许现存储在单元 12 的存储电容

器中的电荷量来改变对应位线 14 上的电压，以反射 (reflect) 存储器单元 12 现存储的数据位值。在此，将使用术语“开关位线”来表示由于读或写操作性能所引起的当前正在经受电压变化的位线。

如图 1 所示，在折叠式位线结构 16 中，对应于与一条具体字线 10 相正交的每隔一个的位线 14，都有一个存储器单元 12。因此，在读或写操作期间，当一条字线 10 被加以脉冲时，存储器内的每隔一个的位线 14，将是一条开关位线。因此，在读或写操作期间，在每一对开关位线之间，总是有一条“非开关”位线。比较起来，在图 2 所示的开放式位线结构 18 中，对应于与一条具体字线 10 相正交的每一条位线 14，都有一个存储器单元 12。因此，开放式位线结构 18 与折叠式位线结构相比，在读或写操作期间，开关位线彼此之间大大靠近，而且没有插入的非开关位线。正如能够意识到的那样，使用开放式位线结构 18 与使用折叠式位线结构 16 相比，通常会造成位线一位线噪声耦合的大幅度提高。但是，正如图 1 和图 2 所示的那样，开放式位线结构 18 所能实现的存储器单元密度，要明显高于使用折叠式位线结构 16 所能实现的存储器单元密度。因此，当存储器单元密度是主要考虑因素的情况下，最好是采用开放式位线结构。

根据本发明的一个方面，提供一种开放式位线结构的 DRAM 器件，它具有降低的位线一位线噪声耦合。在器件中的开关位线之间，在平均单元面积仅有很小增加或没有增加的情况下，采用一种多层金属化方案，以增强隔离。在一个实施例中，本发明的原理应用在一个被嵌入逻辑电路的 DRAM 器件中，从而利用了这类逻辑器件中通常所用的多个金属化层的优点。因此，这类 DRAM 结构能够在很少改变或没有改变逻辑处理的情况下，加入到逻辑电路之中。

图 3 为透视图，表示本发明一个实施例的一种多层位线结构 20。虽然图中没有示出，但多层位线结构 20 位于半导体衬底上，在半导体衬底上，设置有一个存储器单元阵列。为了方便起见，图中并没有示出插入的多个隔离层。如图所示，在结构 20 中，含有位线 22、24 和 26，它们被 DRAM 器件中的两个不同金属化层 L1 和 L2 分开。位线

22、24 和 26 中的每一条位线，以类似于图 2 所示的一种开放式位线结构，连接到衬底内的一列对应存储器单元上。位线 22、24 和 26，以一种较为公知的方式，通过使用引线 34，连接到存储器单元上。如图 3 所示，在多层位线结构 20 中，每个邻接的位线 22、24 和 26，都存在于不同的金属化层（L1 和 L2）上，这一点不同于以前的位线。因此，即使是实现开放式位线结构，在邻接开关位线之间的噪声耦合也将大大降低。此外，在位线之间，在公用金属化层上设置屏蔽元件 30（例如：在金属化层 L1 上的位线 22 和 26），以进一步降低位线之间的噪声耦合。在一种方式中，屏蔽元件 30 是通过使用引线 33，连接到位于一个或多个附加金属化层上的接地屏蔽线 32 上。此外，屏蔽元件 30 也能够以其他一些方式（例如使用同一金属化层上的导电结构）接地，或者也能够保持不接地。在所示的实施例中，字线 28 是设置在与位线 22、24 和 26 不同的金属化层上。字线 28 连接对应的单元（未示出），例如，通过使用引线连接对应的单元。

使用图 3 所示的多层位线结构 20 会引发一个问题：在几个原因中，基于与衬底的距离，器件内的不同位线会显现出不同的加载特性。图 4 为顶视图，表示本发明一个实施例的一种 DRAM 结构 36，它使用了一种位线扭绞技术，以均衡位线的加载。如图所示，在这种 DRAM 结构中，含有第一单元阵列 38、第二单元阵列 40 和微分读出放大器组 42。第一单元阵列 38 含有多个存储器单元 58，它们以多排和多列形式进行排列，其中，每排单元都连接到一条公用字线 44，而每列单元都连接到一条公用位线 46。同样，第二单元阵列 40 也含有多个存储器单元 58，它们以多排和多列形式进行排列，其中，每排单元都连接到一条公用字线 48 上，而每列单元都连接到一条公用位线 50 上。微分读出放大器组 42 中的每一个微分读出放大器 52，都连接到第一存储器单元阵列 38 中的一条位线 46 和第二存储器单元阵列 40 中的一条公用位线 50 上。正如下面将要详细说明的那样，微分读出放大器 52 是用来在读操作中，比较两条有关位线 46 和 50 上的电压，以确定存储在对应存储器单元中的数据值。

如图 4 所示,在第一和第二单元阵列 38、40 中,每一条位线 46、50 都与一个屏蔽元件 54 有关(在图中用虚线表示)。正如图 3 中位线结构所示的那样,屏蔽元件 54 设置在一个不同于对应位线 46、50 的金属化层上,或者在位线 46、50 的上面或下面。在图 4 中,就一个指定的位线/屏蔽元件对而言,右侧代表的是下金属化层(例如:图 3 中的 L1),左侧代表的是上金属化层(例如:图 3 中的 L2)。如图所示,每个位线/屏蔽元件对都有一个扭绞点 60,它位于位线/屏蔽元件对沿长度方向上的中点位置,在这个位置上,位线 46、50 和屏蔽元件 54 在金属化层之间转接(transition)。例如,在扭绞点 60,第一阵列 38 中的位线 46 从上金属化层 L2 转接到下金属化层 L1,而对应的屏蔽元件 54 从下金属化层 L1 转接到上金属化层 L2,反之亦然。在一个实施例中,扭绞点 60 是利用通路和适当金属化图形来实现的。对于 DRAM 器件中的所有位线 46、50 而言,通过利用扭绞点,每个位线 46 和 50 所显示的加载,例如,显示给读出放大器 52 的加载,基本上是相同的。

现参看图 4, DRAM 器件中的每个存储器单元 58,都有一个存取晶体管和一个存储电容器。存储电容器将保持一个充电量,这个充电量对应于存储器单元 58 所存储的一个数据值。存取晶体管起开关的作用,当预定电压作用在对应的字线 44、48 上时,使存储电容器与有关的位线 46、50 连接。当存储电容器连接到位线 46 和 50 上时,在位线 46、50 上形成一个电压,该电压与存储在存储电容器内的电荷量有关。在通常的写操作中,预定电压是施加在存储有读出数据字的一排存储器单元 58 中的字线 44、48 上。这时,这排单元内每一个单元中的存储电容器都被连接到一个有关的位线上,并形成相应的位线电压。一个基准电压,被保持在其他阵列单元 40、38 内的每一条位线上。这时,每一个微分读出放大器 52,都读出相应位线 46、50 上的电压,并放大电压差。最终信号代表的是存储在这排单元内的数据值。

当字线 44、48 上的电压在开关值之间开关时,开关噪声通常会被感应到与字线 44、48 有关的每一条位线 46、50 上。字线一位线噪声,

通常是由两个主要作用机理所引起，即：(a) 线自身之间在线交叉点位置的耦合；以及 (b) 对应的存储器单元内存取晶体管的栅极与漏极之间的重叠电容耦合。在使用极薄氧化层的嵌入式 DRAM 器件中，重叠电容噪声机理会变得特别麻烦。正如前面所描述过的那样，在读操作中，对应于一排存储器单元的一个字线是在两个数值之间被开关。因此，一个噪声分量会出现在与这个字线有关的每一条位线上。由于字线电压仅仅是在两个单元阵列 38、40 中的一个阵列内被开关，因此，感应的噪声表现为对于微分读出放大器 52 的差分噪声。正如能够意识到的那样，这种差分噪声会损害微分读出放大器 52 的性能，在使用低电平的器件中（例如，嵌入式 DRAM 结构），尤为如此。

根据本发明的一个方面，在第一和第二单元阵列 38、40 中，各自都设有一排基准单元，用于给每一条相应的位线存储一个基准电荷，以用来在读操作中进行对比。基准电荷的数值，是在代表逻辑 0 的标定值与代表逻辑 1 的标定值之间。在读操作中，与正在被读取的那一排单元有关的字线上的电压，如前所述的那样被开关。实际上就在同时，在其他单元阵列 38、40 中，一排基准单元的字线上的电压，也被开关。这时，读出放大器 52 比较相应位线 46、50 上的结果电压。由于第一和第二单元阵列 38、40 中的字线电压已被开关，因此，会跨越微分读出放大器 52 而产生应当被抑制的共模噪声信号。

由于图 4 所示 DRAM 结构 36 中的位线 46、50，存在于两个不同的金属化层上，因此，出现在位线上的字线一位线噪声大小，通常取决于位线所处的金属化层，在金属化层上，位线支承在与有关字线的交叉点上。例如，现参看附图 3，位于上金属化层 L2 内的位线，通常比位于下金属化层 L1 上的位线，更为紧密地结合着字线 28。因此，在读操作期间，为了加强噪声信号的消除，用于在读操作中与一个具体存储器单元进行比较的基准单元，应当连接到这样一个位线段：它与连接存储器单元的位线段处于同一个金属化层上。通过这种方式，两个相应位线上的感应噪声基本上相同，而且将能够更为有效地在微分放大器 52 内消除。为了实现这个目标，给第一和第二单元阵列 38、

40 中的每一个可能的位线排列设置基准单元排。例如，第一基准单元排应当包括：(a) 第一单元，连接到下金属化层 L1 内的一个位线段；(b) 第二单元，连接到上金属化层 L2 内的一个位线段；(c) 第三单元，连接到下金属化层 L1 内的一个位线段，依此类推。第二基准单元排应当包括：(a) 第一单元，连接到上金属化层 L2 内的一个位线段；(b) 第二单元，连接到下金属化层 L1 内的一个位线段；(c) 第三单元，连接到上金属化层 L2 内的一个位线段，依此类推。在读操作中，与正在被读取的存储器单元排具有相同位线结构的一排基准单元将被选择。

正如前面所描述过的那样，应当在每个微分读出放大器 52 内消除因为采用基准单元方式而引起的共模字线一位线噪声。但是，如果共模噪声足够大的话，它可能会造成读出放大器 52 的饱和，从而，危及读出处理。一些类型的读出放大器（例如：DRAM 器件中常用的简单交叉耦合反相器型读出放大器），特别易于饱和。因此，本发明的另一个方面是，提供一种噪声消除信号注入技术，用来在字线一位线噪声使读出放大器 52 饱和之前，减小或消除字线一位线噪声。图 5 为示意图，表示本发明一个实施例的用于实现降噪信号注入的电路。如图所示，微分读出放大器 64 连接到第一位线 66 和第二位线 68，用于对比其上面的电压。标准的 DRAM 存储器单元 70 连接到第一位线 66 和字线 72。虽然图中没有示出，但是，多个附加的 DRAM 存储器单元，还将以通常的方式连接到每一条位线 66、68。至少一个基准单元 74、76，连接到位线 66、68 的每一条位线，并连接到相应的字线（dw0 和 dw1）78、80。此外，至少一个虚拟单元 82 和 84，连接到每一条位线 66、68。虚拟单元 82、84，每个都连接到一条公共字线（dm）86。如图所示，每个虚拟单元 82、84，都与一个有关的基准单元 74、76 共用一个公用存储电容器 88、90。基准单元 74、76 和虚拟单元 82、84，每个单元的工作方式实际上都与 DRAM 存储器单元 70 相同。

图 6 为时间图，表示图 5 所示的电路在 DRAM 存储器单元 70 进行读操作期间的工作情况，其中，含有一系列波形。在工作开始时，

快速连续地发射“均衡”和“微调”信号。均衡信号将每一条位线 66、68 都调整到一个中点电压（例如： $V_{cc} / 2$ ），以支持读出放大器 64 的工作。“微调”信号用来微调在读出放大器 64 中所出现的任何漂移。在“均衡”或“微调”过程中的某些时候，发射字线（dm）信号，以激励两个虚拟单元 82、84 的存取晶体管。结果，虚拟单元 82、84 的存储电容器 88、90，被充电到相应位线 66、68 上的现有电压值。接着，关闭字线（dm）信号。在一个短时间之后，与存储器单元 70 有关的字线 72 和与基准单元 76 有关的字线（dm1 线）80，实际上是被同时发射信号。由于基准单元 76 与虚拟单元 84 共用一个存储电容器 90，因此，存储在电容器 90 中的电压被接到位线 68。

如图 6 所示，在给两个字线 72、80 发射字线（dm）信号之后不久，通过关闭字线（dm）信号，一个消除信号即被注入每一条位线 66、68（即：通过字线一位线噪声机理），以将每一条位线 66、68 上的电压减小一个预定值。通过同样的噪声机理，随后发射给字线 72、80 的信号，又将位线 66、68 上的电压提高相同的或类似的数值，从而，可大大降低或消除位线 66、68 上的感应噪声分量。更具体地讲，当字线（dm）信号从高值转变为低值时，注入上位线 66 的噪声分量，抵消了随后当字线 72 上的信号从低值转变为高值时注入上位线 66 的噪声分量。同样，当字线（dm）信号从高值转变为低值时注入下位线 68 的噪声分量，抵消了随后当 dm1 线 80 上的信号从低值转变为高值时注入下位线 68 的噪声分量。因此，总体效果是能够降低或消除在位线 66 和位线 68 上的字线一位线噪声分量，从而，能够大大降低读出放大器出现饱和的可能。

正如前面所描述过的那样，根据本发明，由于位线能够存在于不同的金属化层上，因此，感应到各位线 66、68 的字线一位线噪声大小，将取决于位线所处的金属化层，在金属化层上，位线与有关字线交叉形成交叉点。从而，能够为每一条位线 66、68 设置多个虚拟单元和基准单元，以构成不同的金属化层。因此，如果图 5 所示的存储器单元 70 是连接到在上金属化层内的一个位线段，那末，能够选择位于读出

放大器 64 另一侧的虚拟单元和基准单元，读出放大器 64 接到同一个金属化层上的位线段上。

虽然结合具体实施例对本发明进行了说明，但应当知道，在不脱离本发明精神和范围的情况下，可以实现各种改进和变化，这是本领域普通技术人员很容易明白的道理。例如，本发明的原理并不限于在器件中给位线使用两个金属化层。也就是说，也能够采用三个或三个以上多金属化层的位线方案。这样的改进和变化，均被认为是在落在本发明及其所附权利要求的范围之内。

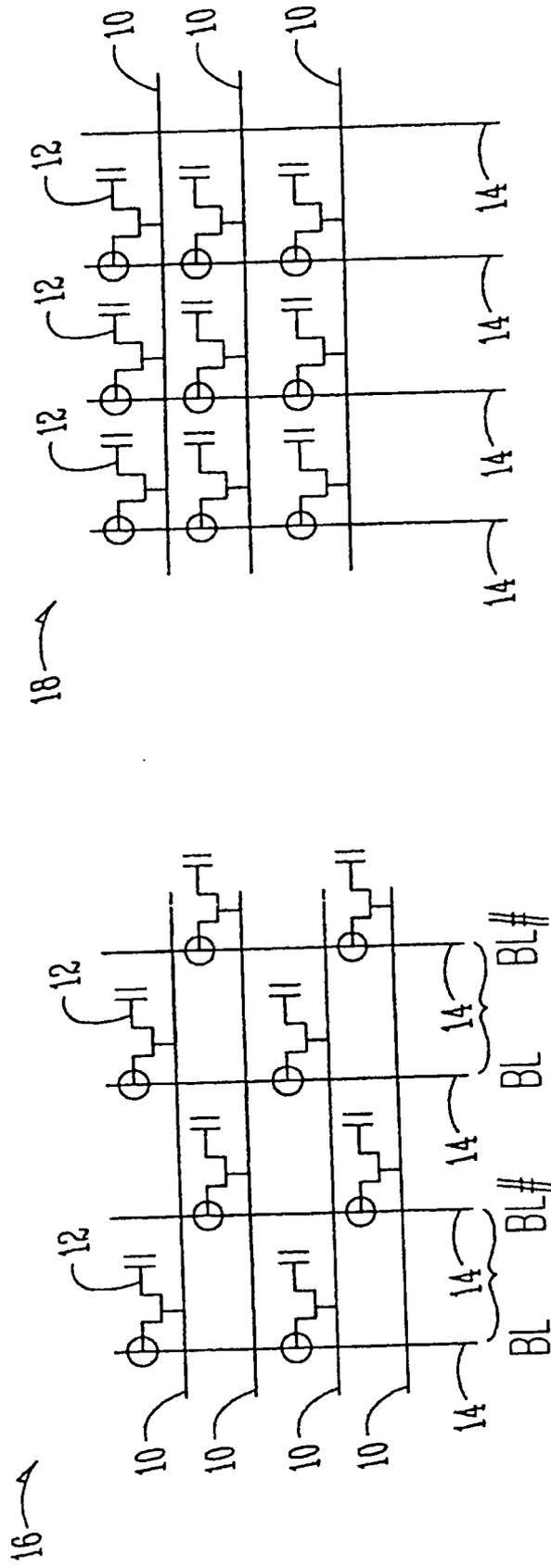


图1  
现有技术

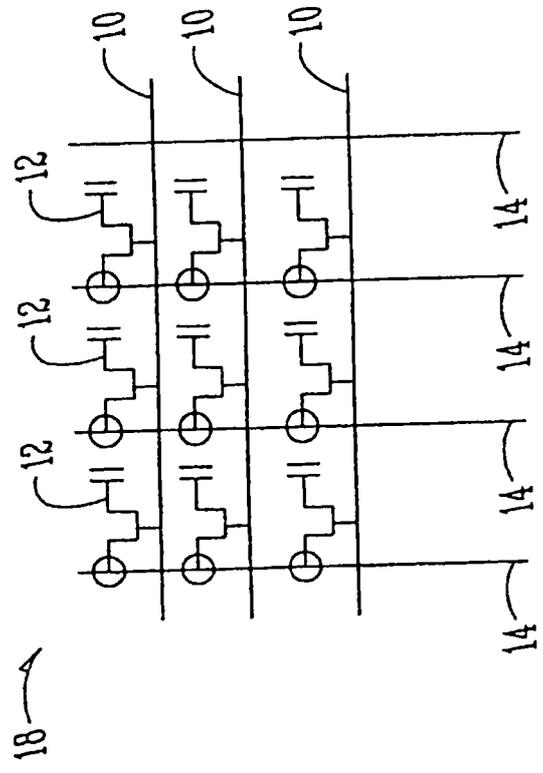


图2  
现有技术

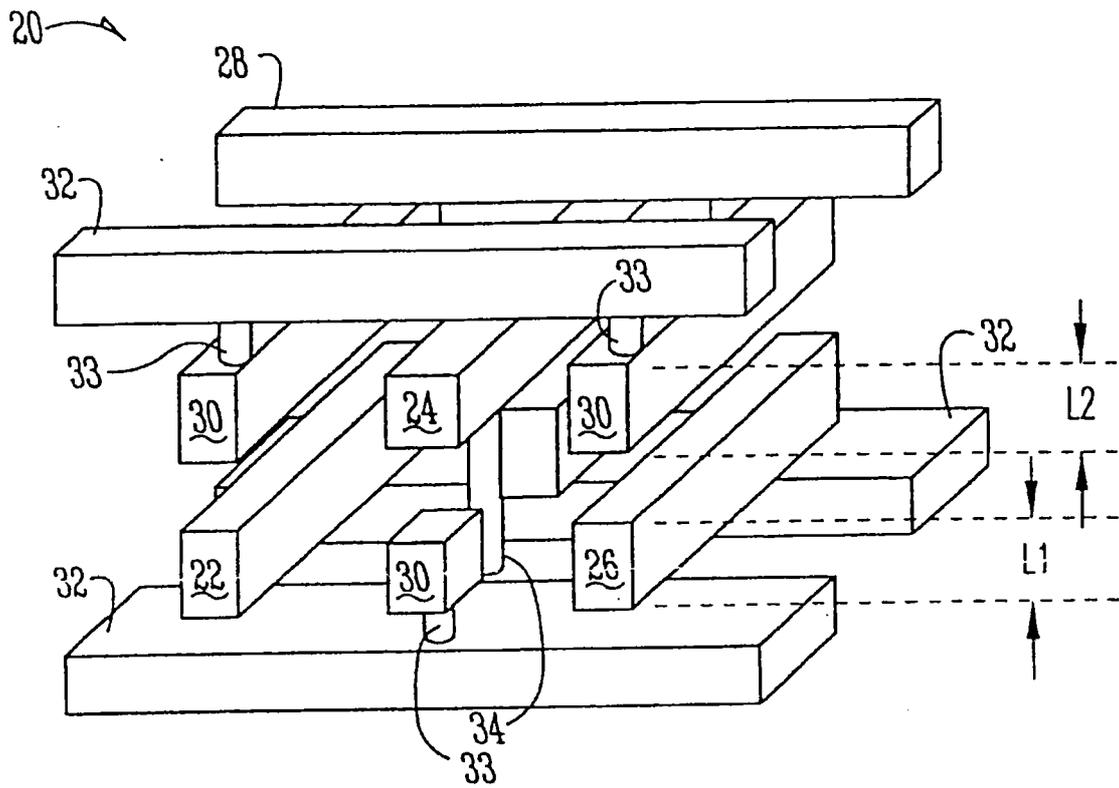


图3

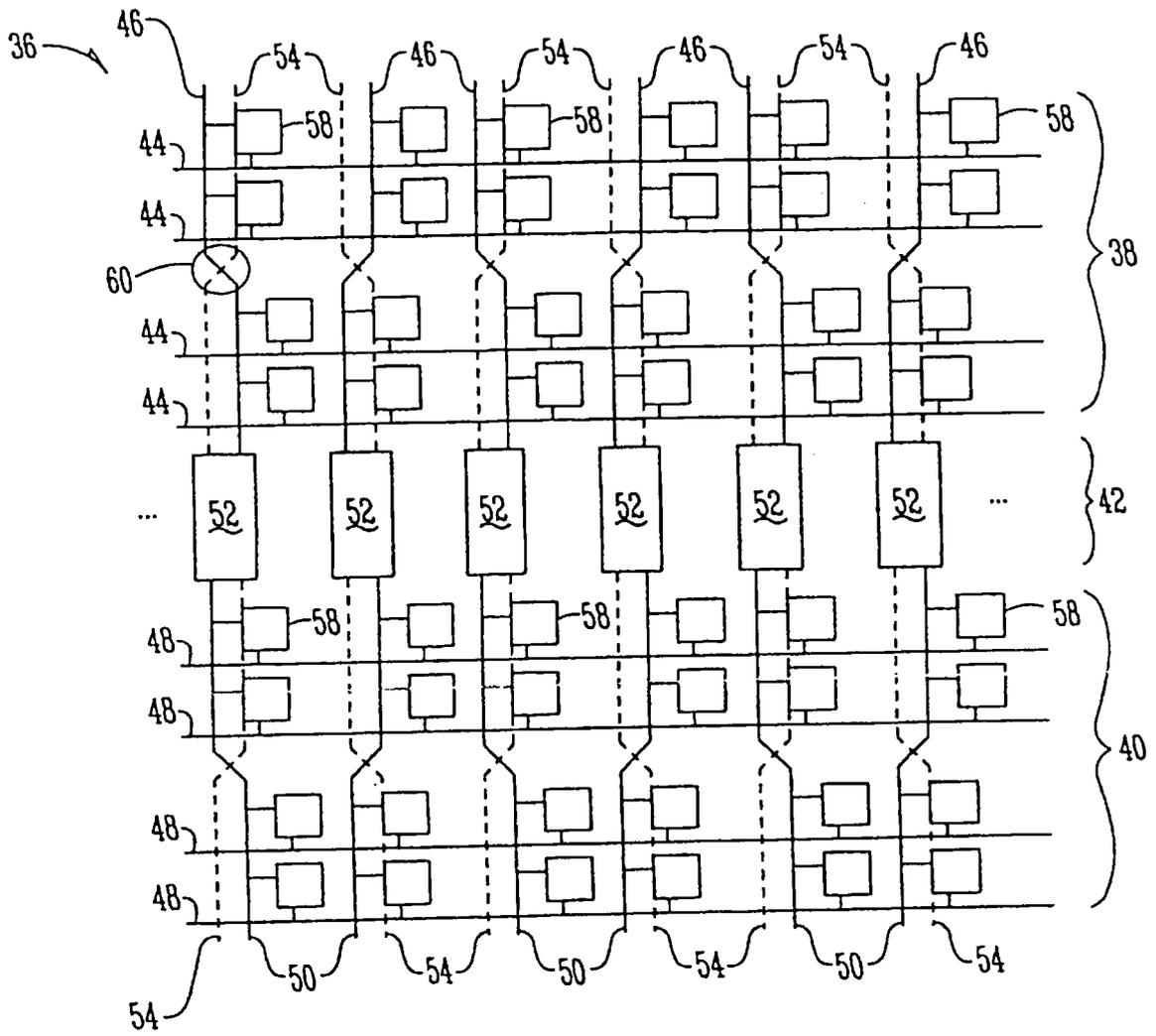


图4

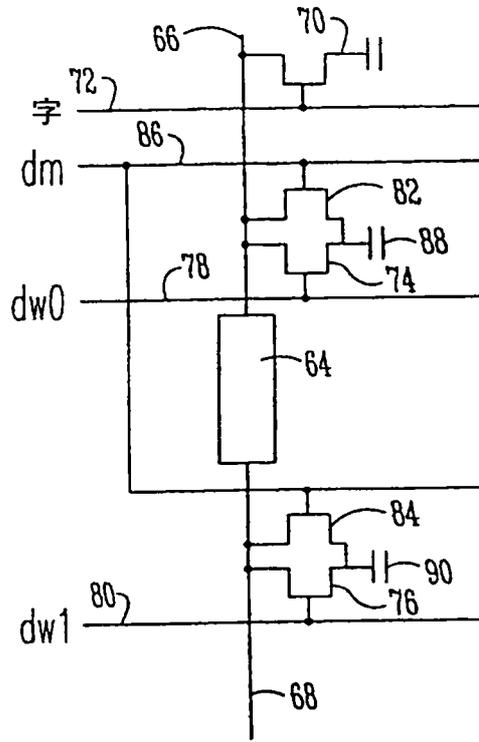


图5

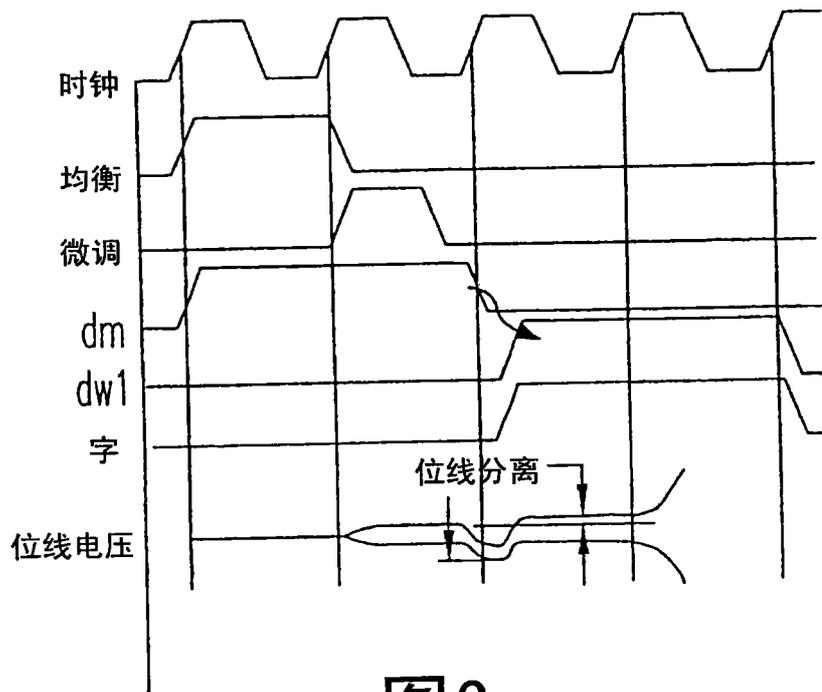


图6