

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年11月4日(2005.11.4)

【公開番号】特開2004-221369(P2004-221369A)

【公開日】平成16年8月5日(2004.8.5)

【年通号数】公開・登録公報2004-030

【出願番号】特願2003-7764(P2003-7764)

【国際特許分類第7版】

H 01 L 21/76

H 01 L 29/78

【F I】

H 01 L 21/76 L

H 01 L 29/78 301S

H 01 L 29/78 301D

【手続補正書】

【提出日】平成17年9月14日(2005.9.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝で挟まれた半導体領域を除去し、前記半導体装置にトレンチを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝で挟まれた半導体領域を完全に酸化膜に変質するまで酸化する工程と、該酸化された前記半導体領域を除去し、前記半導体基板にトレンチを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝で挟まれた半導体領域を酸化膜に変質する工程と、該溝で挟まれ酸化膜に変質しない半導体領域を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】酸化膜に変質した前記半導体領域を除去し、前記半導体基板にトレンチを形成する工程を有することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】前記除去された半導体領域の箇所と前記溝に絶縁膜を充填する工程とを有することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝の内壁に不純物をドープした多結晶シリコン層を形成する工程と、該多結晶シリコン層と溝で挟まれた半導体領域を完全に酸化膜に変質するまで熱酸化処理し、該熱酸化処理で、前記多結晶シリコン層を拡散源として溝近傍の半導体領域にドリフト領域となる第1拡散層を形成する工程と、前記溝を絶縁膜で充填する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝の内壁に不純物をドープした多結晶シリコン層を形成する工程と、該多結晶シリコン層と溝で挟まれた半導体領域を酸化膜に変質するまで熱酸化処理し、該熱酸化処理で、前記多結晶シリコン層を拡散源として溝近傍の半導体領域にドリフト領域となる第1拡散層を形成する工程と、酸化膜に変質しない前記半導体領域を除去す

る工程と、前記溝と除去された前記半導体領域の箇所を絶縁膜で充填する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】前記第1拡散層を形成する工程の後に、酸化膜に変質した前記多結晶シリコン層を除去する工程を有することを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項 9】酸化膜に変質しない前記半導体領域を除去する工程の後に、該除去箇所の底部の前記半導体基板に前記第1拡散層と接するドリフト領域の一部となる第2拡散層を形成する工程を有することを特徴とする請求項7または8に記載の半導体装置の製造方法。

【請求項 10】半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝の内壁にイオン注入層を形成する工程と、前記溝で挟まれた前記半導体領域を完全に酸化膜に変質するまで熱酸化処理し、該熱酸化処理で、前記イオン注入層を拡散源として溝近傍の半導体領域にドリフト領域となる拡散層を形成する工程と、前記溝を絶縁膜で充填することを特徴とする半導体装置の製造方法。

【請求項 11】前記溝が複数個近接して形成されたものであることを特徴とする請求項1～10のいずれか一項に記載の半導体装置の製造方法。

【請求項 12】前記溝が複数本ループ状に形成されたものであることを特徴とする請求項1～10のいずれか一項に記載の半導体装置の製造方法。

【請求項 13】前記溝がループ状の第1溝と、前記第1溝の内側に形成され前記第1溝の開口部の幅と溝深さが同じ第2溝とからなることを特徴とする請求項1～10のいずれか一項に記載の半導体装置の製造方法。

【請求項 14】前記第2溝の両端が前記第1溝と接し、前記第2溝の平面形状がストライプ状をしていることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項 15】前記第2溝の平面形状が格子状であり、該格子の外周端が前記第1溝と接することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項 16】前記ドリフト領域を形成する工程に統いて、前記半導体基板上にゲート電極を形成する工程と、該ドリフト領域を挟んで前記半導体基板の表面層にソース領域およびドレイン領域を形成する工程とを有することを特徴とする請求項7～10のいずれか一項に記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

【課題を解決するための手段】

前記の目的を達成するために、(1)半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝で挟まれた半導体領域を除去し、前記半導体装置にトレンチを形成する工程とを有する製造方法とする。(2)半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝で挟まれた半導体領域を完全に酸化膜に変質するまで酸化する工程と、該酸化された前記半導体領域を除去し、前記半導体基板にトレンチを形成する工程とを有する製造方法とする。(3)半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝で挟まれた半導体領域を酸化膜に変質する工程と、該溝で挟まれ酸化膜に変質しない半導体領域を除去する工程とを有する製造方法とする。(4)上記(3)の製造方法において、酸化膜に変質した前記半導体領域を除去し、前記半導体基板にトレンチを形成する工程とを有する製造方法とする。(5)上記(3)の製造方法において、前記除去された半導体領域の箇所と前記溝に絶縁膜を充填する工程とを有する製造方法とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

(6) 半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝の内壁に不純物をドープした多結晶シリコン層を形成する工程と、該多結晶シリコン層と溝で挟まれた半導体領域を完全に酸化膜に変質するまで熱酸化処理し、該熱酸化処理で、前記多結晶シリコン層を拡散源として溝近傍の半導体領域にドリフト領域となる第1拡散層を形成する工程と、前記溝を絶縁膜で充填する工程とを有する製造方法とする。(7) 半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝の内壁に不純物をドープした多結晶シリコン層を形成する工程と、該多結晶シリコン層と溝で挟まれた半導体領域を酸化膜に変質するまで熱酸化処理し、該熱酸化処理で、前記多結晶シリコン層を拡散源として溝近傍の半導体領域にドリフト領域となる第1拡散層を形成する工程と、酸化膜に変質しない前記半導体領域を除去する工程と、前記溝と除去された前記半導体領域の箇所を絶縁膜で充填する工程とを有する製造方法とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

(8) 上記(6)または(7)の製造方法において、前記第1拡散層を形成する工程の後に、酸化膜に変質した前記多結晶シリコン層を除去する工程を有する製造方法とする。(9) 上記(8)の製造方法において、酸化膜に変質しない前記半導体領域を除去する工程の後に、該除去箇所の底部の前記半導体基板に前記第1拡散層と接するドリフト領域の一部となる第2拡散層を形成する工程を有する製造方法とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

(10) 半導体基板の表面層にアスペクト比が1以上の溝を、間に半導体領域を挟むように形成する工程と、該溝の内壁にイオン注入層を形成する工程と、前記溝で挟まれた前記半導体領域を完全に酸化膜に変質するまで熱酸化処理し、該熱酸化処理で、前記イオン注入層を拡散源として溝近傍の半導体領域にドリフト領域となる拡散層を形成する工程と、前記溝を絶縁膜で充填する工程とを有する製造方法とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

(11) 上記(1)～(10)の製造方法において、前記溝が複数個近接して形成されたものである製造方法とする。(12) 上記(1)～(10)の製造方法において、前記溝が複数本ループ状に形成されたものである製造方法とする。(13) 上記(1)～(10)の製造方法において、前記溝がループ状の第1溝と、前記第1溝の内側に形成され前記第1溝の開口部の幅と溝深さが同じ第2溝とからなる製造方法とする。(14) 上記(1)

3) の製造方法において、前記第2溝の両端が前記第1溝と接し、前記第2溝の平面形状がストライプ状をしている製造方法とする。(15)上記(13)の製造方法において、前記第2溝の平面形状が格子状であり、該格子の外周端が前記第1溝と接する製造方法とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

(16)上記(7)～(10)の製造方法において、前記ドリフト領域を形成する工程に続いて、前記半導体基板上にゲート電極を形成する工程と、該ドリフト領域を挟んで前記半導体基板の表面層にソース領域およびドレイン領域を形成する工程とを有する製造方法とする。

【作用】

トレンチを形成する領域にアスペクト比が1以上の微少な溝を近接して多数形成することで、溝底部にブラックシリコンが形成されることを防止できる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

つぎに、C M P法で絶縁膜29、酸化膜21、窒化膜22、酸化膜23を、半導体基板100の表面高さまで除去する(図20)。このように、シリコン柱4の幅を広くして、未酸化領域27を除去することで、幅20μm程度のトレンチ101、102を形成することができる。また、広いトレンチ幅でも、熱酸化膜24に変質したシリコン柱を残すことで、ウエハ裏面の図示しない酸化膜とのバランスがとれるため、ウエハの反りを抑制できる。さらに、熱酸化膜24に変質したシリコン柱を残すと、前記第1、第2実施例と比べ絶縁膜29の溝内への形成時間を短縮することができる。また、複数解に分け、1回のエッティング開口率を低くして、トレンチを掘ることによっても、プロセス途中でのウエハの反りを抑制できる。また、溝1を微小とすることで、ブラックシリコンの発生を防止できる。