

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6207748号
(P6207748)

(45) 発行日 平成29年10月4日 (2017. 10. 4)

(24) 登録日 平成29年9月15日 (2017. 9. 15)

(51) Int. Cl.

F I

G 1 1 C 8/10 (2006. 01)

G 1 1 C 8/10

G 1 1 C 13/00 (2006. 01)

G 1 1 C 13/00 3 1 O

G 1 1 C 29/12 (2006. 01)

G 1 1 C 13/00 4 8 O B

G 1 1 C 29/00 6 7 5 Z

請求項の数 29 (全 19 頁)

(21) 出願番号 特願2016-541512 (P2016-541512)
 (86) (22) 出願日 平成26年12月2日 (2014. 12. 2)
 (65) 公表番号 特表2017-506407 (P2017-506407A)
 (43) 公表日 平成29年3月2日 (2017. 3. 2)
 (86) 国際出願番号 PCT/US2014/068090
 (87) 国際公開番号 W02015/099962
 (87) 国際公開日 平成27年7月2日 (2015. 7. 2)
 審査請求日 平成28年8月30日 (2016. 8. 30)
 (31) 優先権主張番号 14/139, 493
 (32) 優先日 平成25年12月23日 (2013. 12. 23)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 595168543
 マイクロン テクノロジー, インク,
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデ
 ラル ウェイ 8000
 (74) 代理人 100074099
 弁理士 大菅 義之
 (74) 代理人 100106851
 弁理士 野村 泰久
 (72) 発明者 タン, スティーヴン エイチ,
 アメリカ合衆国, カリフォルニア州 94
 539, フリーモント, アラパホ アベニ
 ュー 44317

審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 アドレスデコードおよびアクセス線選択のための装置、メモリおよび方法

(57) 【特許請求の範囲】

【請求項 1】

第一の電圧を提供するように構成された第一の選択線と、
 第二の電圧を提供するように構成された第二の選択線と、
 極性信号を提供するように構成された極性線と、

アドレス情報の第一部分が第一の論理レベルの組合せを有し且つ前記アドレス情報の第二の部分が第二の論理レベルの組合せを有するときに選択されるように構成されるアクセス線と、

前記アドレス情報の前記第一部分および前記極性信号に応じてその出力のレベルを制御するように構成されるローカルプレデコード回路であって、前記アドレス情報の前記第一部分が前記第一の論理レベルの組合せを有すると共に前記極性信号が第一の論理レベルを有するときにその出力を第一のレベルに駆動し、前記アドレス情報の前記第一部分が前記第二の論理レベルの組合せを有すると共に前記極性信号が第二の論理レベルを有するときにその出力を第二のレベルに駆動するように構成されるローカルプレデコード回路と、

前記アドレス情報の前記第二部分を受け取ると共に前記第一および第二の選択線に結合されるように構成されるグローバルプレデコード回路であって、前記アドレス情報の前記第二部分が前記第二の論理レベルの組合せを有するときに、その第一の出力および第二の出力に前記第一の選択線が提供する前記第一の電圧および前記第二の選択線が提供する前記第二の電圧をそれぞれ発生するように構成されるグローバルプレデコード回路と、

前記ローカルプレデコード回路がその出力を前記第一のレベルに駆動することに応答し

10

20

て前記アクセス線を前記グローバルプレデコード回路の前記第一の出力に結合し、前記ローカルプレデコード回路がその出力を前記第二のレベルに駆動することに応答して前記アクセス線を前記グローバルプレデコード回路の前記第二の出力に結合するように構成される選択回路と、

を含む、
装置。

【請求項 2】

前記グローバルプレデコード回路は前記極性線に結合されるようにさらに構成される、
請求項 1 に記載の装置。

【請求項 3】

前記選択回路は、前記グローバルプレデコード回路を介して前記第一の選択線および前記第二の選択線に結合される、
請求項 2 に記載の装置。

【請求項 4】

前記ローカルプレデコード回路は、前記アドレス情報および極性信号をデコードするように構成された論理ゲートを含む、
請求項 1 乃至 3 のいずれか一項に記載の装置。

【請求項 5】

前記選択回路は、第一のトランジスタおよび第二のトランジスタを含み、前記第一のトランジスタは前記第一の選択線に結合され、前記第二のトランジスタは、前記第二の選択線に結合される、
請求項 1 乃至 4 のいずれか一項に記載の装置。

【請求項 6】

前記第一のトランジスタは、P F E T トランジスタであり、前記第二のトランジスタは N F E T トランジスタである、
請求項 5 に記載の装置。

【請求項 7】

前記ローカルプレデコード回路と前記選択回路との対を複数含み、各選択回路は、其々のアクセス線に結合される、
請求項 1 に記載の装置。

【請求項 8】

第一の電圧を提供するように構成された第一の選択線と、
第二の電圧を提供するように構成された第二の選択線と、
極性信号を提供するように構成された極性線と、
アクセス線と、

前記第一および第二の選択線、前記極性線ならびに前記アクセス線に結合されたアドレスデコーダ回路であって、アドレス情報を受け取るように構成されるとともに、論理レベルの組み合わせを有する前記アドレス情報と、第一の論理レベルを有する前記極性信号とに応じて、前記第一の選択線に前記アクセス線を結合するようにさらに構成され、また、論理レベルの前記組み合わせを有する前記アドレス情報と、第二の論理レベルを有する前記極性信号とに応じて、前記第二の選択線に前記アクセス線を結合するようにさらに構成されたアドレスデコーダ回路と、

を含み、

前記アドレスデコーダ回路は、前記アドレス情報の第一部分を受け取るように構成された複数のローカルプレデコード回路と、前記アドレス情報の第二部分を受け取るように構成された複数のグローバルプレデコード回路とを含み、前記ローカルプレデコード回路および前記グローバルプレデコード回路は、階層的デコーダ構造における其々の複数の選択回路に結合される、
装置。

【請求項 9】

第一の選択線および第二の選択線と、
第三の選択線および第四の選択線と、
第一および第二のアドレスデコーダ回路に極性信号を提供するように構成された極性線と、

第一のアドレス情報を受け取るように構成されるとともに、第一のアドレス情報に応じて、第一組のアクセス線のうちのアクセス線を前記第一の選択線に結合するようにさらに構成され、また、前記極性信号の論理レベルの切り替えに応じて、前記第一のアドレス情報に対して、前記第一の選択線から前記第二の選択線へと前記アクセス線の前記結合を切り替えるようにさらに構成された、前記第一のアドレスデコーダ回路と、

第二のアドレス情報を受け取るように構成されるとともに、第二のアドレス情報に応じて、第二組のアクセス線のうちのアクセス線を前記第三の選択線に結合するようにさらに構成され、また、前記極性信号の論理レベルの切り替えに応じて、前記第二のアドレス情報に対して、前記第三の選択線から前記第四の選択線へと前記アクセス線の前記結合を切り替えるようにさらに構成された、前記第二のアドレスデコーダ回路と、
を含み、

前記第一のアドレスデコーダ回路は、

前記第一のアドレス情報の第一部分を受け取ると共に前記極性線に結合されるように構成される第一のローカルプレデコード回路と、

前記第一のアドレス情報の第二部分を受け取ると共に前記第一および第二の選択線に結合されるように構成される第一のグローバルプレデコード回路と、

前記第一のローカルプレデコード回路、前記第一のグローバルプレデコード回路および前記第一組のアクセス線のうちの前記アクセス線に結合されよう構成される選択回路と、を有する、
装置。

【請求項 10】

前記第一組のアクセス線のうちの前記アクセス線と、前記第二組のアクセス線のうちの前記アクセス線との間に結合された少なくとも一つのメモリセルをさらに含む、
請求項 9 に記載の装置。

【請求項 11】

前記第一および第二のアドレスデコーダ回路は、前記第一組および前記第二組のアクセス線のうちの前記アクセス線の前記結合を切り替えて、前記メモリセルを通して異なる方向に電流を流すように、構成されている、
請求項 10 に記載の装置。

【請求項 12】

前記メモリセルは抵抗変化型メモリセルを含む、
請求項 10 または 11 に記載の装置。

【請求項 13】

前記第一組のアクセス線のうちの前記アクセス線は、ワード線を含み、前記第二組のアクセス線のうちの前記アクセス線は、ビット線を含む、
請求項 9 乃至 12 のいずれか一項に記載の装置。

【請求項 14】

前記ローカルプレデコード回路およびグローバルプレデコード回路は、前記選択回路に信号を提供して前記第一組のアクセス線のうちのアクセス線の前記第一の選択線または前記第二の選択線に対する結合を前記アドレス情報に基づいて制御するように構成された論理回路を含む、
請求項 9 に記載の装置。

【請求項 15】

前記ローカルプレデコード回路は、前記アドレス情報を受け取るように構成された N A N D ゲートを含み、前記極性線に結合された X O R ゲートをさらに含む、
請求項 9 乃至 14 のいずれか一項に記載の装置。

【請求項 16】

前記選択回路は、

前記第一の選択線と前記第一組のアクセス線のうちの前記アクセス線との間に設けられた P F E T と、

前記第二の選択線と前記第一組のアクセス線のうちの前記アクセス線との間に設けられた N F E T と、

を含む、

請求項 9 乃至 15 のいずれか一項に記載の装置。

【請求項 17】

前記 P F E T は、前記グローバルプレデコード回路を通じて前記第一の選択線に結合され、前記 N F E T は、前記グローバルプレデコード回路を通じて前記第二の選択線に結合される、

請求項 16 に記載の装置。

【請求項 18】

前記 P F E T は、前記グローバルプレデコード回路を通じて前記第一または第二の選択線のいずれか一方に結合され、前記 N F E T は、前記グローバルプレデコード回路を通じて前記第一または第二の選択線のいずれか他方に結合される、

請求項 16 に記載の装置。

【請求項 19】

極性信号を提供するように構成された極性線と、

アクセス線と、

第一および第二の選択線と、

アドレス情報を受けるように構成されたアドレスデコーダであって、前記アドレス情報の第一部分が第一の論理レベルの組合せであり且つ前記アドレス情報の第二部分が第二の論理レベルの組合せであるときに前記アクセスを選択するように構成されたアドレスデコーダと、

を含み、

前記アドレスデコーダは、

第一および第二の出力を有するグローバルプレデコード回路であって、前記アドレス情報の前記第一部分が前記第一の論理レベルの組合せであることをデコードして前記第一の出力と前記第一の選択線とを結合すると共に前記第二の出力と前記第二の選択線とを結合するグローバルプレデコード回路と、

前記グローバルプレデコード回路の前記第一および第二の出力と前記アクセス線とに結合された選択回路と、

前記極性線に結合されたローカルプレデコード回路であって、前記アドレス情報の前記第二部分が前記第二の論理レベルの組合せであることをデコードして、前記選択回路に前記アクセス線を、前記極性信号が第一の論理レベルのときは前記グローバルプレデコード回路の前記第一の出力に、前記極性信号が第二の論理レベルのときは前記グローバルプレデコード回路の前記第二の出力に結合させるよう制御するローカルプレデコード回路と、

を有する、

装置。

【請求項 20】

極性信号を提供するように構成された極性線と、

アクセス線に結合されるように構成された第一の選択線および第二の選択線と、

アドレスデコーダであって、

前記極性線に結合されており、前記極性信号を受け取るように構成されたプレデコード回路であって、アドレスを受け取るようにさらに構成されたプレデコード回路と、

前記プレデコード回路と前記第一および第二の選択線とに結合された選択回路であって、前記アクセス線にさらに結合され、前記プレデコード回路から受け取った信号に少なくとも部分的には基づいて、前記第一の選択線または前記第二の選択線に前記アクセス線を

10

20

30

40

50

結合するように構成された、選択回路と、
を含むアドレスデコーダと、
を含み、

前記プレデコード回路は、アドレス情報を受け取るように構成された4入力NANDゲートを含み、前記NANDゲートの出力は、2入力NANDゲートの第一の入力に結合され、前記2入力NANDゲートの第二の出力は、試験制御信号に結合され、前記2入力NANDゲートの出力は、2入力XORゲートの第一の出力に結合され、前記XORゲートの第二の出力は前記極性線に結合され、前記XORゲートの出力は、前記選択回路に結合される、
 装置。

10

【請求項21】

前記選択回路は第一のトランジスタおよび第二のトランジスタを含み、前記第一および第二のトランジスタのゲートは、前記ローカルプレデコード回路に結合され、前記第一および第二のトランジスタのドレインは、前記アクセス線に結合され、前記第一のトランジスタのソースは前記グローバルプレデコード回路の前記第一の出力に結合され、前記第二のトランジスタのソースは前記グローバルプレデコード回路の前記第二の出力に結合される、

請求項19に記載の装置。

【請求項22】

前記第一のトランジスタはPFETであり、前記第二のトランジスタはNFETである、
 請求項21に記載の装置。

20

【請求項23】

前記グローバルプレデコード回路は、前記第一の出力と前記第一の選択線との間に設けられた第三のトランジスタと、前記第一の出力と前記第二の選択線との間に設けられた第四のトランジスタと、前記第二の出力と前記第一の選択線との間に設けられた第五のトランジスタと、前記第二の出力と前記第二の選択線との間に設けられた第六のトランジスタと、を含む、

請求項21に記載の装置。

【請求項24】

極性信号を提供するように構成された極性線と、
 アクセス線に結合されるように構成された第一の選択線および第二の選択線と、
 アドレスデコーダであって、
 前記極性線に結合されており、前記極性信号を受け取るように構成されたプレデコード回路であって、アドレスを受け取るようにさらに構成されたプレデコード回路と、
 前記プレデコード回路と前記第一および第二の選択線とに結合された選択回路であって、前記アクセス線にさらに結合され、前記プレデコード回路から受け取った信号に少なくとも部分的には基づいて、前記第一の選択線または前記第二の選択線に前記アクセス線を結合するように構成された、選択回路と、

30

を含むアドレスデコーダと、
を含み、

40

前記プレデコード回路は、
 前記アドレス情報の第一部分を受け取るように構成されたローカルプレデコード回路と、
 前記アドレス情報の第二部分を受け取るように構成されたグローバルプレデコード回路と、
 を含み、

前記ローカルプレデコード回路は、前記アドレス情報の前記第一部分を受け取るように構成された4入力NANDゲートを含み、前記NANDゲートの出力は、2入力NANDゲートの入力に結合され、前記2入力NANDゲートの第二の出力は、試験制御信号に結

50

合され、前記 2 入力 NAND ゲートの出力は、2 入力 XOR ゲートの入力に結合され、前記 XOR ゲートの第二の入力は、前記極性線に結合され、前記 XOR ゲートの出力は前記選択回路に結合される、装置。

【請求項 25】

前記グローバルプレデコード回路は、前記アドレス情報の前記第二部分を受け取るように構成された 4 入力 NAND ゲートを含み、前記 NAND ゲートの出力は、2 入力 NAND ゲートの入力に結合され、前記 2 入力 NAND ゲートの第二の入力は、第二の試験制御信号に結合され、前記 2 入力 NAND ゲートの出力は、第一の 2 入力 NOR ゲートおよび第二の 2 入力 NOR ゲートの入力に結合され、前記第一の 2 入力 NOR ゲートの第二の入力は前記極性線に結合され、前記第一の 2 入力 NOR ゲートの出力は、第一のインバータの入力に結合され、前記第一のインバータの出力は、第一および第二のトランジスタのゲートに結合され、前記第二の 2 入力 NOR ゲートの第二の入力は、第二のインバータの出力に結合され、前記第二のインバータの入力は前記極性線に結合され、前記第二の 2 入力 NOR ゲートの出力は、第三および第四のトランジスタのゲートに結合され、前記トランジスタは、前記第一または第二の選択線に前記選択回路を結合するように構成される、請求項 24 に記載の装置。

【請求項 26】

メモリアレイと、

入出力制御回路と、

前記入出力制御回路によって提供されるアドレス信号を受け取るように構成されたアドレス回路と、

前記アドレス回路に結合されており、前記アドレス回路から行アドレス信号を受け取るよう構成されるとともに、第一または第二の選択線にワード線を結合することによって前記メモリアレイ内の前記ワード線を選択するように構成された、行デコーダと、

前記アドレス回路に結合されており、前記アドレス回路から列アドレス信号を受け取るよう構成されるとともに、第三または第四の選択線にビット線を結合することによって前記メモリアレイ内の前記ビット線を選択するように構成された、列デコーダと、

前記行デコーダおよび前記列デコーダに極性信号を提供するように構成された制御論理回路と、

前記メモリアレイへの書き込み対象のデータを前記入出力制御回路から受け取るように構成された書き込み回路であって、前記列デコーダおよび前記行デコーダによって選択された前記アドレスに、前記書き込み対象のデータを書き込むようにさらに構成された、書き込み回路と、

読み出し対象のデータを前記メモリアレイから受け取るように構成されるとともに、読み出した前記データを前記入出力制御回路に送るようさらに構成された、読み出し回路と、

を含み、

前記行デコーダは、前記行アドレス信号の第一部分を受け取るように構成された複数の行ローカルプレデコード回路と、前記行アドレスの第二部分を受け取るように構成された複数の行グローバルプレデコード回路とを含み、前記行ローカルプレデコード回路および前記行グローバルプレデコード回路は、階層的デコーダ構造における其々の複数の第一選択回路に結合され、

前記列デコーダは、前記列アドレス信号の第一部分を受け取るように構成された複数の列ローカルプレデコード回路と、前記列アドレスの第二部分を受け取るように構成された複数の列グローバルプレデコード回路とを含み、前記列ローカルプレデコード回路および前記列グローバルプレデコード回路は、階層的デコーダ構造における其々の複数の第二選択回路に結合されている、

メモリ。

【請求項 27】

前記メモリは抵抗変化型 R A Mである、
請求項 2 6 に記載のメモリ。

【請求項 2 8】

前記第一および第二の選択線の相対的極性ならびに前記第三および第四の選択線の相対的極性は変化し得る、
請求項 2 6 または 2 7 に記載のメモリ。

【請求項 2 9】

前記極性信号に少なくとも部分的には基づいて、異なる方向に、前記メモリアレイのメモリセルを通して電流が流れ得る、
請求項 2 6 乃至 2 8 のいずれか一項に記載のメモリ。

【発明の詳細な説明】

【背景技術】

【0 0 0 1】

従来のメモリシステムは、所望のワード線またはビット線（一般的にはメモリアクセス線と称される）にアクセスするための、低電圧の選択線と、高電圧の選択解除線と、を含み得る。アレイ内の選択されたメモリアクセス線は、選択線に結合され、選択されていないメモリアクセス線は、選択解除線に結合される。メモリアクセス線を選択するために用いられる従来の 2 トランジスタ型デコーダ回路は、p チャネル電界効果（P F E T）トランジスタおよび n チャネル電界効果（N F E T）トランジスタを含み得る。N F E T トランジスタは、低電圧を伝えるのに有利であり得るし、P F E T トランジスタは、高電圧を伝えるのに有利であり得る。記述される例示的な従来のシステムにおいては、アクティブ化されたときに N F E T トランジスタがアクセス線を選択線に接続し、アクティブ化されたときに P F E T トランジスタが選択解除線にアクセス線を接続するときに、最も効率的に回路が機能する。

【0 0 0 2】

しかしながら、幾つかのメモリ技術、例えば、バイポーラ抵抗変化型 R A M については、動作の異なる段階の間、反対方向に電流がメモリセルを通り抜けることを可能にすることが、有利であり得る。これらの状況においては、従来の 2 トランジスタ型デコーダは、電流の流れの全ての方向に対して電流を効率的に伝えられるわけではないかもしれない。C M O S トランスマッションゲートを形成して電流効率を改善するために、さらなる P F E T トランジスタが、N F E T トランジスタと並列に配置されてもよく、また、さらなる N F E T トランジスタが、P F E T トランジスタと並列に配置されてもよいが、この解決法は、アクセス線ごとにさらに二つのトランジスタおよび二本の追加配線を課することになる。従来のデコーダアーキテクチャに必要とされるコストおよび空間の増加は、回路の小型化および単純性が需要とされる用途では、望ましくないことがある。

【発明の概要】

【0 0 0 3】

例示的な装置は、第一の電圧を提供するように構成され得る第一の選択線と、第二の電圧を提供するように構成され得る第二の選択線と、極性信号を提供するように構成され得る極性線と、アクセス線と、第一および第二の選択線、極性線ならびにアクセス線に結合されたアドレスデコーダ回路と、を含んでもよく、アドレスデコーダ回路は、アドレス情報を受け取るように構成されてもよく、論理レベルの組み合わせを有するアドレス情報と、第一の論理レベルを有する極性信号とに応じて第一の選択線にアクセス線を結合するようにさらに構成されてもよく、論理レベルの前記組み合わせを有するアドレス情報と、第二の論理レベルを有する極性信号とに応じて、第二の選択線にアクセス線を結合するようにさらに構成されてもよい。

【0 0 0 4】

別の例示的装置は、第一の選択線と、第二の選択線と、第三の選択線と、第四の選択線と、第一および第二のアドレスデコーダ回路に極性信号を提供するように構成され得る極性線と、を含んでもよく、第一のアドレスデコーダ回路は、第一のアドレス情報を受け取

10

20

30

40

50

るように構成されてもよく、第一のアドレス情報に応じて第一の選択線に第一組のアクセス線のうちのアクセス線を結合するようにさらに構成されてもよく、極性信号の論理レベルの切り替えに応じて、第一のアドレス情報に対して、第一の選択線から第二の選択線へとアクセス線の結合を切り替えるようにさらに構成されてもよく、第二のアドレスデコーダ回路は、第二のアドレス情報を受け取るように構成されてもよく、第二のアドレス情報に応じて、第三の選択線に、第二組のアクセス線のうちのアクセス線を結合するようにさらに構成されてもよく、極性信号の論理レベルの切り替えに応じて、第二のアドレス情報に対して、第三の選択線から第四の選択線へとアクセス線の結合を切り替えるようにさらに構成されてもよい。

【0005】

10

別の例示的装置は、極性信号を提供するように構成され得る極性線と、アクセス線に結合されるように構成され得る第一の選択線および第二の選択線と、プレデコード回路と選択回路を含み得るアドレスデコーダとを含んでもよく、プレデコード回路は、極性線に結合されており、極性信号を受け取るように構成され得るとともに、アドレスを受け取るようにさらに構成されてもよく、選択回路は、プレデコード回路と第一および第二の選択線とに結合されており、アクセス線にさらに結合されていてもよく、プレデコード回路から受け取った信号に少なくとも部分的には基づいて、第一の選択線または第二の選択線にアクセス線を結合するように構成されてもよい。

【0006】

20

例示的方法は、アドレスデコーダ回路に関連付けられたアクセス線に対応するアドレス情報を受け取ることと、アドレスデコーダ回路で極性信号を受け取ることと、アドレス情報および第一の論理レベルを有する極性信号に少なくとも部分的には基づいて、第一の選択線または第二の選択線にアクセス線を結合することと、同一のアドレス情報および第二の論理レベルを有する極性信号に少なくとも部分的には基づいて、第一の選択線または第二の選択線へのアクセス線の結合を切り替えることと、を含んでもよい。

【0007】

例示的メモリは、メモリアレイと、入出力制御回路と、入出力制御回路によって提供されるアドレス信号を受け取るように構成され得るアドレス回路と、アドレス回路に結合されており、アドレス回路からアドレス信号を受け取るように構成され得るとともに、第一または第二の選択線にビット線を結合することによってメモリアレイ内のビット線を選択するように構成され得る行デコーダと、アドレス回路に結合されており、アドレス回路からアドレス信号を受け取るように構成され得るとともに、第三または第四の選択線にワード線を結合することによってメモリアレイ内のワード線を選択するように構成され得る列デコーダと、行デコーダ回路および列デコーダ回路に極性信号を提供するように構成された制御論理回路と、入力出力制御回路からメモリアレイに書き込まれるデータを受け取るように構成され得るとともに、列デコーダ回路および行デコーダ回路によって選択されたアドレスに、書き込まれるデータを書き込むようにさらに構成され得る書き込み回路と、メモリアレイから読み出し対象のデータを受け取るように構成され得るとともに、入力出力制御回路に読み出したデータを送るようにさらに構成され得る読み出し回路と、を含んでもよい。

30

40

【図面の簡単な説明】**【0008】**

【図1】本開示の例示的一実施形態によるダイレクトデコーダを含む装置のブロック図である。

【図2】本開示の例示的一実施形態によるデコーダの回路図である。

【図3(1)】本開示の例示的一実施形態による階層的デコーダのブロック図である。

【図3(2)】本開示の例示的一実施形態による階層的デコーダのブロック図である。

【図4】本開示の例示的一実施形態による階層的デコーダの回路図である。

【図5】本開示の例示的一実施形態によるデコーダを含むメモリシステムの図である。

【発明を実施するための形態】

50

【0009】

本開示の実施形態の十分な理解をもたらすために、以下に一定の詳細事項が説明される。しかしながら、本開示の実施形態は、これらの特定の詳細事項がなくても実施され得ることが、当業者には明らかであろう。さらに、本明細書に記述された本開示の特定の実施形態は、例示として提供されるものであって、これらの特定の実施形態へと本開示の範囲を限定するために用いられるべきではない。他の例においては、既知の回路、制御信号、タイミングプロトコルおよびソフトウェア動作は、本開示を不必要に不明瞭にすることを回避するために、詳細には示されていない。

【0010】

図1は、本開示の一実施形態によるアドレスデコーダ104を含む装置100を図示する。本装置は、集積回路、メモリデバイス、メモリシステムなどであってもよい。アドレスデコーダ104は、アクティブ化のためにアクセス線を選択するためのアドレスをデコードするように、構成され得る。アドレスデコーダ104は、其々のアクセス線119、129、139、149に結合されたデコーダ回路106、116、126、136を含んでもよい。各デコーダ回路106、116、126、136は、其々のアドレス情報ADDIN0-ADDIN3を受け取るように構成される。アドレス情報ADDIN0-ADDIN3は、デコードされるアドレスに基づくものである。各デコーダ回路106、116、126、136は、プレデコード回路110、120、130、140および選択回路115、125、135、145を含んでもよい。簡略化のために、四つのデコーダ回路および四本のアクセス線のみが図示されているが、より多数またはより少数のデコーダ回路およびアクセス線が使用されてもよい。アクセス線は、メモリアレイのビット線またはワード線であってもよい。幾つかの実施形態においては、第二のアドレスデコーダ（図1に図示せず）が、本装置に含まれてもよく、アクティブ化のために第二組のうちのアクセス線を選択するためのアドレス情報をデコードするように構成されてもよい。例えば、第一のアドレスデコーダは、アクティブ化のためにワード線を選択するためのアドレス情報をデコードするように構成されてもよく、第二のデコーダは、選択されたワード線およびビット線に結合されたメモリセルにアクセスするために、アクティブ化のためにビット線を選択するためのアドレス情報をデコードするように構成されてもよい。

【0011】

選択回路115、125、135、145は、其々のアクセス線119、129、139、149に結合されてもよく、選択線A102および選択線B103にさらに結合されてもよい。選択線A102および選択線B103は其々の電圧を提供してもよい。典型的には、選択線A102および選択線B103にわたって電圧を提供するとき、電圧のうちの一方は他方の電圧よりも高い。幾つかの実施形態においては、選択線A102の電圧および選択線B103の電圧は変化してもよい。プレデコード回路110、120、130、140は極性線101に結合されてもよい。極性線101は、プレデコード回路110、120、130、140に信号を提供し、其々の選択回路115、125、135、145を介した、選択線AおよびB102、103へのアクセス線119、129、139、149の結合を制御する。プレデコード回路110、120、130、140は、さらに、選択回路115、125、135、145をアクティブ化するようにさらに構成されてもよく、例えば、其々のアドレス情報ADDIN0-ADDIN3および極性線101に基づいて、其々のアクセス線119、129、139、149を選択線A102または選択線B103に結合する。幾つかの実施形態においては、其々のアドレス情報ADDIN0-ADDIN3に基づいて選択されたアクセス線119、129、139、または149のみが、選択線A102または選択線B103に結合されてもよい。残りの選択されていないアクセス線は、選択されたアクセス線に結合されていない方の残りの選択線に結合されてもよい。アドレスデコーダ104は、本開示の一実施形態におけるダイレクトデコーダとして実現されてもよい。

【0012】

図2は、アドレスデコーダ104の特定の例示的一実施形態を図示する。簡略化のため

に、二つのデコーダ回路106、116および二本のアクセス線119、129のみが図示されているが、より多数またはより少数のデコーダ回路およびアクセス線が含まれてもよい。プレデコード回路110は、4ビットアドレス(ADDR0-3__BAR)によって表されるアドレス情報ADDIN0を受け取るように構成された4入力NANDゲート201を含む。NANDゲート201の出力は、2入力NANDゲート205の入力に結合される。NANDゲート205の他方の入力、制御信号EVEN__BARに結合され、EVEN__BARは、試験中に用いられることがあるが、通常動作中にはアクティブ化されない。EVEN__BARは、通常動作中には論理ハイ(“1”)である。NANDゲート205の出力は、XORゲート210の入力に結合される。XORゲート210の第二の入力は、極性線101に結合される。XORゲート210の出力は、選択回路115のPFETトランジスタ230およびNFETトランジスタ235のゲートに結合される。トランジスタ230および235のドレイン同士は一つに結合される。トランジスタ230のソースは、選択線A102に結合される。トランジスタ235のソースは、選択線B103に結合される。アクセス線119は、トランジスタ230および235のドレインに結合される。アクセス線119は、トランジスタ230がアクティブ化されるときに選択線A102に結合されるだろうし、トランジスタ235がアクティブ化されるときに選択線B103に結合されるだろう。図2に示されるように、極性線101が論理ロー(“0”)であるとき、デコーダ回路106は、“0000”というアドレスのデコードに応じて、選択線B103にアクセス線119を結合し、他のアドレスに対しては、選択線A102にアクセス線119を結合し、デコーダ回路116は、“1000”というアドレスのデコードに応じて、選択線B103にアクセス線129を結合し、他のアドレスに対しては、選択線A102にアクセス線129を結合する。

【0013】

プレデコード回路110と同様に、プレデコード回路120は、4ビットアドレス(ADDR0、ADDR1-3__BAR)によって表されるアドレス情報ADDIN1を受け取るように構成された4入力NANDゲート215を含む。NANDゲート215の出力は、2入力NANDゲート220の入力に結合される。NANDゲート220の他方の入力、制御信号ODD__BARに結合され、ODD__BARは試験中に用いられることがあるが、通常動作中にはアクティブ化されない。ODD__BARは、通常動作中には論理ハイである。NANDゲート220の出力は、XORゲート225の入力に結合される。XORゲート225の第二の入力は、極性線101に結合される。XORゲート225の出力は、選択回路125のPFETトランジスタ240およびNFETトランジスタ245のゲートに結合される。トランジスタ240および245のドレイン同士は一つに結合される。トランジスタ240のソースは、選択線A102に結合される。トランジスタ245のソースは、選択線B103に結合される。アクセス線129は、トランジスタ240および245のドレインに結合される。アクセス線129は、トランジスタ240がアクティブ化されると選択線A102に結合されるだろうし、トランジスタ245がアクティブ化されると選択線B103に結合されるだろう。

【0014】

前述の記載は、本開示の、可能性のある一つの実装に過ぎない。本開示は、本開示の範囲から逸脱することなく、別の論理ゲートおよびトランジスタ型で実現されてもよい。回路動作の一例が今から記述される。以下に記述される例は、本開示についての理解を向上させるために提供されるものである。この例は、本開示の範囲を限定するものとして考えるべきではない。

【0015】

第一の例においては、デコードされるアドレスは“0000”であり、このアドレスは、デコードされると、アクセス線119を選択させることになる。“0000”アドレスの結果として、NANDゲート201に提供されるアドレス情報ADDR0__BAR、ADDR1__BAR、ADDR2__BARおよびADDR3__BARは、“1111”であり、NANDゲート215に提供されるアドレス情報ADDR0およびADDR1-3__

10

20

30

40

50

BARは“0111”である。前述されたように、“0000”というアドレスのデコードの結果として、デコーダ回路106にアクセス線119を選択させるであろうアドレス情報を生じるであろう。制御信号EVEN__BARおよびODD__BARもまた論理ハイである。極性線101は論理ローに設定される。この例においてもまた、選択線A102の電圧は、選択線B103の電圧よりも高い。

【0016】

NANDゲート201に提供された“1111”によって、NANDゲート201は、論理ロー出力を提供し、NAND205の出力は論理ハイである。NANDゲート205の出力が論理ハイであり、かつ、極性線101が論理ローであるとき、XORゲート210の出力は論理ハイである。XORゲート210の論理ハイの出力は、NFEETトランジスタ235をアクティブ化して、アクセス線119を選択線B103に結合させる。プレデコード回路120については、NANDゲート215に提供された“0111”によって、NANDゲート215の出力は論理ハイである。再度述べるが、ODD__BARは論理ハイである。その結果としてNANDゲート220の出力は論理ローである。前述されたように、極性線もまた論理ローである。双方の入力が論理ローであるとき、XORゲート225の出力もまた論理ローである。XORゲート225の論理ローの出力は、PFETトランジスタ240をアクティブ化して、選択線A102にアクセス線129を結合させる。

【0017】

其々の選択回路を通じた選択線A102および選択線B103に対するアクセス線の結合が反転される一例が、これから記述される。NANDゲート201および215に提供されるアドレス情報ならびにNANDゲート205および220により出力される論理レベルは、前述したのと同様のままであるが、極性線101は、今度は論理ハイに設定される。即ち、NANDゲート201の出力はいまなお論理ローであり、NANDゲート205の出力は、いまなお論理ハイである。しかしながら、極性線101は論理ハイであるため、ここでは、XORゲート210に対する双方の入力が論理ハイであり、その結果として、XORゲート210の出力が論理ローである。これによって、PFETトランジスタ230をアクティブ化し、アクセス線119は選択線A102に結合される。再びプレデコード回路120について、NANDゲート215に提供される“0111”によってNANDゲート215の出力はいまなお論理ハイであり、NANDゲート220はいまなお論理ローである。極性線101が論理ハイなので、XORゲート225の出力は論理ハイである。これによって、NFEETトランジスタ245をアクティブ化し、アクセス線129は選択線B103に結合される。前述の例によって例示されたように、アクセス線119は、選択線B103に結合された状態から選択線A102に結合された状態に切り替えられ、アクセス線129は、選択線A102に結合された状態から選択線B103に結合された状態に切り替えられる。アドレスデコーダ104は、極性線101の使用を通じて、其々のアクセス線がどの選択線に結合されるかを変更し得る。XORゲート210は、極性線101の論理レベルに基づいてNANDゲート205の出力信号を条件によって反転させてもよく、それによって、アドレス情報が原因となってXORゲートに対するアクティブ出力信号をNANDゲート205に提供させる場合には選択回路のうちのどのトランジスタがアクティブ化されるのか、ということを変更するのである。選択回路のトランジスタ230などのPFETトランジスタは、典型的には、ソースからのより高い電圧をドレインでのより低い電圧に提供するのにより適しており、選択回路のトランジスタ235などのNFEETトランジスタは、典型的には、ソースからのより低い電圧をドレインにおけるより高い電圧に提供するのにより適している。アクセス線に提供されることになる電圧を変化させることは、選択回路のどのトランジスタが動作中にアクティブ化されるのかを切り替えることによって、より効率的に処理され得る。

【0018】

例えば、デコードするアドレス“0000”と、極性線101に提供される論理ローとを提供する前述の例から続けると、“1111”が、デコーダ回路106のNANDゲ

10

20

30

40

50

ト 2 0 1 に提供され、これは、論理ハイ信号を X O R ゲート 2 1 0 に提供させて、N F E T トランジスタ 2 3 5 をアクティブ化して選択線 B 1 0 3 にアクセス線 1 1 9 を結合し、また、“ 0 1 1 1 ” が、デコーダ回路 1 1 6 の N A N D ゲート 2 1 5 に提供され、これは、X O R ゲート 2 2 5 に論理ロー信号を提供させ、P F E T トランジスタ 2 4 0 をアクティブ化してアクセス線 1 2 9 を選択線 A 1 0 2 に結合する。前述したように、選択線 A 1 0 2 の電圧は、前述の例において、選択線 B 1 0 3 の電圧よりも高い。アクセス線に結合される選択線を変化させることは、論理ローから論理ハイに極性線 1 0 1 の論理レベルを変化させることによって達成されてもよく、これによって、X O R ゲート 2 1 0 の出力を論理ハイから論理ローへと切り替えるとともに、X O R ゲート 2 2 5 の出力を論理ローから論理ハイへ切り替える。その結果、アクセス線 1 1 9 は、選択線 A 1 0 2 に結合され、P F E T トランジスタ 2 3 0 を通じてより高い電圧の提供を受け、アクセス線 1 2 9 は、選択線 B 1 0 3 に結合され、N F E T トランジスタ 2 4 5 を通じてより低い電圧の提供を受ける。

10

【 0 0 1 9 】

アクセス線がどの選択線に結合されるのかを変化させることは、メモリセル全体にわたる極性を切り替えることを含み得るメモリ動作を実施するために、使用されてもよい。例えば、幾つかの実施形態においては、アクセス線 1 1 9、1 2 9 は、ワード線であってもよい。デコーダ回路 1 0 6 および 1 1 6 に類似する回路が、ビット線に対して存在してもよい。ビット線に対応する回路は、図 2 には図示されていない。選択されたメモリセルをまたがる電圧が切り替えられ得るように、そして、それによって電流が、メモリ素子を異なる方向に通って流れるように、ワード線に結合されたデコーダ回路およびビット線に結合されたデコーダ回路の動作を連動させてもよい。前述したように、幾つかの実施形態においては、選択線 A 1 0 2 および選択線 B 1 0 3 の電圧は、例えば動作中に変化してもよく、それによって、異なる電圧を提供すること、またはアクセス線に提供される電圧を変化させることにおいて、より大きな柔軟性をもたらし得る。

20

【 0 0 2 0 】

典型的なメモリアレイにおいては、多くのアクセス線、しばしば 1 0 0 0 のオーダのアクセス線が、実装される。コンポーネントの数および回路によって必要とされる面積を減少させるためには、より効率的なデコーダ回路が望ましい。階層的デコード構造は、デコーダ回路に必要とされるコンポーネントの数を減少させるために実装されてもよい。本開示の実施形態は、階層的デコード構造にも含まれてもよい。これは、アクセス線の選択線に対する結合の切り替えを許す回路のオーバーヘッドを償却するために、望ましいことがある。

30

【 0 0 2 1 】

図 3 (1) - 図 3 (2) は、本開示の例示的一実施形態による階層的アドレスデコーダ 3 0 1 のブロック図である。本実施形態は、アドレスデコーダ 3 0 1 に提供される 8 ビットアドレス (A D D R 0 - A D D R 7) について記述され、これは、2 5 6 本までのアクセス線のデコードを見越したものである。しかしながら、異なるビット数のアドレスおよび異なるアクセス線数に対するアドレスが、本開示の範囲から逸脱することなく使用されてもよい。これによって、アドレスをデコードするためのプレデコード回路の数を変化するのであることを、当業者はよく理解するであろう。階層的アドレスデコーダ 3 0 1 は、1 6 個のローカルプレデコード回路と、1 6 個のグローバルデコード回路とを含んでもよい。ローカルプレデコード回路 3 3 0 - 3 4 5 は、アドレス情報を与えるためのアドレスのうちの最下位の 4 つのビット (A D D R 0 - 3) を受け取ってもよい。ローカルプレデコード回路 3 3 0 - 3 4 5 は、極性線 1 0 1 に結合されてもよい。各ローカルプレデコード回路は、其々のローカル選択回路 3 5 0 - 3 6 5 にさらに結合されてもよい。各ローカルプレデコード回路は、他の 1 5 個のローカル選択回路 (図示せず) にさらに結合されてもよい。例えば、ローカルプレデコード回路 0 3 3 0 は、ローカル選択回路 0 3 5 0、ローカル選択回路 1 6 (図示せず)、ローカル選択回路 3 2 (図示せず) などに結合されてもよい。ローカルプレデコード回路 1 3 3 1 は、ローカル選択回路 1 3 5 1、ロ

40

50

ーカル選択回路17（図示せず）、ローカル選択回路33（図示せず）などに結合されてもよい。ローカルプレデコード回路2-15 332-345は、同様に結合されてもよい。グローバルプレデコード回路305は、アドレスのうちの他のビットを受け取ってもよく、極性線101に結合されてもよい。グローバルプレデコード回路0 305は、ローカル選択回路350-365にさらに結合されてもよい。15個のさらなるグローバルプレデコード回路（図示せず）が含まれてもよく、ローカル選択回路に結合されてもよい。例えば、ローカル選択回路0-15 350-365は、グローバル回路0 305に結合されてもよく、ローカル選択回路16-31（図示せず）は、グローバルプレデコード回路1（図示せず）に結合されてもよく、ローカル選択回路32-47（図示せず）は、グローバルプレデコード回路2に結合されてもよい、といったふうである。各ローカル選択回路350-365は、選択線A102および選択線B103に結合されてもよい。各ローカル選択回路は、其々のアクセス線370-385にさらに結合されてもよい。

10

【0022】

階層的デコード構造を実装することによって、プレデコード回路の数は、256から32に減少させることができる。本開示の範囲から逸脱することなく、より多数のアクセス線に対する階層にさらなるレベルを追加することによって、より高い効率を達成することができる。

【0023】

図4は、本開示の例示的一実施形態による階層的アドレスデコーダ301の回路図である。明確化のために、単一のアクセス線370を選択するための回路が図示されているが、他のアクセス線に対しても同様にこれが複製されてもよい。図4でADDR0-3__BARと表されているアドレス情報は、NANDゲート401の入力で受け取られる。NANDゲート401の出力は、NANDゲート405に結合される。NANDゲート405の第二の入力は、制御信号EVEN__BARに結合されるが、EVEN__BARは、試験中に用いられることがあるが、通常動作中にはアクティブ化されない。EVEN__BARは、通常動作中には論理ハイである。NANDゲート405の出力は、XORゲート410の入力に結合される。XORゲート410の他方の入力は、極性線101に結合される。XORゲート410の出力は、ローカル選択回路350内のPFEETランジスタ455およびNFETランジスタ460のゲートに結合される。ランジスタ455および460のドレイン同士は、一つに結合され、アクセス線370に結合される。ランジスタ455のソースは、PFEETランジスタ445およびNFETランジスタ450のドレインに結合される。ランジスタ460のソースは、PFEETランジスタ465およびNFETランジスタ470のドレインに結合される。

20

30

【0024】

グローバルプレデコード回路305は、NANDゲート415の入力において、ADDR4-7__BARとして図4に表されるアドレス情報を、受け取る。NANDゲート415の出力は、NANDゲート420の入力に結合される。NANDゲート420の他方の入力は、制御信号ODDOREVEN__BARに結合され、ODDOREVEN__BARは、試験中に用いられることがあるが、通常動作中にはアクティブ化されない。ODDOREVEN__BARは、通常動作中には論理ハイである。NANDゲート420の出力は、NORゲート425およびNORゲート440の入力に結合される。NORゲート425の第二の入力は極性線101に結合される。NORゲート425の出力は、インバータ430の入力に結合される。インバータ430の出力は、ランジスタ465および470のゲートに結合される。ランジスタ465および470のドレイン同士は互いに結合され、上述されたように、ランジスタ460のソースに結合される。ランジスタ465のソースは選択線A102に結合され、ランジスタ470のソースは、選択線B103に結合される。NORゲート440に戻ると、第二の入力はインバータ435の出力に結合される。インバータ435の入力は、極性線101に結合される。NORゲート440の出力は、ランジスタ445および450のゲートに結合される。ランジスタ445および450のドレイン同士は、互いに結合され、ランジスタ455のソースに結合

40

50

される。トランジスタ445のソースは選択線A102に結合され、トランジスタ450のソースは、選択線B103に結合される。

【0025】

本開示は、本開示の範囲から逸脱することなく、別の論理ゲートおよびトランジスタ型で実現されてもよい。回路動作のある例がこれから記述される。以下に記述される例は、本開示についての理解を向上させるために提供される。この例は、本開示の範囲を限定するものとして考慮されるべきではない。

【0026】

第一の例においては、アドレス“0000 0000”がデコードされることになる。0000 0000というアドレスは、アクセス線370に対応する。即ち、アクセス線370は、アドレス0000 0000によって選択される。ADDR0__BAR、ADDR1__BAR、ADDR2__BAR、ADDR3__BAR、ADDR4__BAR、ADDR5__BAR、ADDR6__BARおよびADDR7__BARは、全て論理ハイ（例えば、“1111 1111”）である。EVEN__BARおよびODDOREVEN__BARもまた論理ハイであり、極性線101は論理ローに設定される。

【0027】

ローカルプレデコード回路330について、NANDゲート401の出力は、論理ローである。上述されたように、EVEN__BARは、論理ハイ（“1”）であるため、NANDゲート405の出力は論理ハイである。極性線101が論理ローであるため、XORゲート410の出力は論理ハイである。XORゲート410の出力は、NFEETトランジスタ460をアクティブ化する。アクセス線370は、トランジスタ465および470のドレインに結合される。

【0028】

グローバルプレデコード回路305については、NANDゲート415の出力は論理ローである。ODDOREVEN__BARは論理ハイであるため、NANDゲート420の出力は論理ハイである。NORゲート425の出力は論理ローであり、これはインバータ430によって反転される。従って、トランジスタ465、470に提供される信号は論理ハイであり、NFEETトランジスタ470がアクティブ化される。上述されたように、NFEETトランジスタ460もアクティブ化され、それによって、アクセス線370を選択線B103に結合させる。NORゲート440に戻ると、NORゲート440はNANDゲート420から論理ハイを受け取る。極性線101の論理ローは、インバータ435によって反転され、その結果、NORゲート440に対する入力双方とも論理ハイである。これによって、NORゲート440の出力は論理ローにされ、それがPFETトランジスタ445をアクティブ化する。しかしながら、PFETトランジスタ455はアクティブ化されていないため、選択線A102の電圧はアクセス線370に提供されない。

【0029】

選択線に対するアクセス線370の結合が反転される一例が、これから記述される。極性線101の論理レベルを、論理ローから論理ハイに変化させる。NANDゲート405の出力およびNANDゲート420の出力は、いまなお論理ハイである。この例においては、XORゲート410の出力は論理ローとなるだろうし、PFETトランジスタ455がアクティブ化されるであろう。アクセス線370は、PFETトランジスタ455によってトランジスタ445および450のドレインに結合されるであろう。NORゲート425の出力は論理ローであり、インバータ430によって反転される。したがって、トランジスタ465、470に提供される信号は論理ハイであり、NFEETトランジスタ470がアクティブ化される。しかしながら、トランジスタ460がアクティブ化されていないため、選択線B103の電圧はアクセス線370に提供されない。NORゲート440に戻ると、NORゲート440は、NANDゲート420から論理ハイを受け取る。極性線101が論理ハイに設定され、インバータ435によって反転されると、NORゲート440への入力は論理ローである。したがって、NORゲート440の出力は論理ローであり、PFETトランジスタ445をアクティブ化する。上述されたように、PFETト

ランジスタ４５５もアクティブ化され、それによってアクセス線３７０を選択線Ａ１０２に結合させる。

【００３０】

幾つかの実施形態においては、アクセス線を選択解除することにもさらに再選択することもなく、アクセス線がどの選択線に結合されるのかということ切り替える能力は、異なる電圧を提供する上で、またはアクセス線に提供される電圧を変化させる上で、より大きな柔軟性をもたらすことができる。上記の例に記述されたように、アクセス線に結合される選択線は、極性線１０１における論理信号を変化させることによって切り替えることができ、これによって、どのトランジスタがアクティブ化されるかを変化させる。選択されたアクセス線がどちらの選択線に結合されるかをデコードして切り替えるのには、アドレスデコーダ３０１は、新規アドレスを待つ必要もないかもしれない。

10

【００３１】

上記の例においては、アクセス線３７０は、複数のワード線のうちの一つであってもよい。ローカルプレデコード回路３３０、グローバルプレデコード回路３０５およびローカル選択回路３５０に類似する回路が、複数のビット線に対して存在してもよい。明確化のために、ビット線に対応する回路は図示されていない。選択線に対するアクセス線３７０の結合が切り替えられ、極性線１０１が、論理ローから論理ハイに切り替えられると、選択線に対するビット線の結合もまた反転されてもよい。グローバルな信号極性線１０１によって支援される、ワード線とビット線の双方に対する選択線の極性のこの連動した反転の結果は、メモリ素子を通して異なる方向に電流が効率的に流れることができ得ることである。

20

【００３２】

図５は、本開示の一実施形態によるアドレスデコーダを含むメモリシステムのブロック図である。メモリシステムは、本開示の一実施形態によるメモリ９０３を含む。メモリシステム９０１は、メモリ９０３に結合されたメモリアクセスデバイス９１１（例えば、プロセッサ、メモリコントローラなど）を含む。

【００３３】

メモリ９０３は、メモリセルのメモリアレイ９１３を含む。メモリアレイ９１３は、例えば、揮発性メモリセル（例えば、ＤＲＡＭメモリセル、ＳＲＡＭメモリセル）、不揮発性メモリセル（例えば、フラッシュメモリセル）または何らかの他の種類のメモリセルを含んでもよい。本開示の一実施形態においては、メモリアレイ９１３は、不揮発性抵抗変化型メモリセルを含み、メモリ９０３は、抵抗変化型ランダムアクセスメモリＲＲＡＭである。メモリ９０３およびメモリアクセスデバイス９１１は、別々の集積回路として実装することもできるし、または、メモリアクセスデバイス９１１およびメモリ９０３を、同一の集積回路、チップもしくはパッケージ内に組み込むこともできる。メモリアクセスデバイス９１１は、個別のデバイス（例えば、マイクロプロセッサ）とすることができるし、または、特定用途向け集積回路（ＡＳＩＣ）などの、ファームウェアで実装された何らかの他の種類のプロセス回路とすることもできる。

30

【００３４】

I/O接続９２７および制御接続９２９は、メモリアクセスデバイス９１１とメモリ９０３との間の通信インターフェイスを含む。図５の実施形態は、I/O接続９２７越しにI/O制御回路９１９を介して提供されるアドレス信号をラッチするための、アドレス回路９４３を含む。アドレス信号は、メモリアレイ９１３にアクセスするための行アドレスデコーダ回路９５７および列アドレスデコーダ回路９５１によって、受け取られてデコードされる。行アドレスデコーダ回路９５７および／または列アドレスデコーダ回路９５１は、本開示の一つ以上の実施形態によるアドレスデコーダ９５２、９５９を含んでもよい。本開示に照らして、アドレス入力接続の数は、メモリアレイ９１３の密度およびアーキテクチャに依存すること、ならびに、一つのメモリアレイ当たりのメモリセル数の増加と、メモリブロック数の増加および／またはメモリアレイ数の増加とに伴って、アドレスの数が増加することが、当業者によってよく理解されるであろう。メモリアレイの寸法が増

40

50

大するにつれて、メモリアレイの特定の部分を指定するためにより多くのアドレス情報が必要とされることがあることをも、読者はよく理解するであろう。

【0035】

読み出し回路953は、メモリアレイ913からデータを読み出すことができる。I/O制御回路919は、I/O接続927越しのメモリアクセスデバイス911との双方向データ通信のために含まれる。書き込み回路955は、メモリアレイ913にデータを書き込むために含まれる。

【0036】

制御論理回路921は、メモリアクセスデバイス911から制御接続929によって提供される信号をデコードする。これらの信号は、データ読み出しおよびデータ書き込みなどの、メモリ903に対する操作およびメモリアレイ913の操作を制御するために用いられる、チップ信号、書き込みイネーブル信号およびアドレスラッチ信号を含むことができる。異なる動作段階中に、あるメモリセルを通して異なる方向に電流が流れることができるように、制御論理回路921は、極性線（図示せず）に信号を提供してもよく、選択線（図示せず）の極性を制御してもよい。

10

【0037】

制御論理回路921は、特定のレジスタおよび／またはレジスタの特定のセクションを選択的にセットするか、または一つ以上のレジスタにデータをラッチするために、信号を送ることができる。一つ以上の実施形態においては、制御論理回路921は、メモリアクセスデバイス911から受け取った命令を実行してメモリアレイ913のメモリセルのある部分においてある動作を遂行することに対して、責任を負う。制御論理回路921は、ステートマシン、シーケンサ、または他の何らかの種類の論理コントローラとすることができる。さらなる回路および制御信号を提供することができること、ならびに図5のメモリデバイスの細目は例示のしやすさを助けるために単純化されていることが、当業者にはよく理解されるであろう。

20

【0038】

本明細書に開示された実施形態に関連して記述された、種々の例示的な論理ブロック、構成、モジュール、回路およびアルゴリズムステップは、電子ハードウェアか、プロセッサによって実行されるコンピュータソフトウェアか、または双方の組み合わせとして実装され得ることを、当業者はさらに理解するであろう。種々の例示的なコンポーネント、ブロック、構成、モジュール、回路およびステップは、その機能の観点から、一般的に上述された。このような機能がハードウェアとして実装されるのか、それともプロセッサで実行可能な命令として実装されるのかは、特定の用途およびシステム全体に課される設計の制約に依存する。当業者は、記述された機能を、各特定の用途に対して種々の方法で実装してもよいが、このような実装の決定は、本開示の範囲からの逸脱を引き起こすものとして解釈されるべきではない。

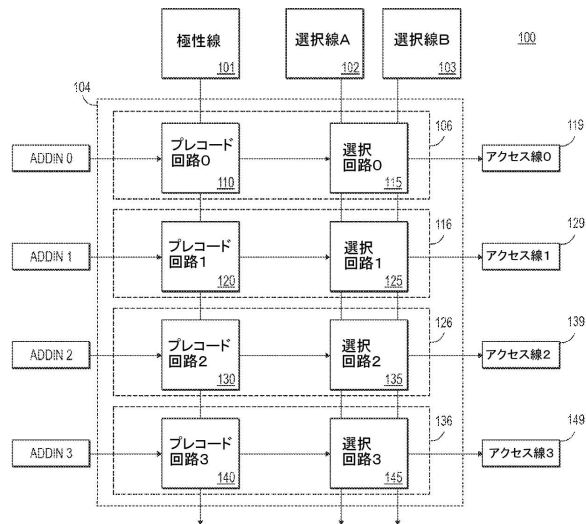
30

【0039】

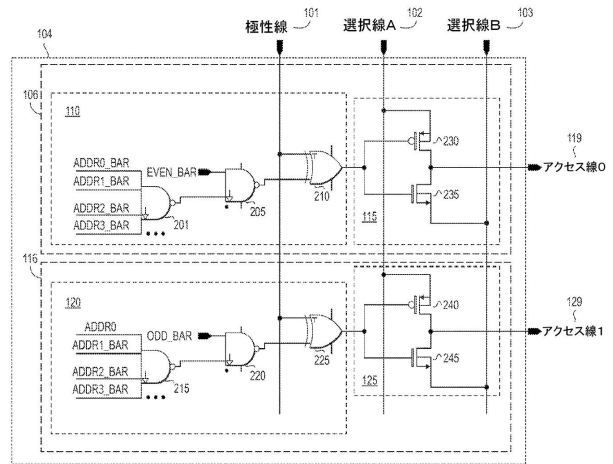
開示された実施形態の前述の記述は、開示された実施形態を当業者が製造または使用することを可能にするために提供される。これらの実施形態に対する種々の改変は、当業者にとって容易に明らかと成るだろうし、本明細書に規定された原理は、本開示の範囲から逸脱することなく、他の実施形態に適用されてもよい。したがって、本開示は、本明細書に示された実施形態に限定されるよう意図されたものではなく、以下の請求項によって規定される原理および新規の特徴に適う可能な限り最大の範囲が付与されるべきである。

40

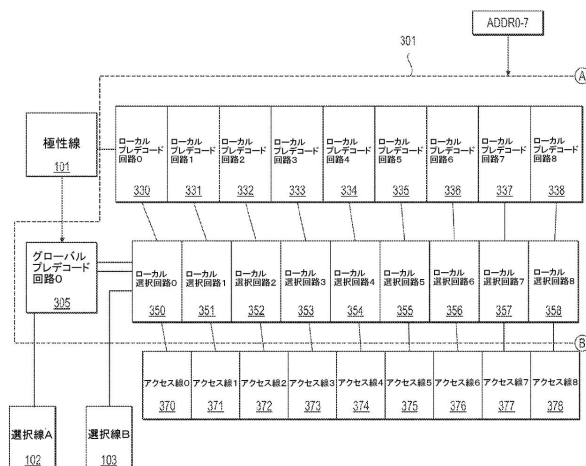
【図 1】



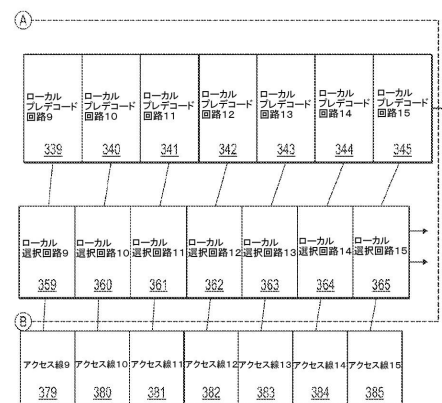
【図 2】



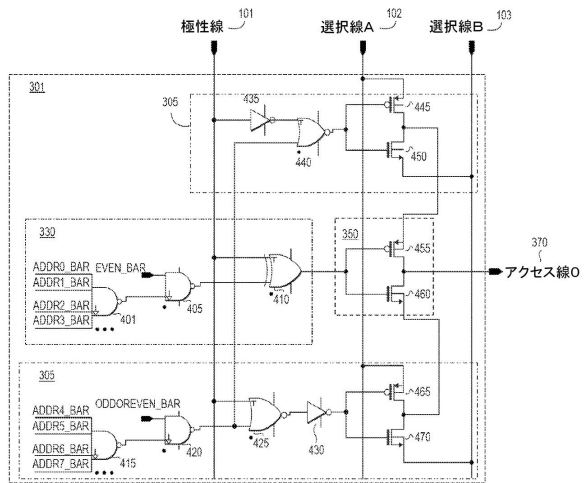
【図 3 (1)】



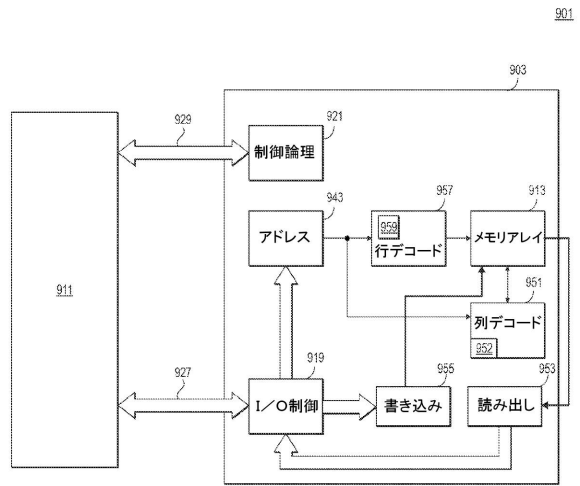
【図 3 (2)】



【図 4】



【図 5】



フロントページの続き

(56)参考文献 特表2009-545835 (JP, A)
特表2010-515200 (JP, A)
特開2013-084324 (JP, A)
米国特許出願公開第2010/0177582 (US, A1)
米国特許出願公開第2007/0008804 (US, A1)
米国特許出願公開第2013/0322185 (US, A1)

(58)調査した分野(Int.Cl., DB名)
G11C 8/10
G11C 13/00
G11C 29/12