

90年4月25日修正/更正/補充

申請日期	87.7.26
案號	87111793
類別	G66T 11/28

A4
C4

461995

(以上各欄由本局填註)

中文說明書修正頁(90年4月)

發明專利說明書		
一、發明名稱	中文	阻抗調整電路及調整阻抗之方法
	英文	IMPEDANCE ADJUSTMENT CIRCUIT AND METHOD OF ADJUSTING THE IMPEDANCE
二、發明人	姓名	1.史蒂芬 R. 莫利 2.馬修 B. 海庫克 3.喬瑟夫 T. 甘迺迪
	國籍	均美國
住、居所		1.美國奧利崗州比維頓市西北瑪德拉斯庭道17265號 2.美國奧利崗州比維頓市西北巴頓庭道16206號 3.美國奧利崗州比維頓市西北約翰奧森街2795號
三、申請人	姓名 (名稱)	美商英特爾公司
	國籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人 姓名	F.湯姆士.當烈二世

461995

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 1997年7月29日 08/902,345 ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

1. 發明範圍

本發明是關於一阻抗控制電路，特別是指用來調整一電路元件阻抗的控制電路，其調整方式至少部份是基於一外接耦合的阻抗。

2. 背景資料

一數位系統中介於元件之間的介面電路是廣為所知的，例如微處理器系統或是伺服器系統。然而，增加訊號的速度已使此種介面電路愈趨複雜，例如以每秒 500 百萬位元來傳送。舉例來說，由於訊號速度的增加，可能就必需要使系統中元件之間的阻抗相配合以減少可能發生的訊號反射量，例如在一伺服器系統中一傳送放大器和一受控制下的阻抗訊號耦合之間的阻抗。

如上所述的阻抗控制電路是廣為所知的。然而，實有必要備具一種在晶片上完成的經濟型的回饋控制電路使得即使透過介面電路傳送數位訊號樣本時能夠更新正在調整或控制的電路阻抗。

發明概述

簡單地說，根據本發明之一個具體實施例，一種積體電路包含：一數位回饋控制電路，其調整方式至少部份是基於調整與一外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗，以調整一介面電路輸出緩衝器的阻抗。

簡單地說，根據本發明的另一具體實施例，以數位的方式調整一介面電路輸出緩衝器之阻抗的一種方法包含：以

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

數位的方式調整與一外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗，以數位的方式調整一介面電路輸出緩衝器之阻抗，其調整方式至少部份是基於以數位的方式調整一非數據訊號輸出緩衝器之阻抗。

圖示簡述

關於本發明的主題於規格的結論中已特別指明並及明確列入申請事項。然而，本發明之結構和動作的方法，以及其中採用的物件，特性和優點，可藉由以下細部的描述配合相對的圖示加以了解，其中：

圖 1 為兩種端點方法的圖示：

圖 2 為根據本發明之一阻抗控制電路的具體實施例圖示：

圖 3 為圖 2 中輸出緩衝器的細部圖示：

圖 4 為圖 2 中具體實施例的部份細部圖示：

圖 5 為圖 2 中具體實施例的部份細部圖示：

圖 6 為圖 2 中具體實施例的部份細部圖示：

圖 7 為一典型金屬氧化物半導體的電流電壓特性對照圖：

圖 8 為圖 3 中具體實施例的部份細部電路圖示：

發明詳述

以下的細部說明中，特定的細節以便提供完整地描述本發明。然而，諳熟此藝者應了解本發明不一定需要此類細節。在其他情況下，有許多廣為所知的方法，步驟，元件，和電路並未在此提到，因此不會對本發明造成影響。

(請先閱讀背面之注意事項再填寫本頁)

訂

46

五、發明說明(3)

隨著矽晶科技的進展，由矽所製成的邏輯元件也隨著加速。因此需要高速的介面電路將電子訊號，如數位訊號，輸入能夠在該等高速的積體電路晶片內或由之輸出。爲了要藉由介面電路傳輸高速電子訊號，即需使用一個適當的終端接和控制的阻抗電路。要完成此任務，終端電路或結構可以做在晶片內或晶片外；然而，一般均說，將終端電路做在晶片內會比較低價及快速。

圖 1 表示電源終端和平行終端兩種方式。任一種都可用來實現根據本發明的具體實施例；然而，以下所描述的具體實施例是用電源終端的方式實現以達到其所具有的低價和高速優點。如圖 1 所示，在兩種方式中，電子訊號，如本特別具體實施例中的數位訊號，由一電源驅動器，如 110 或 250，連接到一終點驅動器，如 150 或 260。同樣地，這些訊號經由一耦合來傳輸，如具有阻抗 Z_0 的 140 或 240。若採用廣爲所知的阻抗匹配技術時，其表現要比另一種方式來得改善得多。藉由匹配耦合 140 或 240 的阻抗，可能由終端驅動器反射回來電子訊號就可以適當地排除。在本文中所指的是在耦合的電源端完全沒有電子訊號反射發生。

如圖 1 所示，可以使用電源終端或是平行終端方式。在電源終端方式中，耦合 140 的阻抗與電源驅動器 110 的阻抗相匹配。而在平行終端方式中，則是將匹配阻抗 210 與被匹配的耦合阻抗 240 相匹配。

雖然本發明在範疇上並未受限，介面電路也可與一如訊

(請先閱讀背面之注意事項再填寫本頁)

訂

461

五、發明說明(4)

號匯流排一起應用於如一桌上型個人電腦或是一伺服器結構。爲了要達到伺服器所需的高速，可用前述的阻抗匹配。然而，如之前所指，由於價格和速度的因素，在電路板上或任何其他地方都會用平行終端方式而不是電源終端方式。因此，在此特別的具體實施例中，可以將一驅動器的阻抗與一網路的外接耦合之阻抗相匹配以達到高速的訊號。

在採用金屬氧化物半導體(MOS)技術的情況下，阻抗匹配就會牽涉到將一已知的阻抗與一代表金屬氧化物半導體晶體的動作狀態的非線性電流電壓特性曲線上的一點的阻抗相匹配。此特性曲線即是以金屬氧化物半導體晶體的集極到源極電流爲Y軸，集極到源極電壓爲X軸的曲線圖，如圖7。

要做到此種阻抗匹配可以採用很多種方式，而本發明的範疇也未限定在一特定的方式，如限制金屬氧化物半導體動作的範圍，或是採用一電路而使金屬氧化物半導體晶體的動作大約線性化；然而，以此特別的具體實施例來說，若以實現的難易度爲準，阻抗匹配將會匹配到金屬氧化物半導體晶體電流電壓特性曲線上的一選定點上。此種方式允許採用一反向互補金屬氧化物半導體(CMOS)緩衝器爲一輸出緩衝器。然而，其缺點之一是造成轉換到電流電壓曲線上的另一部份的雜訊源，如到電晶體的飽和區域，不會適切地終斷而因此會造成訊號樣本間的干擾。

利用一反向互補金屬氧化物半導體輸出緩衝器來使外接

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

耦合的阻抗大約線性化有許多種方式。例如，可採用順向串接裝置或是閘極串接的方式。以此特別的具體實施例來說，雖然本發明在範疇上並未受限，但受限於電子訊號易受吵雜環境干擾，還是採用數位的方式。

在一種具體實施例中，雖然本發明在範疇上並未受限，可以採用一電路，運用順向串接裝置與一主要的輸出放大器串接以調整或是控制整個結構的有效阻抗。此順向串接元件可以包含可以單獨啓用的多種，平行耦合。

用來調整輸出緩衝器的有效阻抗的這些裝置的比重可以用許多方法來達成，雖然本發明在範疇上並未受限於任何特殊的方式。兩種常用的方式為二進位比重和線性比重。雖然整體裝置的尺寸大小會影響實現出來的阻抗可用範圍，但是阻抗的解析度會受到最小裝置的尺寸所影響，如圖3所示。二進位比重的一個優點是，與線性比重方式比起來其對一已知的解析度來說允許較大的阻抗範圍；然而，如以下更細部的解釋，其在啓動後更新阻抗時有缺點。

如前所述，另一種方式是採用閘極串接以調整或是控制輸出緩衝器的阻抗。此特殊方法用在圖3中的具體實施例，雖然本發明在範疇上並未受限於任何特殊的方式。採用此方式以實現輸出緩衝器可能會影響到額外的製造考量，包含如因為靜電放電敏感度而考慮最小接腳的尺寸，及同樣地，另一特別緩衝器所採用的晶片區域。例如，一順向串接方式會比閘極串接方式用到更大的面積。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

如圖 3 所示，該放大器為一多重接腳裝置，其輸入訊號與單一接腳的啓動訊號相連接。在本文中，專有名詞接腳是指要實現放大器結構(例如 460，470，480，490，510，520，530 及 540)所採用的主要電晶體。與順向串接相比較之下，整個放大器的尺寸縮小了。然而，在速度上卻減緩了，因為加了前驅動器，如 430 或 440，其更複雜而引進更多的延遲。

產生出來的數位訊號之轉動率也是可調整或控制的。再次地，也是可用許多種方式，包含類比技術和數位技術。在圖 3 的具體實施例中，衍生了阻抗和轉動率的調整。在此特別的具體實施例中，使用阻抗控制耦合的一子結構來控制轉動率。與阻抗控制和轉動率控制一同輸入緩衝器的另一方式相比較之下，此特別方式會減少電路和耦合。在此特別具體實施例中，採用一四位元的控制方式，其中此四位元中有兩位元是轉動率控制。要達到轉動率的調整，可用啓動或產生電子數位輸出訊號的裝置那一邊的前驅動器的平行接腳。例如，以 P 型的金屬氧化物半導體前驅動器來說，N-型裝置有多重接腳。如圖 8 所示之 450 的細部圖解，裝置 700 和 710 與前驅動器 N-型金屬氧化物半導體裝置互相順向串接。反向器 452 也可以使用 P 型的金屬氧化物半導體裝置的類似方式。圖 8 中的裝置 700 和 710 是用來控制前驅動器的阻抗，其方法類似於裝置 460，470 用來控制輸出緩衝器阻抗的方法。此阻抗會趨動輸出緩衝器的電容，如受到裝置 460，470 等的影響，會限制輸出

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

緩衝器的轉動率。由於輸出緩衝器是用於一電源終端結構中的，因此在此具體實施例中只有輸出緩衝器的啟動轉動率受到控制。若是採用另一種平行終端具體實施例的話，啟動轉動率也會至少部份受到合中的靜電流影響而受到控制。

如圖3中的輸出緩衝器具體實施例，en3和en2是用來調整轉動率的。如以下的細部說明，在控制邏輯中會採用一介於阻抗調整值和轉動率調整值的平行值。因此，前趨動器的阻抗若控制得好的話，驅動器的轉動率也可以控制得很好。

如之前所描述的數位可控制緩衝器，其在製造過程及環境上的變化可以用一數位控制迴路來補償。雖然可用之前所述的數位可控緩衝器，但是要知本發明並不受限於此特別具體實施例的範圍。任何數位可控緩衝器或甚至不能以數位方式控制的可控緩衝器都可以用。因為在圖4中的訊號取樣介面存在有雜訊，但可以限制迴路的頻寬以減低對雜訊的敏感度。可使用許多方法實現濾波器，如本具體實施例的取樣接腳，330，340，及360的介面，或是控制邏輯方塊310，其用來限制迴路的頻寬。其另一項優點是允許使用較慢的電路元件，並允許較低的取樣頻率以容許較長的訊號穩定時間，如以下所述。

圖2是一根據本發明的阻抗控制電路之一具體實施例300的圖示，雖然本發明並不受限於此特別的具體實施例的範圍。此具體實施例300實現於積體電路晶片上，雖然本發

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

明並不限於此方式的範圍。如所圖示，一外來的時脈訊號趨動控制電路；然而，其經過分頻器 442 分頻。輸出緩衝器 320 包含一介面輸出緩衝器，但是輸出緩衝器 330 卻包含一非數據訊號或是一假的輸出緩衝器。包含放大器 360 和阻抗控制邏輯器 310 的一回饋控制迴路與期相耦合以調整輸出緩衝器 330 的阻抗，此至少部份是基於外接耦合 340 的阻抗。此回饋控制電路能大約將緩衝器 330 的阻抗，在此特別具體實施例中，與外接電阻 340 的阻抗相匹配。同樣地，具體實施例中，電阻 370 和 350 有效地為放大器 360 建立起電壓訊號參考值。至少部份基於放大器 360 之輸出訊號的阻抗控制邏輯器 310 控制是否將緩衝器 330 的阻抗往上或往下調整，即增加或減少緩衝器的阻抗。同樣地，此控制訊號也用在緩衝器 320 上。此回饋控制電路也產生控制訊號以調整緩衝器 320 的轉動率，其是基於由包含緩衝器 330 的回饋迴路動作所產生的阻抗控制訊號。同樣地，如以下更詳細的說明，採用電阻 410 以使緩衝器 320 可以在動作時更新狀態。

圖 4 為圖 2 的具體實施例的一部份。在圖 4 的具體實施例的這一部份中，一準度外接電阻與非數據訊號(假的)輸出緩衝器 330 的一輸出埠相耦合。因為前述的回饋電路之動作所獲得的阻抗值則用來調整輸出緩衝器 320 的阻抗。此具體實施例的回饋電路會為放大器 360 產生一參考電壓訊號值。此具體實施例的參考電壓訊號值在圖 4 中是由電阻 350 和 370 實現。其設定了放大器 360 的臨介值。此參考

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

值有效地設定了在金屬氧化物半導體晶體電流電壓特定曲線上，緩衝器 330 阻抗匹配的點。電阻 340 經由選定以使外接耦合的值趨近於緩衝器 320。當然，可用另一外來的耦合代替電阻 340 或是另一其他方式。

此具體實施例的回饋控制電路如以下動作。輸入門閘 305 取得一取樣阻抗訊號值。一第一預定時間會先經過以使門閘趨於穩定。基於所取得的取樣訊號值和與電阻 340 相關的緩衝器 330，就可決定要如何調整緩衝器 330 的阻抗，即增加或減少阻抗。例如，此可用 310 來實現，其會調整一上/下計數器或是移位暫存器的值以控制緩衝器 330 的阻抗，如下所述。因此，阻抗控制邏輯器 310 會產生用於緩衝器 330 的訊號以產生下一個阻抗值。另一第二預定時間會經過以使調整過後的阻抗值於緩衝器 330 的輸出埠趨於穩定並經由輸入放大器 360 傳遞。此過程會重覆直到阻抗，在此具體實施例中是電阻 340，如預期達到匹配。在此點，於本具體實施例中，控制電路 310 會使得緩衝器 330 的阻抗值趨近於目標阻抗值，而只有最小的位元值有正或負的變化。

在本具體實施例中，用來使圖 4 的輸出緩衝器 330 趨於穩定的時間是由一時脈分頻器提供。如圖示，控制迴路的邏輯值是由此降頻的時脈訊號所控制。由於要符合輸入門閘 305 的穩定時間，因此要將時脈或是取樣頻率適當地設定以獲得一合理的低取樣頻率。此特殊的內部穩定會在時脈的任何時間由假接腳的雜訊產生，而因此可能會違反門

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

閘 305 的穩定和保持條件。計算不同閘閘失效間的平均時間要考慮一些參數如製造過程技術，閘閘設計，所允許的設定時間，及閘閘數據邊際時序針對時脈的或然率分佈。只要採用這些參數的邊際可靠值，及一允許的錯誤率，就可計算出一可接受的穩定時間。例如，對於約以 433 百萬赫茲的頻率取樣平均分佈的非同步數據訊號(並做一些簡化的假設)的閘閘來說，雖然本發明並不受限於此方式的範圍，但是應以至少兩個取樣時脈訊號將時脈訊號分頻。因此對此具體實施例來說，分頻器 442 對目標過程提供一可接受的穩定時間，雖然本發明並不受限於此方式的範圍。

本具體實施例的另一個特點是將大於取樣頻率一半的頻率加以濾波以減少在或是大於 Nyquist 頻率上所產生的雜訊源。這些頻率可能造成頻率重疊。圖 5 為本具體實施例所用的濾波器，然而再一次地，本發明並不受限於所用的濾波器或是此特殊具體實施例的範圍。同樣地，在安置濾波器的極點時，也要避開不穩定的點。因此會在一個比迴路頻寬低的頻率更新阻抗使迴路在更新之後才穩定下來。在本具體實施例中，類比濾波器的極點小於取樣頻率的一半，但是至少大於兩倍的更新頻率，雖然本發明並不受限於此方式的範圍。因此在時間領域上的結果是，在阻抗更新之後，下一個取樣是發生在兩倍的濾波器時間常數之後。當然，在下一個取樣之前也可以用一個比較大的濾波器時間常數，然而，如此會增加控制迴路的鎖定時間。

由於控制迴路的動作以及輸出緩衝器 320 的阻抗可能不

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(11)

是很準確地匹配，控制迴路應該以與匹配點相差不到一個位元值的鎖定頻率振盪。應該要將此振盪由緩衝器 320 所產生的實際輸出訊號移除。雖然可以用許多不同的方式達到此目的，但是只要用一個簡單的數位選頻移除濾波器(notch filter)就可以了。例如，用一簡單的除外閘(exclusive)或是電路就可以。如果連續的數位取樣值都不變的話就更新緩衝器 320，然而如果連續的數位取樣值都在變的話則緩衝器 320 就保留上一個更新值。圖 6 為此特殊的具體實施例。如圖，阻抗控制方塊 310 將訊號輸入輸出緩衝器 330。同樣地，低通濾波器 610 將輸出訊號輸入到選頻移除濾波器 620。選頻移除濾波器 620 將訊號輸入到方塊 407。視選頻移除濾波器 620 所接收到的連續取樣訊號而定，310 所產生的阻抗控制訊號也由方塊 407 輸入到暫存器 640，然後暫存器 410 並最後到緩衝器 320。

此阻抗控制方塊 307 的實現至少部份視輸出緩衝器的接腳比重而定。例如，如果所用的裝置的比重都是線性的，則可以用一個位移暫存器。然而，若其比重為二進位時，此方塊的實現則是一個上/下數的計數器。以一個線性比重的緩衝器來說，每一個阻抗更新會改變位移暫存器的一個位元，而使緩衝器的阻抗以固定的量做更新。以一個二進位比重的緩衝器來說，計數器會被更新，而產生另一個二進位數位訊號值以控制緩衝器的阻抗。因此在此具體實施例中，對每一單次的阻抗更新來說，計數器的所有位元都會改變。如圖 6 所示，使用一個加法器 650 以將阻抗值的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

轉動率值平行位移。可以用許多技巧由內或由外來達到此平行位移。例如，此平行位移值可由一外接電源輸入至暫存器，或另外地，也可用一個保險絲來做。例如，如果要用同一個輸出緩衝器來匹配幾個阻抗的話，就要維持一固定的轉動率並能夠修改此平行位移值。

如前所述，本具體實施例有能力在輸出緩衝器傳送數據訊號時調整其阻抗。這種動作中更新的一個問題是，例如若更新發生在送出數據訊號的邊緣附近時，可能改變此邊緣的時序。這可能產生不必要的時序雜訊。例如，以具有五個接腳的二進位比重輸出緩衝器來說，輸出緩衝器阻抗明顯的改變可能會在一個單一個時脈週期內發生。而在線性編碼的狀況下，因為一次只有一個位元改變，這種效果的影響就減少了。然而，線性編碼的阻抗值範圍比較小。同樣地，由於使用轉動率控制，所產生的額外問題是在阻抗改變很大時，有一些輸出緩衝器會因為轉動率控制而比較慢啟動。這在本具體實施例中會發生，因為以電源終端的緩衝器來說，很快就可以“關掉”接腳，但是因為要實現轉動率控制所以“啟動”接腳就慢了。例如，310的阻抗控制訊號可能會在單一次的阻抗更新由1000改變到0111。如果最大的位元最先改變時，緩衝器可能會暫時跳到第三狀態。如果當緩衝器在第三狀態時訊號傳輸耦合中的電流不是零，則導線值會做切換。剩下的阻抗控制位元也會切換，而將緩衝器切換回啟動狀態並且將耦合大約切回其原始狀態，但是速度很慢。因此導線會不穩定。如果這在輸

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

出緩衝器正傳輸數據訊號時發生則會影響整體效果。

在圖 8 所示的具體實施例中，動作中更新是在輸出緩衝器於第三狀態時更新，或是，更新反向互補金屬氧化物半導體(CMOS)輸出緩衝器的”關閉”或非傳送部份(例如，在具體實施例中，當輸出訊號是高時指的是 N 型金屬氧化物半導體，而當輸出訊號是低時指的是 P 型金屬氧化物半導體)。實現此方法是在圖 2 中使用電阻 410 的輸出緩衝器的每一個接腳上採用閘閘。用在電阻 410 的閘閘複製到每一個訊號輸出埠：然而，這些閘閘可能相當小。在圖 2 的具體實施例中，採用訊號 RESET 和 OEn 使動作中更新會在第三狀態或是重置時發生。雖然本發明並不受限於此方式的範圍，在本具體實施例中，動作中更新只用在輸出緩衝器的阻抗。在活轉率控制的解析度相當粗劣的應用中，轉動率控制可以重置後動作好幾個時脈週期以，例如，移除過程中的變化值，然後鎖定轉動率。另外，也可同樣地採用轉動率的動作中更新，雖然此會產生時序雜訊。

調整介面電路輸出緩衝器阻抗之方法的一種具體實施例，如圖 2 所示的輸出緩衝器 320，可以依下述所得。如前所述，與一外接阻抗，如圖 2 中的電阻 340，相耦合的一非數據訊號輸出緩衝器，如圖 2 中的電阻 330，的阻抗可以數位的方式調整。一介面電路輸出緩衝器，如圖 2 中的輸出緩衝器 320，可以數位的方式調整，其調整方式至少部份是基於以數位的方式調整此非數據訊號輸出緩衝器的阻抗。同樣地，介面電路輸出緩衝器也可以數位的方式

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

調整，其調整方式至少部份是基於以數位的方式調整此非數據訊號輸出緩衝器的阻抗。再一次地，如圖 2 所示，此已經與輸出緩衝器逼起描數過。同樣地，介面電路輸出緩衝器也可於動作中以數位的方式調整。例如在圖 2 中的具體實施例中，介面電路輸出緩衝器非傳送部份的阻抗可於動作中以數位的方式調整。如前所述，以數位的方式調整非數據訊號輸出緩衝器的阻抗包含大約將非數據訊號輸出緩衝器，如圖 2 中的緩衝器 330，的阻抗與外接耦合，如圖 2 中的電阻 340，的阻抗相匹配。同樣地，在此特殊的具體實施例中，雖然本發明並不限於此方式的範圍，非數據訊號輸出緩衝器的阻抗是用數位的方式調整的因此外接阻抗變成電源終端的型式。同樣地，以數位的方式調整與外接阻抗相耦合的非數據訊號輸出緩衝器的阻抗包含依二進位比重的增加量，以數位的方式調整阻抗，雖然再一次地，本發明並不限於此方式的範圍。

在此詳述了本發明的許多特性，熟諳此藝者現在都知道其許多的修改，取代，改變和同義發明。因此，要知道附錄的申請專利範圍涵蓋所有此等與本發明有同樣精神的修改和改變。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱:阻抗調整電路及調整阻抗之方法)

簡單地說，根據本發明之一個具體實施例，本發明係一種積體電路包含：一數位回饋控制電路，該電路係供調整一介面電路輸出緩衝器之阻抗，其調整之方法至少是部份根據一與外接阻抗耦合之非數據訊號輸出緩衝器中已調整之阻抗。

簡單地說，根據本發明的另一具體實施例，本發明係以數位的方式調整一介面電路輸出緩衝器之阻抗的一種方法包含：以數位的方式調整與一外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗，以及以數位的方式調整該介面電路輸出緩衝器之阻抗，該調整至少部份是基於以數位的方式所調整之該非數據訊號輸出緩衝器之阻抗。

英文發明摘要(發明之名稱:IMPEDANCE ADJUSTMENT CIRCUIT AND METHOD OF ADJUSTING THE IMPEDANCE)

Briefly, in accordance with one embodiment of the invention, an integrated circuit includes: a digital feedback control circuit to adjust the impedance of an interface circuit output buffer based, at least in part, on having adjusted the impedance of a non-data signal output buffer coupled to an external impedance.

Briefly, in accordance with another embodiment of the invention, a method of digitally adjusting the impedance of an interface circuit output buffer comprises: digitally adjusting the impedance of a non-data signal output buffer coupled to an external impedance, and digitally adjusting the impedance of the interface circuit output buffer based, at least in part, on the digitally adjusted impedance of the non-data signal output buffer.

六、申請專利範圍

1. 一種阻抗調整電路，包含：

一數位回饋控制電路，該控制電路至少部份是基於已調整與一外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗，而調整一介面電路輸出緩衝器之阻抗。

2. 如申請專利範圍第1項之阻抗調整電路，其中該數位回饋控制電路亦調整該介面電路輸出緩衝器的轉動率。

3. 如申請專利範圍第2項之阻抗調整電路，其中該數位回饋控制電路包含調整該介面電路輸出緩衝器在運作中(on-the-fly)之阻抗的能力。

4. 如申請專利範圍第3項之阻抗調整電路，其中調整該介面電路輸出緩衝器運作中之阻抗的能力包含在該介面電路輸出緩衝器運作中調整其非傳送部份之阻抗的能力。

5. 如申請專利範圍第3項之阻抗調整電路，其中用來調整該介面電路輸出緩衝器的數位回饋控制電路包含一用來使該非數據訊號輸出緩衝器阻抗與外接耦合阻抗約略匹配的數位回饋控制電路。

6. 如申請專利範圍第1項之阻抗調整電路，其中該外接耦合包含至少一個電阻。

7. 如申請專利範圍第1項之阻抗調整電路，其中該數位回饋控制電路包含一電源端的數位回饋控制電路。

8. 如申請專利範圍第1項之阻抗調整電路，其中該介面電路輸出緩衝器含一輸出緩衝器，該緩衝器中至少有若干電晶體為串聯。

9. 如申請專利範圍第1項之阻抗調整電路，其中該介面電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

輸出緩衝器包含一具有多個接腳的放大器結構，該接腳的尺寸經過安排以使其用來調整該輸出緩衝器的有效阻抗之比重成二進位型式。

10. 一種調整一介面電路輸出緩衝器阻抗之方法，包含：

以數位的方式調整與一外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗；以及以數位的方式調整該介面電路輸出緩衝器之阻抗，其調整方式至少部份是基於以數位的方式所調整之該非數據訊號輸出緩衝器之阻抗。

11. 如申請專利範圍第10項之方法，其中以數位的方式調整該介面電路輸出緩衝器之阻抗亦包含以數位的方式調整該介面電路輸出緩衝器的轉動率。

12. 如申請專利範圍第10項之方法，其中以數位的方式調整該介面電路輸出緩衝器之阻抗包含在運作期間以數位的方式調整其阻抗。

13. 如申請專利範圍第12項之方法，其中在運作期間以數位的方式調整介面電路輸出緩衝器之阻抗包含在運作期間以數位的方式調整該介面電路輸出緩衝器之非傳送部份的阻抗。

14. 如申請專利範圍第10項之方法，其中調整該非數據訊號輸出緩衝器之阻抗包含使該非數據訊號輸出緩衝器阻抗與外接耦合阻抗約略相匹配。

15. 如申請專利範圍第14項之方法，其中外接耦合至少包含一電阻。

16. 如申請專利範圍第10項之方法，其中以數位的方式調整

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一與外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗包含以數位的方式調整該非數據訊號輸出緩衝器的阻抗，因而外接阻抗即由電源所終止。

17. 如申請專利範圍第10項之方法，其中以數位的方式調整一與外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗包含以數位的方式循二進位比重加值調整該阻抗。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第 87111793 號專利申請案
中文圖式修正本(90 年 4 月)

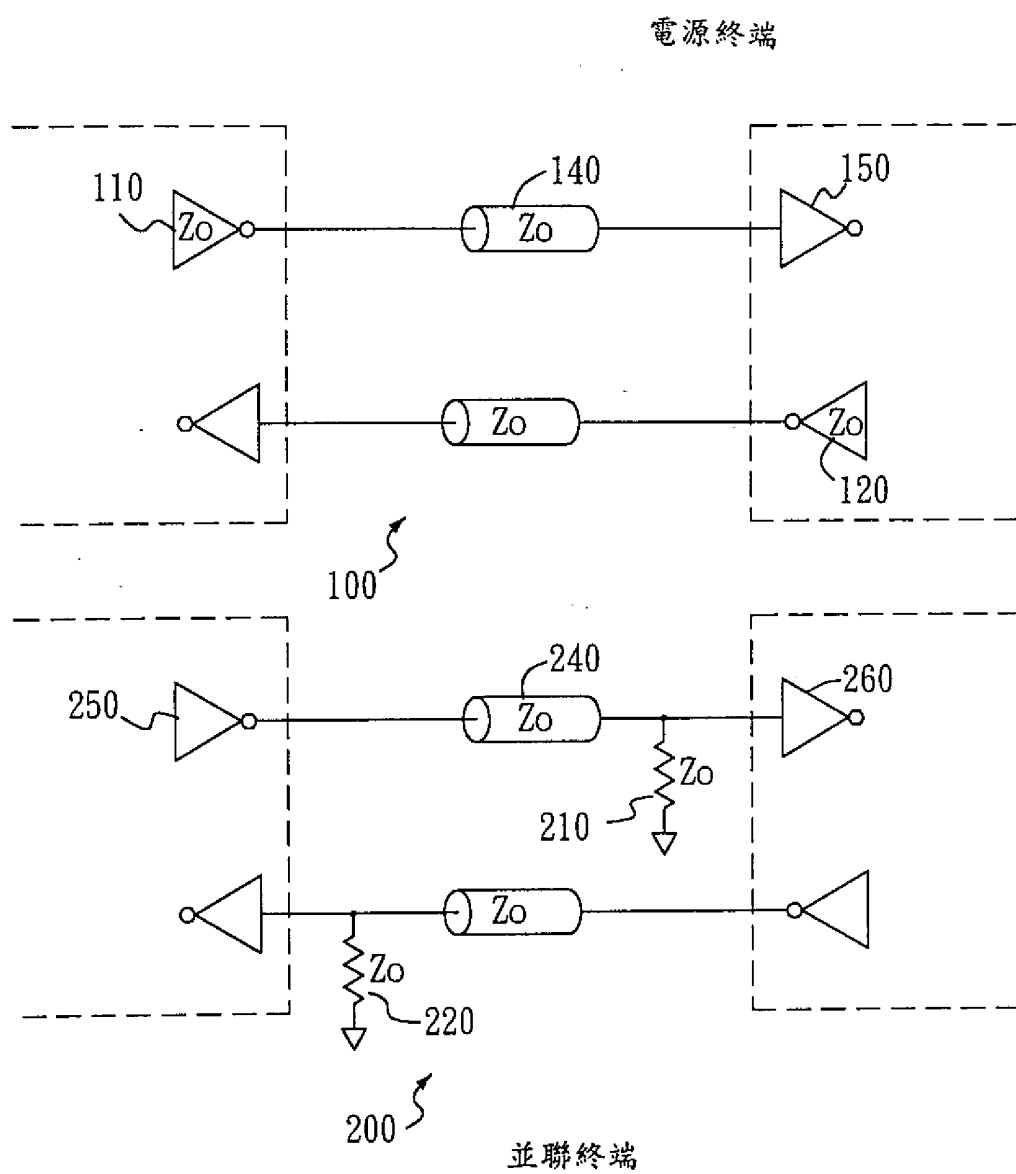


圖 1

修正
補充

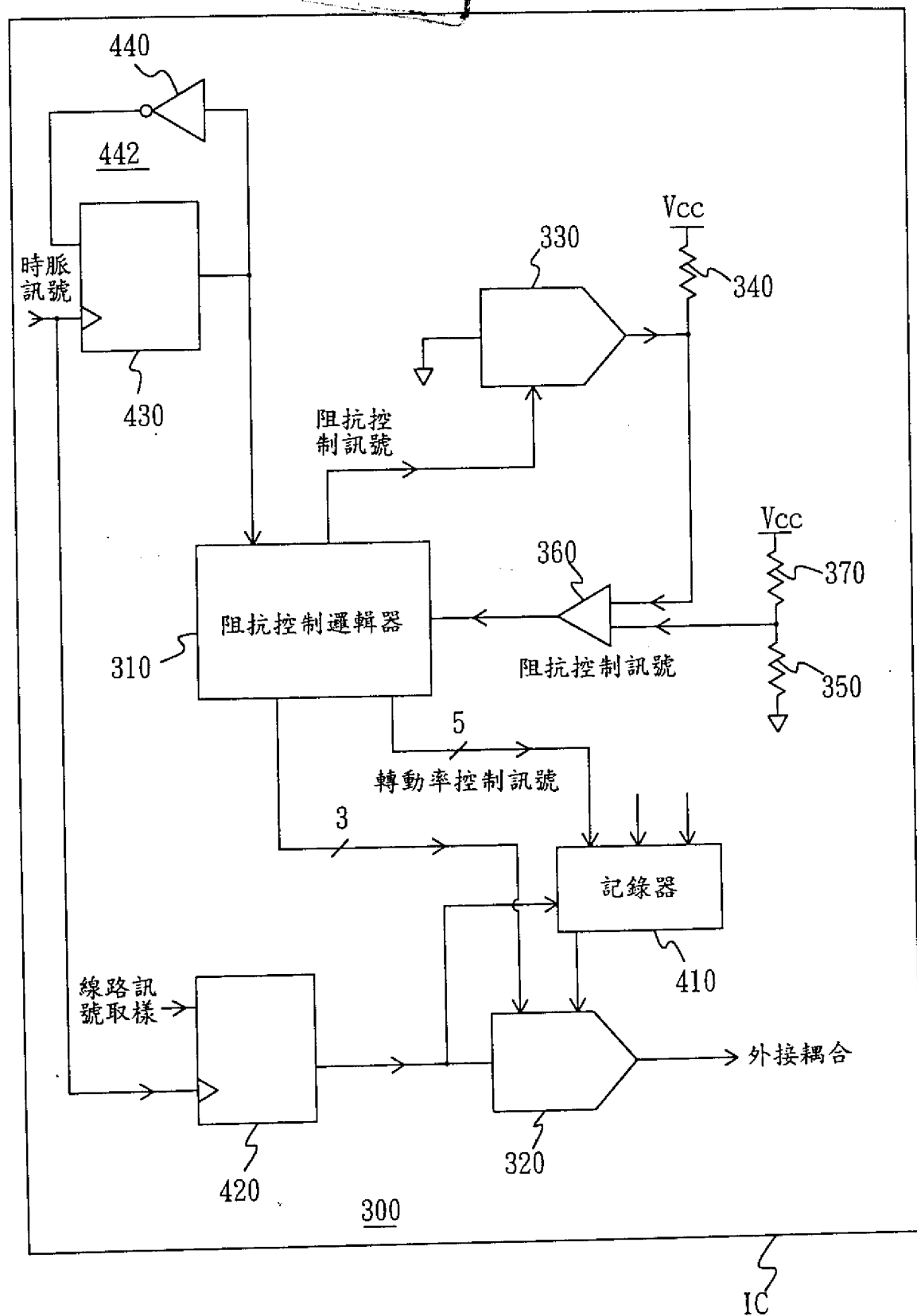
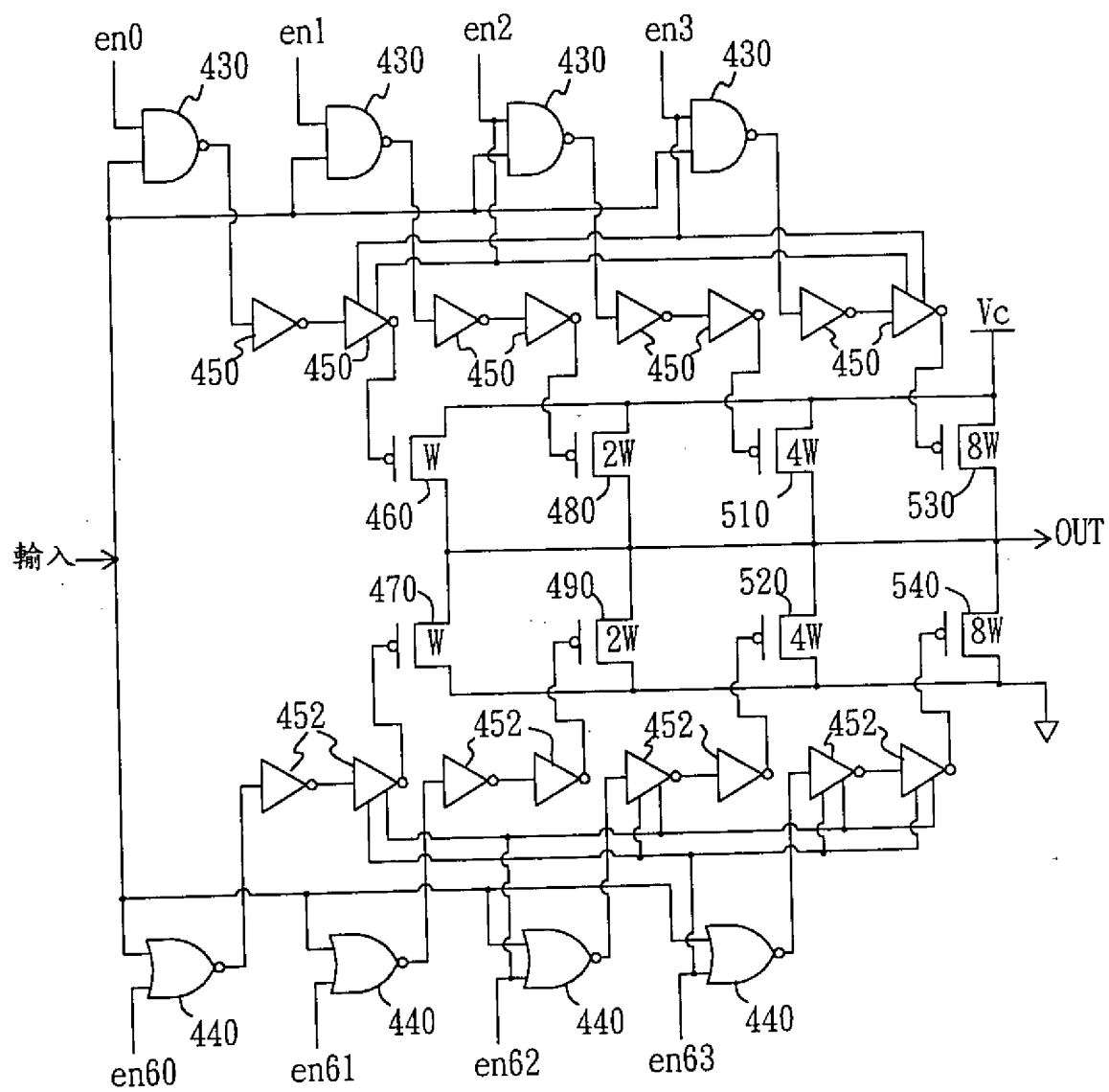


圖 2



320

圖 3

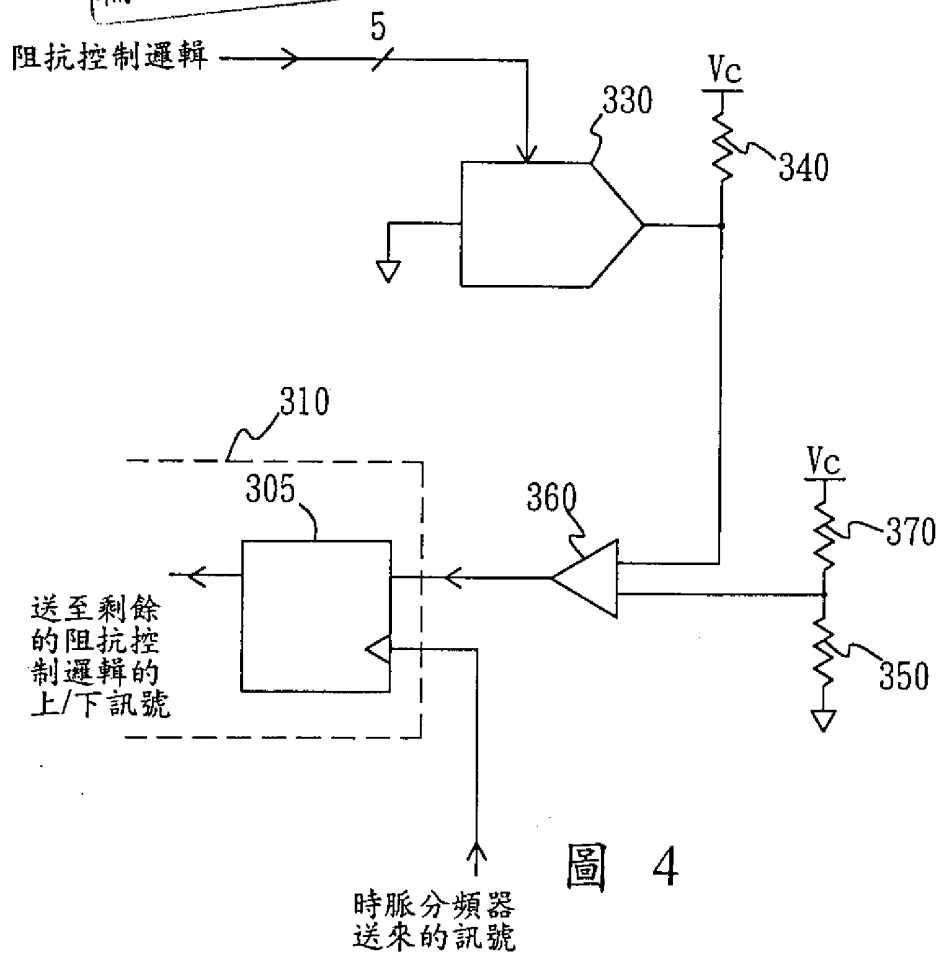


圖 4

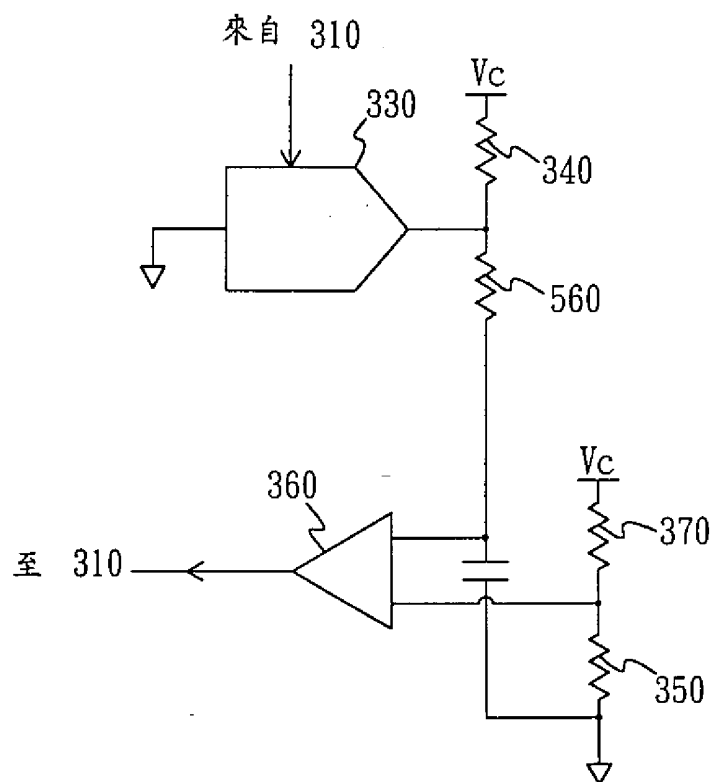


圖 5

修正
本 年 月 日
補充

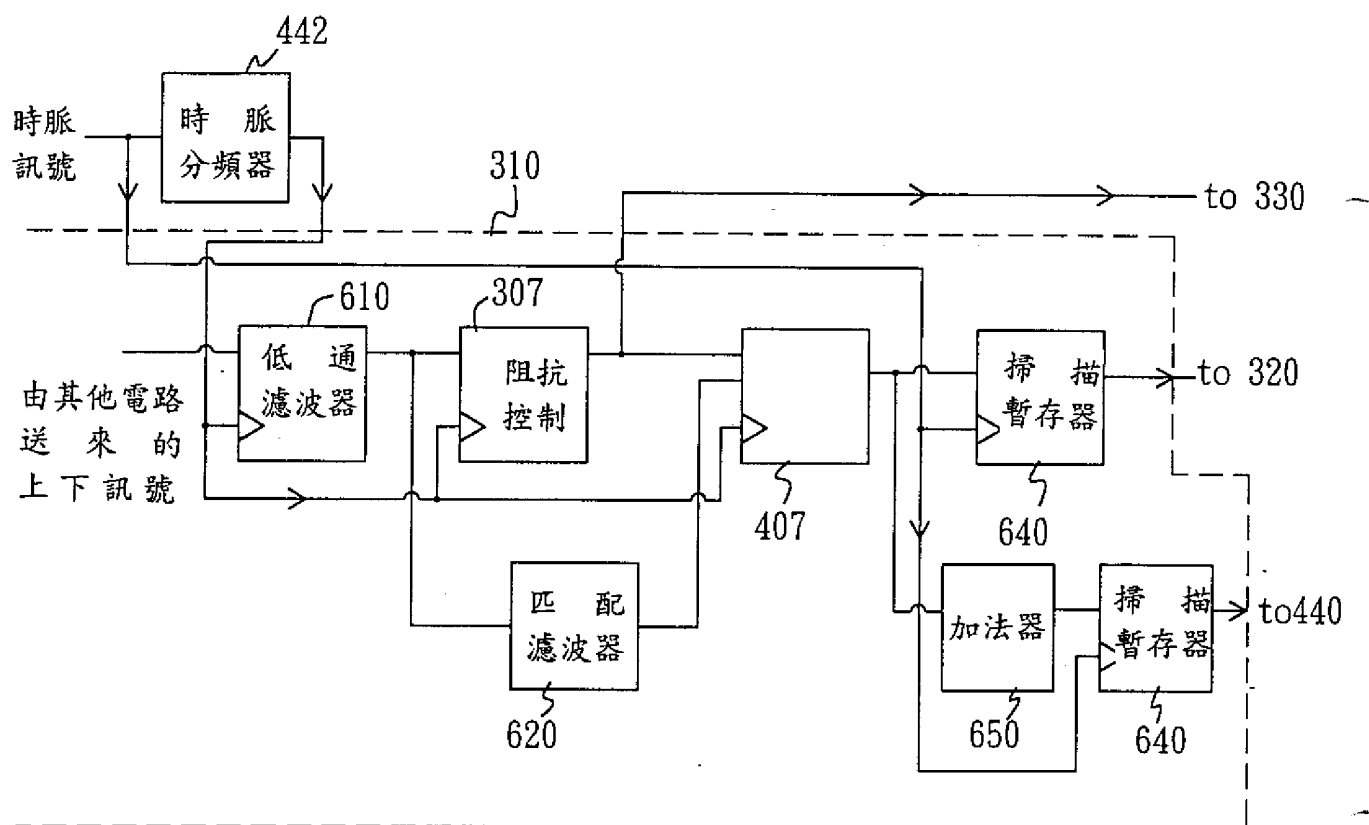


圖 6

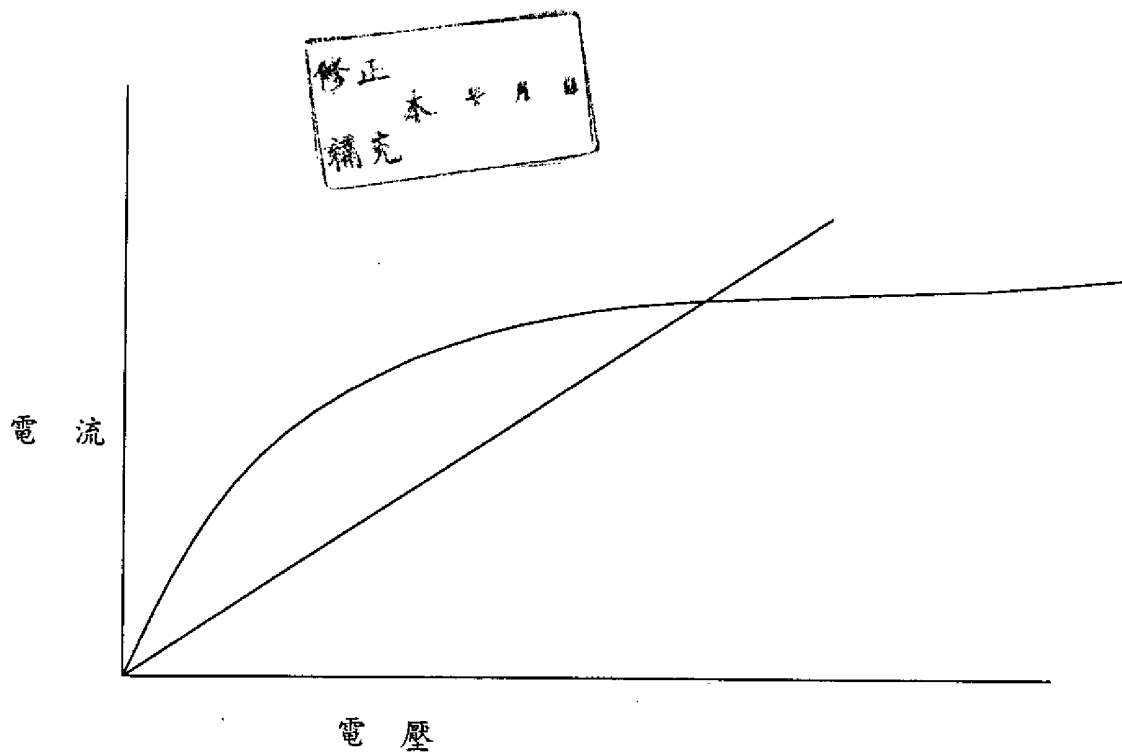


圖 7

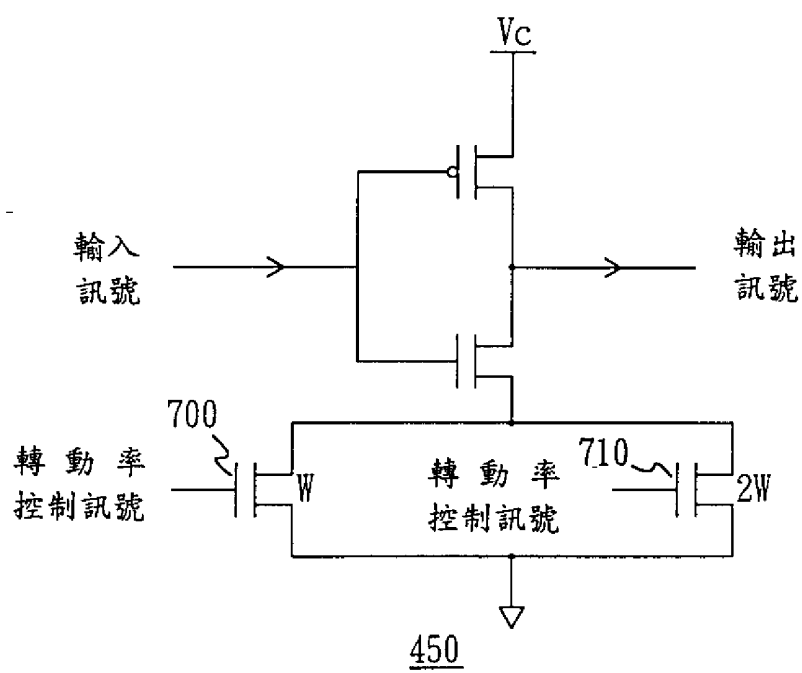


圖 8

90年4月25日修正/更正/補充

申請日期	87.7.26
案號	87111793
類別	G66T 11/28

A4
C4

461995

(以上各欄由本局填註)

中文說明書修正頁(90年4月)

發明專利說明書		
一、發明名稱	中文	阻抗調整電路及調整阻抗之方法
	英文	IMPEDANCE ADJUSTMENT CIRCUIT AND METHOD OF ADJUSTING THE IMPEDANCE
二、發明人	姓名	1.史蒂芬 R. 莫利 2.馬修 B. 海庫克 3.喬瑟夫 T. 甘迺迪
	國籍	均美國
住、居所		1.美國奧利崗州比維頓市西北瑪德拉斯庭道17265號 2.美國奧利崗州比維頓市西北巴頓庭道16206號 3.美國奧利崗州比維頓市西北約翰奧森街2795號
三、申請人	姓名 (名稱)	美商英特爾公司
	國籍	美國
住、居所 (事務所)		美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人 姓名	F.湯姆士.當烈二世

六、申請專利範圍

輸出緩衝器包含一具有多個接腳的放大器結構，該接腳的尺寸經過安排以使其用來調整該輸出緩衝器的有效阻抗之比重成二進位型式。

10. 一種調整一介面電路輸出緩衝器阻抗之方法，包含：

以數位的方式調整與一外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗；以及以數位的方式調整該介面電路輸出緩衝器之阻抗，其調整方式至少部份是基於以數位的方式所調整之該非數據訊號輸出緩衝器之阻抗。

11. 如申請專利範圍第10項之方法，其中以數位的方式調整該介面電路輸出緩衝器之阻抗亦包含以數位的方式調整該介面電路輸出緩衝器的轉動率。

12. 如申請專利範圍第10項之方法，其中以數位的方式調整該介面電路輸出緩衝器之阻抗包含在運作期間以數位的方式調整其阻抗。

13. 如申請專利範圍第12項之方法，其中在運作期間以數位的方式調整介面電路輸出緩衝器之阻抗包含在運作期間以數位的方式調整該介面電路輸出緩衝器之非傳送部份的阻抗。

14. 如申請專利範圍第10項之方法，其中調整該非數據訊號輸出緩衝器之阻抗包含使該非數據訊號輸出緩衝器阻抗與外接耦合阻抗約略相匹配。

15. 如申請專利範圍第14項之方法，其中外接耦合至少包含一電阻。

16. 如申請專利範圍第10項之方法，其中以數位的方式調整

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一與外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗包含以數位的方式調整該非數據訊號輸出緩衝器的阻抗，因而外接阻抗即由電源所終止。

17. 如申請專利範圍第10項之方法，其中以數位的方式調整一與外接阻抗相耦合的一非數據訊號輸出緩衝器之阻抗包含以數位的方式循二進位比重加值調整該阻抗。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

修正
補充

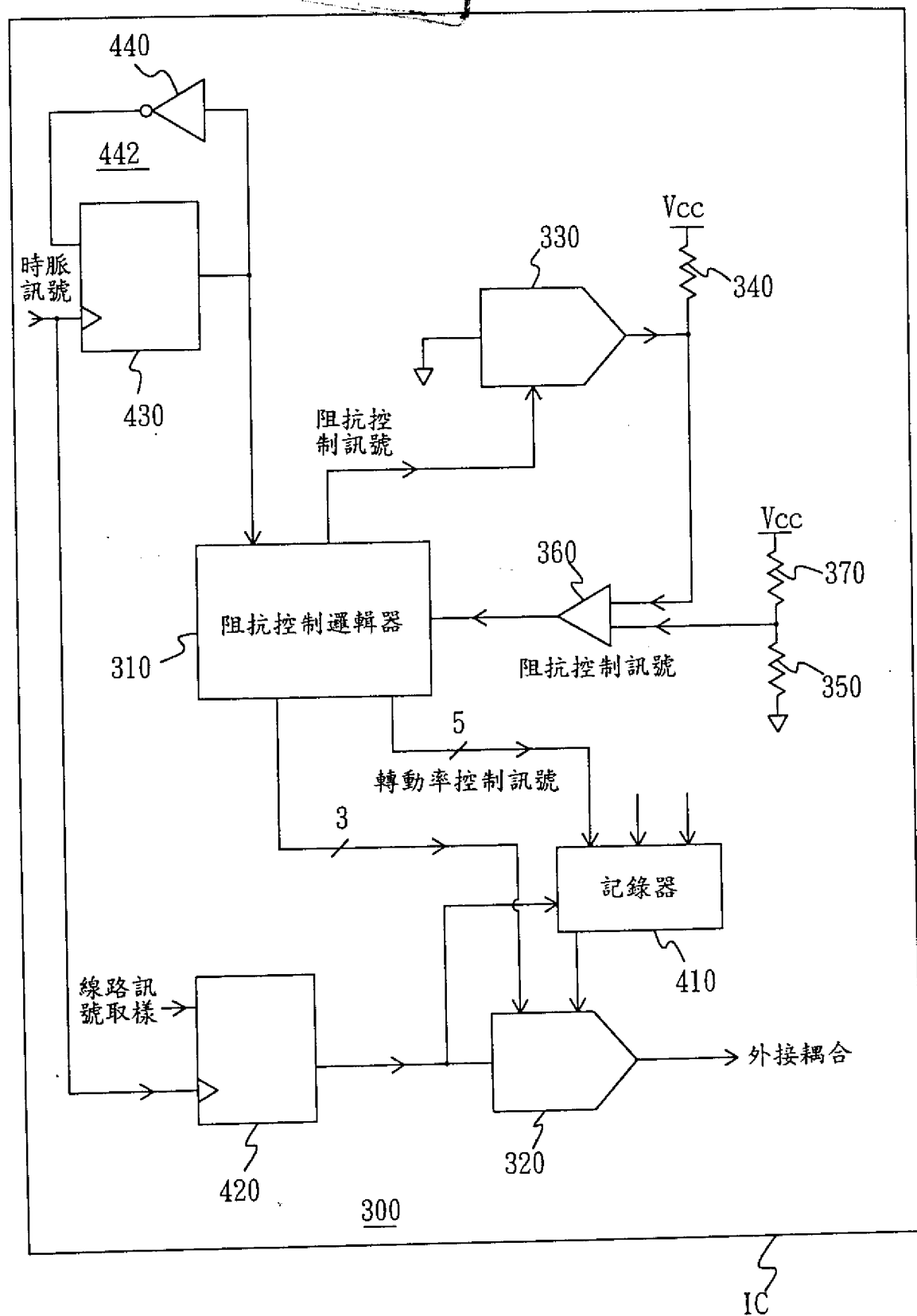


圖 2