

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成26年11月6日 (2014.11.6)

【公開番号】特開2012-256824(P2012-256824A)

【公開日】平成24年12月27日 (2012.12.27)

【年通号数】公開・登録公報2012-055

【出願番号】特願2011-233709(P2011-233709)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

G 1 1 C 11/401 (2006.01)

【 F I 】

H 0 1 L 27/10 3 2 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 8 1

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 6 7 1 C

H 0 1 L 27/10 6 7 1 Z

H 0 1 L 27/10 6 1 5

G 1 1 C 11/34 3 5 2 Z

【手続補正書】

【提出日】平成26年9月18日 (2014.9.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ワード線と、

ビット線と、

トランジスタと第 1 の容量素子とを有するメモリセルと、

第 2 の容量素子と、

増幅回路と、を有し、

前記トランジスタは、ゲート電極が前記ワードと電氣的に接続され、ソース電極又はド  
レイン電極の一方が前記ビット線と電氣的に接続され、

前記トランジスタは、酸化物半導体を有し、

前記第 1 の容量素子の一方の電極は、前記トランジスタの前記ソース電極又は前記ドレ

イン電極の他方と電氣的に接続され、

前記第 1 の容量素子の他方の電極は、前記第 2 の容量素子の一方の電極と電氣的に接続され、

前記第 1 の容量素子の他方の電極は、前記増幅回路と電氣的に接続されていることを特徴とする記憶装置。

【請求項 2】

ワード線と、

第 1 乃至第  $n$  のビット線と、

第 1 乃至第  $n$  のトランジスタと第 1 乃至第  $n$  の容量素子とを有する第 1 乃至第  $n$  のメモリセルと、

第  $n + 1$  の容量素子と、

増幅回路と、を有し、

前記第 1 乃至前記第  $n$  の各トランジスタは、ゲート電極が前記ワード線と電氣的に接続され、ソース電極又はドレイン電極の一方が前記第 1 乃至前記第  $n$  のビット線のいずれかと電氣的に接続され、

前記第 1 乃至前記第  $n$  の各トランジスタは、酸化物半導体を有し、

前記第 1 乃至前記第  $n$  の容量素子の一方の電極は、前記第 1 乃至前記第  $n$  のトランジスタのいずれかの前記ソース電極又はドレイン電極の他方と電氣的に接続され、

前記第 1 乃至前記第  $n$  の容量素子の他方の電極は、前記第  $n + 1$  の容量素子の一方の電極と電氣的に接続され、

前記第 1 乃至前記第  $n$  の容量素子の他方の電極は、前記増幅回路と電氣的に接続されていることを特徴とする記憶装置。

【請求項 3】

請求項 2 において、

前記第 1 乃至前記第  $n$  の容量素子は、それぞれ異なる容量値を有することを特徴とする記憶装置。