

(12) 发明专利

(10) 授权公告号 CN 101465278 B

(45) 授权公告日 2012. 11. 28

(21) 申请号 200810130773. 6

(22) 申请日 2008. 07. 17

(30) 优先权数据

10-2007-0134550 2007. 12. 20 KR

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道

(72) 发明人 李基领

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 顾红霞 何胜勇

(56) 对比文件

CN 1809916 A, 2006. 07. 26, 说明书第 2 页倒数第 2 段 - 第 3 页第 3 段、附图 1-3.

US 2006/0211260 A1, 2006. 09. 21, 说明书第 61-112 段、附图 7-19.

US 5328810 A, 1994. 07. 12,

审查员 胡贺伟

(51) Int. Cl.

H01L 21/00 (2006. 01)

H01L 21/02 (2006. 01)

H01L 21/027 (2006. 01)

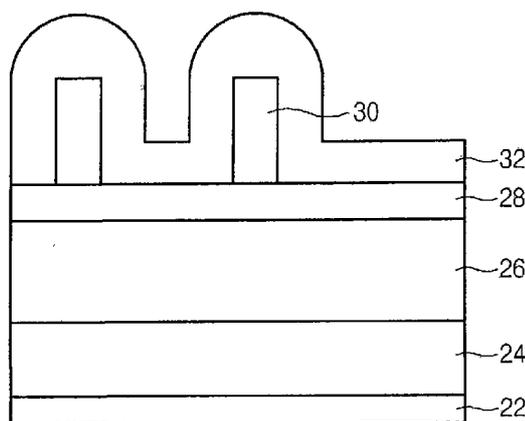
权利要求书 2 页 说明书 4 页 附图 5 页

(54) 发明名称

制造半导体器件的方法

(57) 摘要

本发明公开一种制造半导体器件的方法。在执行掩模工序以后,在光阻图案的侧部与顶部上形成间隔物,使得所述间隔物可用作蚀刻掩模。在执行所述掩模工序以后使用聚合物沉积层来形成所述间隔物,所述聚合物沉积层是可以在 75 ~ 220°C 的温度条件下沉积在所述光阻图案的侧部及顶部上的低温氧化物或氮化物。所述方法包括:在蚀刻目标层上形成底部抗反射涂层膜;将形成于所述底部抗反射涂层膜上的光阻层图案化;在已图案化的光阻层以及所述底部抗反射涂层膜上形成绝缘层;对所述绝缘层进行回蚀,从而在所述已图案化的光阻层的侧壁上形成间隔物;以及蚀刻所述底部抗反射涂层膜及从所述间隔物露出的所述蚀刻目标层,从而形成精细图案。



1. 一种制造半导体器件的方法,所述方法包括:
在蚀刻目标层上形成底部抗反射涂层膜;
将形成于所述底部抗反射涂层膜上的光阻层图案化;
在已图案化的光阻层以及所述底部抗反射涂层膜上使用聚合物沉积层工序沉积绝缘层,所述聚合物沉积层工序包括交替地形成催化剂层和有机硅酸盐;
对所述绝缘层进行回蚀,从而在所述已图案化的光阻层的侧壁上形成间隔物;以及
蚀刻所述底部抗反射涂层膜及从所述间隔物露出的所述蚀刻目标层,从而形成精细图案。
2. 根据权利要求 1 所述的方法,其中,
沉积所述绝缘层的步骤是在 75 至 220℃ 范围内的温度条件下执行的。
3. 根据权利要求 2 所述的方法,其中,
所述绝缘层选自于由氧化物层、氮化物层、及其组合所构成的群组中之一。
4. 根据权利要求 1 所述的方法,其中,
所述已图案化的光阻层的节距是所述精细图案的节距的两倍。
5. 根据权利要求 1 所述的方法,其中,
对所述绝缘层进行回蚀的步骤是在包括 CF_4 的氛围下执行的。
6. 根据权利要求 1 所述的方法,其中,
所述间隔物的临界尺寸与所述已图案化的光阻层的临界尺寸相同。
7. 根据权利要求 1 所述的方法,其中,
沉积所述绝缘层的步骤还包括:
在所述底部抗反射涂层膜以及所述已图案化的光阻层上形成第一催化剂单层;
在所述第一催化剂单层上形成第一有机硅酸盐;
在所述第一有机硅酸盐上形成第二催化剂单层;
在所述第二催化剂单层上形成第二有机硅酸盐;以及
在所述第二有机硅酸盐上形成第三催化剂单层。
8. 一种制造半导体器件的方法,所述方法包括:
在蚀刻目标层上形成底部抗反射涂层膜;
在所述底部抗反射涂层膜上形成光阻图案;
在所述光阻图案以及所述底部抗反射涂层膜上使用聚合物沉积层工序沉积绝缘层,所述聚合物沉积层工序包括交替地形成催化剂层和有机硅酸盐;
蚀刻所述绝缘层,从而在所述光阻图案的侧壁上形成间隔物,所述间隔物使所述光阻图案露出;以及
使用所述间隔物作为蚀刻掩模来蚀刻所述光阻图案、所述底部抗反射涂层膜及所述蚀刻目标层,从而形成精细图案。
9. 根据权利要求 8 所述的方法,其中,
所述间隔物是选自于由氧化物层、氮化物层、及其组合所构成的群组中之一。
10. 根据权利要求 8 所述的方法,其中,
所述光阻图案的节距是所述精细图案的节距的两倍。
11. 根据权利要求 8 所述的方法,其中,

所述间隔物的临界尺寸与所述光阻图案的临界尺寸相同。

12. 根据权利要求 8 所述的方法,还包括:

移除已蚀刻的绝缘层以及已蚀刻的底部抗反射涂层膜。

13. 根据权利要求 8 所述的方法,其中,

沉积所述绝缘层的步骤是在 75 至 220°C 范围内的温度条件下执行的。

14. 根据权利要求 8 所述的方法,其中,

蚀刻所述绝缘层的步骤是在包括 CF_4 的氛围下执行的。

15. 根据权利要求 8 所述的方法,其中,

沉积所述绝缘层的步骤还包括:

在所述底部抗反射涂层膜以及所述光阻图案上形成第一催化剂单层;

在所述第一催化剂单层上形成第一有机硅酸盐;

在所述第一有机硅酸盐上形成第二催化剂单层;

在所述第二催化剂单层上形成第二有机硅酸盐;以及

在所述第二有机硅酸盐上形成第三催化剂单层。

制造半导体器件的方法

技术领域

[0001] 本发明整体上涉及制造半导体器件的方法,更具体地说,涉及如下方法,即:在掩模工序以后在光阻图案的侧部及顶部上形成间隔物,使得所述间隔物可用作蚀刻掩模,从而简化间隔物图案化技术(SPT)工序。

背景技术

[0002] 由于半导体器件的高度集成,用于形成电路的图案的尺寸及节距减小。根据瑞利(Rayleigh)等式,半导体器件中的精细图案的尺寸与曝光工序中所用光的波长成正比,且与曝光器的镜头尺寸成反比。因此,用来降低曝光工序中所用光的波长或增大镜头尺寸的方法已经被用来形成精细图案。

[0003] 借助于调整透过掩模的光量的掩模的精细设计、新光阻材料的发展、使用高数值孔径镜头的扫描仪的发展以及变形掩模的发展,各种光工序已经克服了半导体器件制造中的技术限制。

[0004] 然而,使用目前可用的光源,例如, KrF 及 ArF, 由于曝光及分辨能力的限制,难以形成所需的图案宽度及节距。例如,已发展出制造大约 60nm 的图案的曝光技术,但要制造小于 60nm 的图案会存在问题。

[0005] 已经进行各项研究来形成具有精细图案的尺寸及节距的光阻图案。

[0006] 研究结果之一就是执行双重光工序来形成图案的双重图案化技术(DPT)。

[0007] 在 DPT 的一个实例中,双重曝光蚀刻技术(DE2T)包括:曝光及蚀刻具有双周期(double cycle)的第一图案;以及曝光及蚀刻第一图案之间的具有双周期的第二图案。在 DPT 的另一实例中,间隔物图案化技术(SPT)包括使用间隔物来形成图案。

[0008] DE2T 及 SPT 都可以以负型以及正型方式来执行。

[0009] 在负型 DE2T 中,在第二掩模工序中移除由第一掩模工序获得的图案,从而形成所需的图案。在正型 DE2T 中,由第一掩模工序及第二掩模工序获得的图案组合起来形成所需的图案。

[0010] SPT 是一种包括执行一次掩模工序来图案化单元区域的自对准方法,从而防止不对准。

[0011] 然而,为了在核心及周边电路区域中形成垫片(pad)图案,就需要另外的掩模工序来分割框边缘(mat edge)区域的图案部分。另外,在间隔物蚀刻工序中控制间隔物形成区域的沉积均一性以及调节临界尺寸(CD)是困难的。

[0012] 虽然在包括线/距的多层结构中,SPT 被逐一应用于 NAND 闪存工序,但在 DRAM 的砖墙图案及复杂图案层的情况下,无法借助于 SPT 来形成图案。在此情况下,就需要采用 DE2T。

发明内容

[0013] 本发明的各个实施例旨在提供制造半导体器件的方法,该方法包括执行简单的

SPT 工序,从而缩短周转时间 (TAT) 并降低成本。

[0014] 根据本发明的一个实施例,一种制造半导体器件的方法包括:在蚀刻目标层上形成底部抗反射涂层膜;将形成于所述底部抗反射涂层膜上的光阻层图案化;在已图案化的光阻层以及所述底部抗反射涂层膜上形成绝缘层;对所述绝缘层进行回蚀,从而在所述已图案化的光阻层的侧壁上形成间隔物;以及蚀刻所述底部抗反射涂层膜及从所述间隔物露出的所述蚀刻目标层,从而形成精细图案。

[0015] 优选的是,在大约 75 至 220°C 范围内的温度条件下沉积所述绝缘层。

[0016] 优选的是,所述绝缘层是氧化物层、氮化物层、或其组合。

[0017] 优选的是,所述已图案化的光阻层的节距大约是所述精细图案的节距的两倍。

[0018] 优选的是,在包括 CF_4 的氛围下回蚀所述绝缘层。

[0019] 优选的是,所述间隔物的临界尺寸与所述已图案化的光阻层的临界尺寸基本上相同。

[0020] 优选的是,沉积所述绝缘层的步骤还包括:在所述底部抗反射涂层膜以及所述光阻图案上形成第一催化剂单层;在所述第一催化剂单层上形成第一有机硅酸盐;在所述第一有机硅酸盐上形成第二催化剂单层;在所述第二催化剂单层上形成第二有机硅酸盐;以及在所述第二有机硅酸盐上形成第三催化剂单层。

[0021] 根据本发明的一个实施例,一种制造半导体器件的方法包括:在蚀刻目标层上形成底部抗反射涂层膜;在所述底部抗反射涂层膜上形成光阻图案;在所述光阻图案以及所述底部抗反射涂层膜上沉积绝缘层;蚀刻所述绝缘层,从而在所述光阻图案的侧壁上形成间隔物,所述间隔物使所述光阻图案露出;以及使用所述间隔物作为蚀刻掩模来蚀刻所述光阻图案、所述底部抗反射涂层膜及所述蚀刻目标层,从而形成精细图案。

[0022] 优选的是,所述间隔物是氧化物层、氮化物层、或其组合。

[0023] 优选的是,所述光阻图案的节距大约是所述精细图案的节距的两倍。

[0024] 优选的是,所述间隔物的临界尺寸与所述光阻图案的临界尺寸基本上相同。

[0025] 优选的是,移除已蚀刻的绝缘层以及已蚀刻的底部抗反射涂层膜。

[0026] 优选的是,在大约 75 至 220°C 范围内的温度条件下沉积所述绝缘层。

[0027] 优选的是,在包括 CF_4 的氛围下回蚀所述绝缘层。

[0028] 优选的是,沉积所述绝缘层的步骤还包括:在所述底部抗反射涂层膜以及所述光阻图案上形成第一催化剂单层;在所述第一催化剂单层上形成第一有机硅酸盐;在所述第一有机硅酸盐上形成第二催化剂单层;在所述第二催化剂单层上形成第二有机硅酸盐;以及在所述第二有机硅酸盐上形成第三催化剂单层。

附图说明

[0029] 图 1a 至图 1f 是示出根据本发明实施例的聚合物沉积层 (PDL) 工序的剖视图。

[0030] 图 2a 至图 2f 示出正型 SPT 工序的剖视图,该正型 SPT 工序包括根据本发明实施例的 PDL 工序。

具体实施方式

[0031] 在 SPT 工序中,为了形成线图案,必须精确地调整图案的尺寸与形成于图案一侧

的间隔物沉积材料的厚度。也就是说,间隔物沉积材料必须拥有良好的阶梯覆盖率,而且必须在湿式剥离分隔区时使对下层材料的损坏最小化。在形成间隔物以前,借助于掩模工序来形成分隔区中所包括的线图案以及垫片图案。根据间隔物的宽度来决定线图案及垫片图案的尺寸。结果,需要精细且精确的重叠度控制来减少由 SPT 方法所制造的器件的缺陷。

[0032] 一般而言,在掩模工序中,由旋涂工序所形成的底部抗反射涂层 (BARC) 膜及光阻膜,在涂覆工序之后需要在 200 ~ 300℃ 及 90 ~ 150℃ 的温度条件下执行烘烤工序。烘烤工序能消除 80% 水分被旋涂工序所移除之后的残留水分并进行退火。

[0033] 由于当聚合物被加热至 300℃ 或更高的温度时,聚合物会燃烧,所以能借助于使用烤炉的一般沉积工序来形成要作为间隔物的材料层。该材料层在 BARC 以及光阻膜上形成。

[0034] 然而,与化学气相沉积 (CVD) 及物理气相沉积 (PVD) 工序相比较,在原子层沉积 (ALD) 工序中能够执行低温沉积,ALD 工序适用于需要良好阶梯覆盖率的工序。

[0035] 本发明提供在执行掩模工序以后使用聚合物沉积层 (PDL) 来形成间隔物的方法,该聚合物沉积层是能够在 75 ~ 220℃ 的温度条件下沉积在光阻图案的侧部及顶部上的低温氧化物或氮化物。

[0036] 作为使用催化剂的 CVD 工序执行的 PDL 工序是交替使用催化剂与有机硅前体的沉积方法。

[0037] 因为 PDL 工序能够在低温条件下 (75 ~ 220℃) 执行,且与 ALD 工序类似对于大的高宽比 (例如 25 : 1) 具有良好的阶梯覆盖率,所以 PDL 工序能减少 SPT 工序的步骤。

[0038] 图 1a 至图 1f 示出本发明实施例的聚合物沉积层 (PDL) 工序的剖视图。

[0039] 参照图 1a,子图案 (sub pattern) 包括光阻图案 10。

[0040] 参照图 1b,在光阻图案 10 上涂覆薄的催化剂材料,以形成第一催化剂单层 (catalytic mono layer) 12。

[0041] 参照图 1c,作为有机硅前体 (organo-silicon precursor) 的第一有机硅酸盐 14 与第一催化剂单层 12 起反应,从而生长出交联层。第一有机硅酸盐 14 的生长受限于第一催化剂单层 12 的前体分子的供应。第一有机硅酸盐 14 的生长速度比 ALD 工序的速度快。

[0042] 参照图 1d 和图 1e,在第一有机硅酸盐 14 上涂覆第二催化剂单层 16,在第二催化剂单层 16 上生长出第二有机硅酸盐 18。

[0043] 参照图 1f,在第二有机硅酸盐 18 上形成第三催化剂单层 20。

[0044] 在 PDL 工序中,涂覆催化剂单层 12、16 及沉积有机硅酸盐 14、18 的步骤会不断重复直到所述各层达到所需的厚度,从而获得具有良好阶梯覆盖率的层。

[0045] 图 2a 至图 2f 是示出正型 SPT 工序的剖视图,该正型 SPT 工序包括根据本发明实施例的 PDL 工序。图 2a 至图 2f 示出当形成闪存的控制栅极叠层时的状态。

[0046] 参照图 2a,当在半导体基板上形成限定有源区的器件隔离膜以后,在包括 ONO 介电膜、栅极多晶硅及硅化钨 (WSi) 的下层结构上形成用于构成子叠层 (sub stack) 的帽盖氮氧化硅 (SiON) 膜 22。

[0047] 在 SiON 膜 22 上沉积用于硬掩模的正硅酸四乙酯 (TEOS) 24 以及多晶硅 26,并且在多晶硅 26 上形成 BARC 28。

[0048] 在 BARC 28 上涂覆光阻膜。利用掩模对光阻膜执行曝光及显影工序以形成光阻图案 30,在该掩模中,图案的节距为所需节距的两倍。例如,在不计蚀刻偏移 (etch bias) 的

情况下,当线形成为具有 40nm 的临界尺寸时,间距形成为具有 120nm 的临界尺寸。即,线距比例为 1 : 3。

[0049] 参照图 2b,执行 PDL 工序(如参照图 1a 至图 1f 所述),从而在包括光阻图案 30 在内的 BARC 28 上形成间隔物材料层 32。PDL 工序在 75 至 220℃ 范围内的低温条件下执行,使得 BARC 28 的轮廓不会劣化。

[0050] 参照图 2c,在间隔物材料层 32 上执行干式回蚀工序,从而使光阻图案 30 露出并形成间隔物 32a。间隔物 32a 形成为具有与光阻图案 30 的临界尺寸相同的厚度。由于使用 CF_4 作为蚀刻气体,所以会移除光阻图案 30 的一部分。

[0051] 参照图 2d,在 O_2 氛围中移除光阻图案 30。使用间隔物 32a 作为蚀刻掩模来蚀刻 BARC 28,以形成 BARC 图案 28a。

[0052] 参照图 2e,使用间隔物 32a 及 BARC 图案 28a 作为蚀刻掩模来蚀刻硬掩模多晶硅 26,以形成硬掩模多晶硅图案 26a。

[0053] 参照图 2f,移除间隔物 32a 以及 BARC 图案 28a。使用硬掩模多晶硅图案 28a 作为蚀刻掩模来蚀刻硬掩模 TEOS 24,以形成硬掩模 TEOS 图案 24a。

[0054] 使用硬掩模多晶硅图案 26a 及 TEOS 图案 24a 作为蚀刻掩模来蚀刻 $SiON$ 膜 22,以形成精细图案,该精细图案具有无法通过传统曝光器形成的微小节距。

[0055] 如上所述,根据本发明的实施例,在执行掩模工序以后,在低温(75 ~ 220℃)条件下通过 PDL 工序在光阻图案上形成间隔物材料。结果,能够简单地执行 SPT 工序,以缩短 TAT 并降低制造成本。具体地说,在现有技术中,无法在传统光阻图案上形成间隔物材料,因此需要另外形成用作图案的多晶硅膜及用于图案化多晶硅膜的非晶碳膜。然而,在本发明的实施例中,直接在光阻图案上形成间隔物材料,从而简化工序步骤。

[0056] 本发明的上述实施例是示例性的而非限制性的。各种替代及等同的方式都是可行的。本发明并不限于本文所述的沉积、蚀刻、抛光、图案化步骤的类型。本发明也不限于任何特定类型的半导体器件。举例来说,本发明可以用于动态随机存取存储(DRAM)器件或非易失性存储器件。对本发明内容所作的其它增加、删减或修改是显而易见的,并且落入所附权利要求书的范围内。

[0057] 本申请要求 2007 年 12 月 20 日提交的韩国专利申请 No. 10-2007-0134550 的优先权,该韩国专利申请的全部内容以引用的方式并入本文。

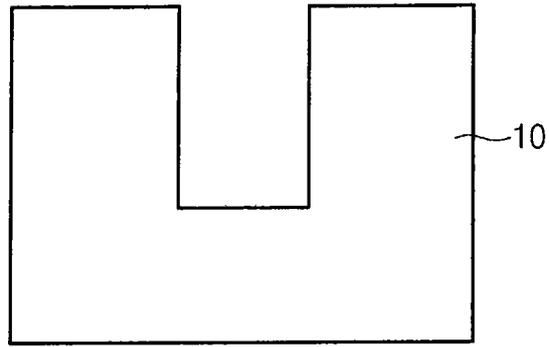


图 1a

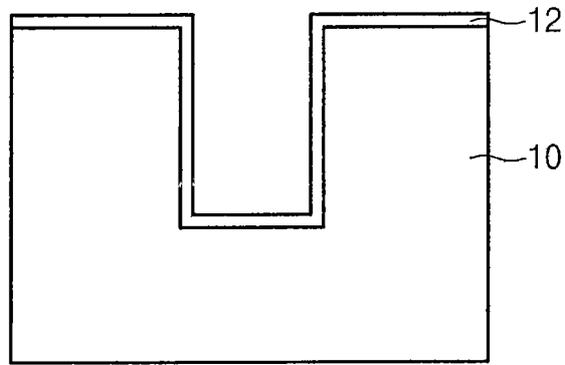


图 1b

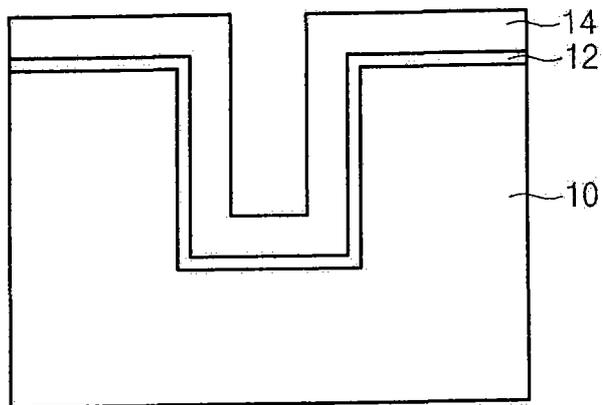


图 1c

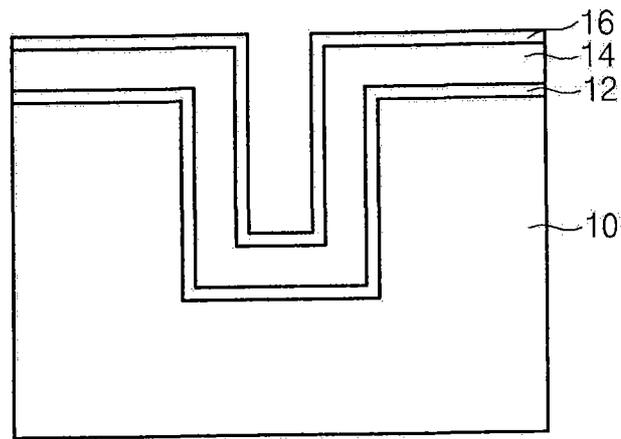


图 1d

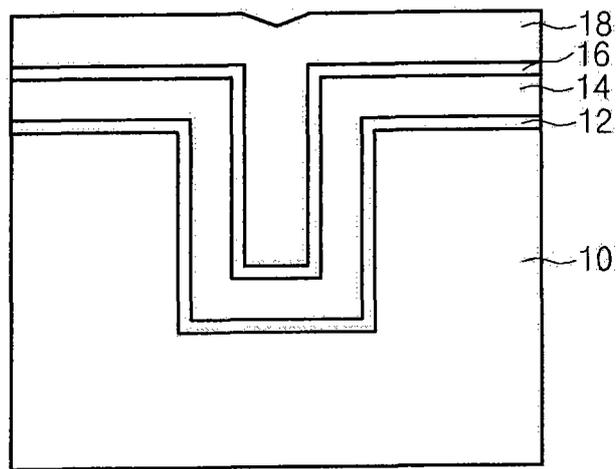


图 1e

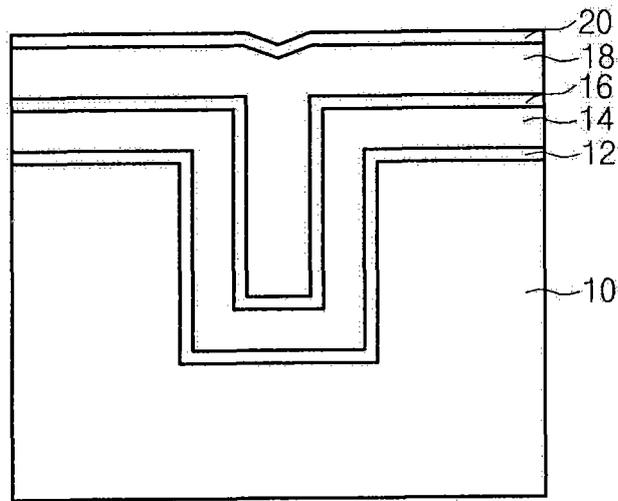


图 1f

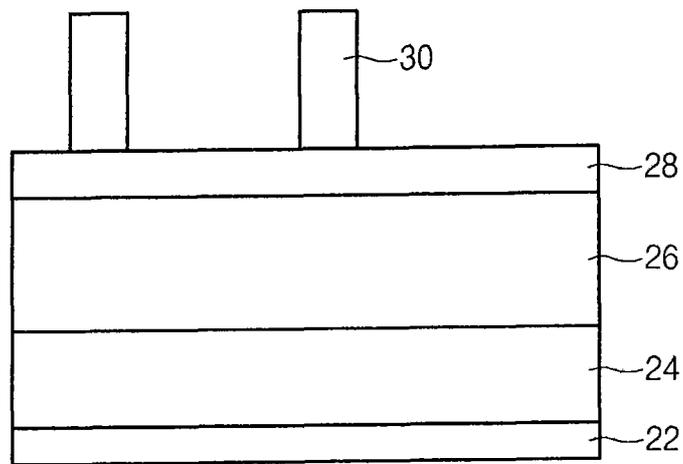


图 2a

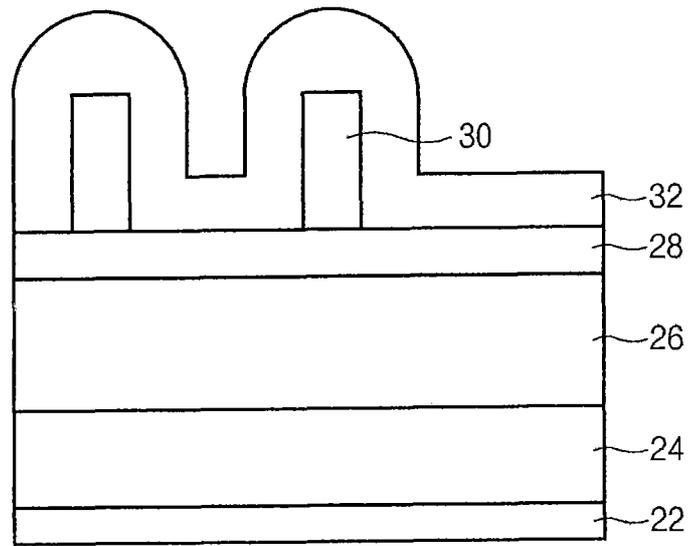


图 2b

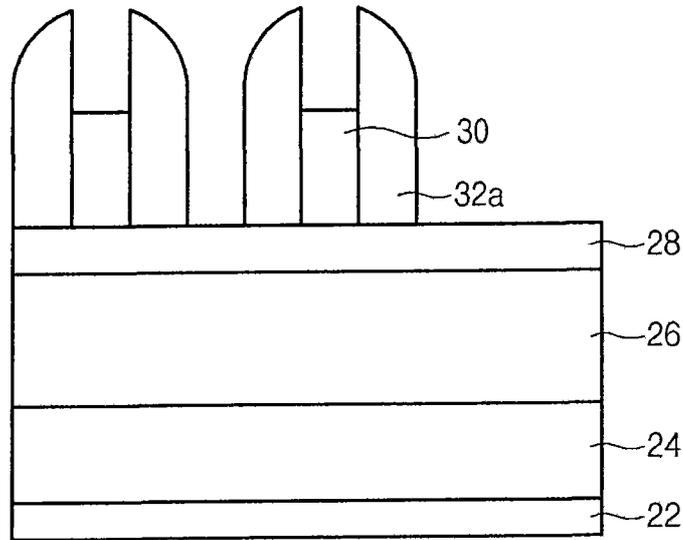


图 2c

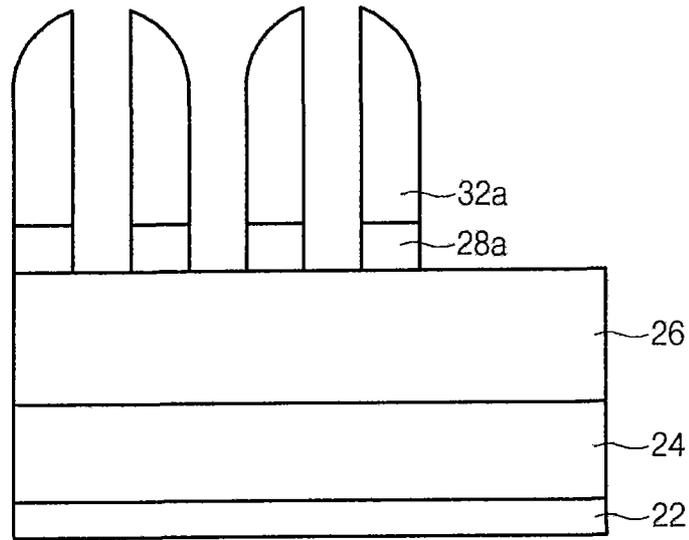


图 2d

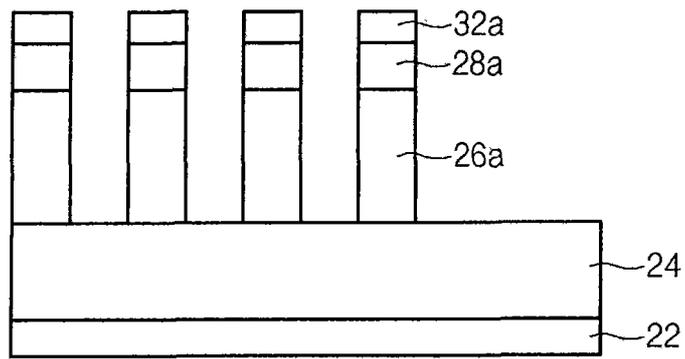


图 2e

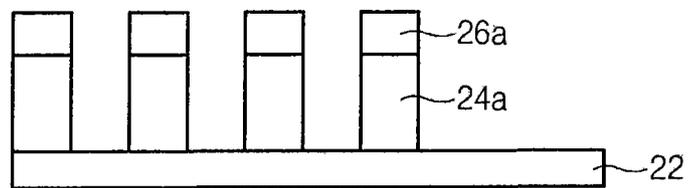


图 2f